

유도낙뢰를 고려한 항공기용 제어기 및 송수신기 개발 및 검증

Development and Verification of Aircraft Controller and Transceiver Considering Lightning Induced Transient Susceptibility

서정원 · 박재수 · 윤창배 · 홍수운 · 정병구 · 신영준* · 하정완**

Jung-Won Seo · Jae-Soo Park · Chang-Bae Yoon · Su-Woon Hong · Byoung-Koo Jung · Young-Jun Shin* · Jung-Whan Ha**

요 약

자연 대기에서 발생하는 낙뢰는 항공기에 용융, 소손 및 아크 등의 물리적인 손상을 발생시킬 뿐만 아니라, 낙뢰의 관통 과정에서 발생하는 기체 외부의 자기장은 기체 내부의 전자장비 및 배선에 전압 및 전류 과도현상을 발생시킨다. 이러한 효과는 항공기 내부의 항공전자시스템에 유도낙뢰를 발생시켜 안전한 비행을 불가능하게 한다. 본 논문에서는 표준감항인증 요구도를 만족하는 보호회로 설계 기법과 공인인증된 시험 결과를 소개하였다.

Abstract

Lightning causes physical damage to aircraft, such as melting, burning and arcing, and magnetic field that occurs on the aircraft's outer body during the penetration of a lightning stroke causes voltage and current transients in the electronics and wiring within the aircraft. This effect will cause induced lightning strikes in the aircraft's internal airborne electronic systems, preventing safe flight. This paper introduces protection circuit design techniques, and the test results that meet the requirements for certification of criteria.

Key words: Lightning Induced Transient Susceptibility, DO-160, Aircraft, Controller, Transceiver, Airworthiness

I. 서 론

최근 항공기 제조사들은 중량 절감으로 인한 이점들 때문에 탄소복합소재와 같은 경량화 재질로 기체를 설계한다^[1]. 그러나 전기전도성이 낮은 복합소재는 항공기 내부에 장착되는 전자장비에 더 큰 유도낙뢰를 유입시킨다^[2]. 항공기 내부로 유입된 유도낙뢰는 전자장비의 오류 및 정지를 유발하여 다양한 문제를 야기시킨다. 특히 오늘날의 항공기는 전자장비 의존도가 크게 증가하고 있으므로 유

도낙뢰로 인한 피해 규모와 횟수는 과거에 비해 더 증가할 것으로 예상된다^[3].

특히, 군용항공기 표준감항인증기준에 관한 고시에서 비행과 안전 필수장비에 대한 요구도를 정의하여 항공용 전자장비의 유도낙뢰 보호에 대한 필요성을 강조하고 있다. 이 고시에 따르면 비행필수 장비는 시스템 적용에 적절한 낙뢰 내성과 이를 포함한 전자기 환경 요구도를 따르는지 검증해야 하며, MIL-STD-461과 RTCA(Radio Technical Commission for Aeronautics)/DO-160을 그 표준은

한화시스템(Satellite Datalink Team, Hanwha Systems)

*국방과학연구소(Agency for Defense Development)

**단암시스템즈(Danam Systems)

· Manuscript received June 7, 2018 ; Revised June 20, 2018 ; Accepted June 26, 2018. (ID No. 20180607-064)

· Corresponding Author: Jung-Won Seo (e-mail: jungwon81.seo@hanwha.com)

로 제시하고 있다^{[4],[5]}. 이러한 추세에서 최근 항공용 전자 장비 외부에 별도의 유도낙뢰보호장치를 추가함으로써 유도낙뢰를 보호하는 연구가 진행되기도 하였다^[6]. 그러나 이러한 연구는 소형/경량화를 요구하는 항공기용 전자 장비의 크기 및 중량 최적화에 한계를 보여주었다.

본 논문에서는 항공기의 시스템 요구 규격과 RTCA/DO-160G sec.22의 내용을 기반으로 유도낙뢰에 대한 시험 종류 및 수준을 정의한다. 각 장비의 인터페이스 종류에 따라 보호 방법과 소자를 선택하고, 유도낙뢰에 대해 적절한 수준으로 선정되었는지를 계산을 통해 확인하였다. 특히, 작은 용량의 TVS(transient voltage suppression)를 사용하면서도 높은 수준의 유도낙뢰 내성을 가질 수 있는 보호회로 설계 기법을 제시함으로써 항공기용 제어기 및 송수신기의 소형/경량화에 기여하였다. 마지막으로 공인 기관에서 시험한 결과를 통하여 유도낙뢰에 대한 보호회로 설계가 적절했는지를 검증하였다.

1-1 시험대상

시험 대상 장비 중에서 제어기의 외부연동 요소는 전원, Gigabit Ethernet, Fast Ethernet, MIL-STD-1553B, Discrete, RS-422로 구성된다. 여기서 점검용 신호인 Fast Ethernet 과 RS-422는 운용 중에 전도성 덮개로 차폐되므로 유도 낙뢰 대상에서 제외하였다. 송수신기는 전원, Fast Ethernet, Discrete, RS-422, RF로 구성되며, 점검용 신호인 RS-422 는 시험에서 제외하였다.

1-2 유도낙뢰 적용 기준

그림 1은 유도낙뢰 적용 기준인 DO-160G, Section 22에 따른 핀 주입 시험에 관한 구성도이다.

유도낙뢰 적용 기준의 구별은 케이블의 차폐 상태와 시험 종류에 따라 결정이 되며, 제작된 전원 케이블의 경우, 비차폐이고 핀 주입 시험을 하는 경우, 요구 규격은 B3XXXX이다. DO-160 Table 22-1.1~2에 따르면 B는 시험 파형의 종류, 3은 파형의 레벨을 의미한다. XXXX는 케이블 파열 시험과 관련된 것이고, 이 논문에서는 다루 지 않아 제외하였다.

B는 3/3, 5A/5A 두 가지 웨이브폼 시험 종류를 의미하고, 그 중 레벨 3을 표 1에서 굵게 표시하였다. 요구 규격

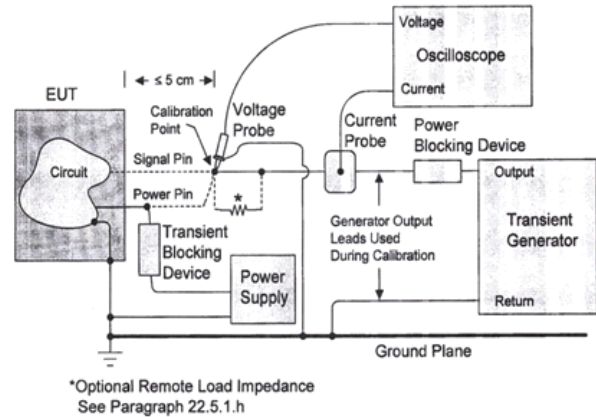


그림 1. 핀 주입 시험 구성도
Fig. 1. Test setup of pin injection.

표 1. 핀 주입 시험 항목

Table 1. Test items of pin injection.

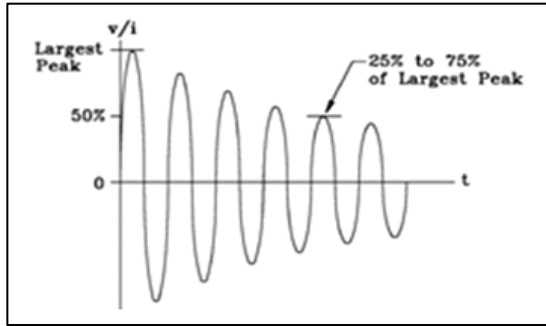
Level	Waveforms		
	3/3	4/1	5A/5A
	V_{oc}/I_{sc}	V_{oc}/I_{sc}	V_{oc}/I_{sc}
1	100/4	50/10	50/50
2	250/10	125/25	125/125
3	600/24	300/60	300/300
4	1,500/60	750/150	750/750
5	3,200/128	1,600/320	1,600/1,600

과 표 1을 이용하면 시험에 적용되는 V_{oc} (Open Circuit Voltage)와 I_{sc} (Short Circuit Current)를 결정할 수 있다.

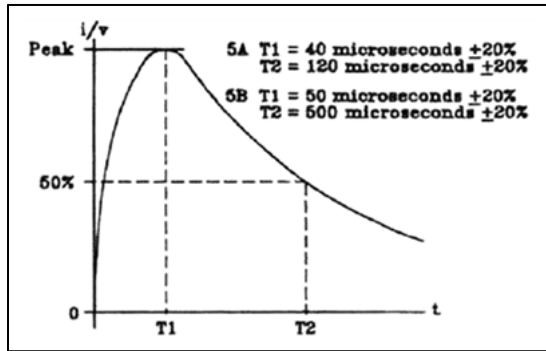
그림 2는 핀 주입 시험의 파형을 보여준다. 3 파형은 사인주기로 입력되는 시험이며 파형의 주기는 1MHz, 시간 영역에서 $1\mu s$ 이며 6주기를 가지므로 최대 시험 시간은 $6\mu s$ 이다. 5A 파형은 긴 시간 동안 전력을 입력하는 시험이고 여기서 T1 은 $40\mu s$ 이고 T2 는 $120\mu s$ 이다. 이때 파형의 침투치 오차는 $\pm 20\%$ 이므로 T1은 최대 $48\mu s$, T2는 최대 $144\mu s$ 동안 전력이 인가될 수 있다.

II. 본 문

유도낙뢰에 대한 보호회로 설계는 입력되는 각 포트 별 신호 특성 및 유도낙뢰 규격을 고려하여 설계하였다.



waveform 3(1 MHz)



waveform 5

그림 2. 핀 주입 시험 파형
Fig. 2. Test waveforms of pin injection.

2.1 전원 보호회로 설계

항공기는 유도낙뢰 외에도 MIL-STD-704와 같이 별도로 정의된 전원 특성 규격이 존재한다. 따라서 전원보호 회로를 설계할 때는 TVS의 Breakdown Voltage(V_{BR}) 선택에 주의해야 한다. MIL-STD-704에 대한 시험절차를 기술하고 있는 MIL-HDBK-704-8, Method LDC302 Abnormal Voltage Transients에 따르면 overvoltage transient 시험 항목에 50 ms 이상 시간 동안 50 V의 전압이 인가되는 시험 파형이 있다. 만약 TVS의 V_{BR} 를 50 V 이하로 선정할 경우, 상기에서 설명한 transient 파형에 의해 50 ms 이상 시간 동안 TVS가 동작하여 해당 소자가 손상될 수 있다.

핀 주입 규격 중 가장 높은 수준의 에너지가 인가되는 파형 5A/5A(40/120 μ s)를 기준으로 소자를 선정하였다^[7]. 선정된 소자는 Microsemi사의 MXPLAD15KP45CA이다. $V_c = 72.7 V$, $I_{pp} = 207 A$, $P_{pp}(10/1000\mu s) = 15,000 W$ 이다. 여기서 I_{pp} 는 peak pulse current, P_{pp} 는 peak pulse

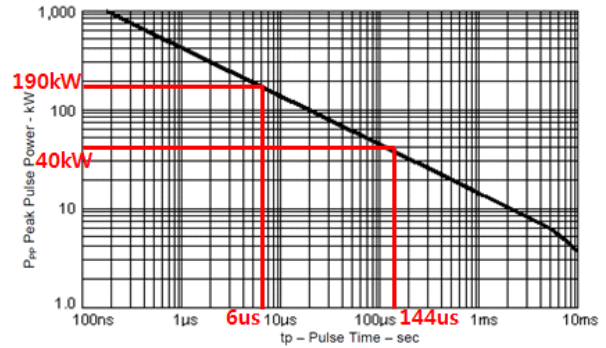


그림 3. 전원 보호회로 소자의 최대 허용 전력
Fig. 3. Peak pulse power of power protection circuit.

power이다. TVS 소자 데이터시트에서 제공되는 그림 3을 이용하면 각 식에 들어가는 변수 값을 확인할 수 있다.

- Waveform 3 허용전류

$$I_{pp(chip)} = P_{pp}(6\mu s) / P_{pp}(10/1000\mu s) \times I_{pp} \\ = 190,000 / 15,000 \times 207 = 2,622 A$$

$$I_{pp(pred)} = (V_{oc} - V_c) / Z_s \\ = (600 - 72.7) / (600/24) = 21.092 A$$

- Waveform 5A 허용전류

$$I_{pp(chip)} = P_{pp}(144\mu s) / P_{pp}(10/1000\mu s) \times I_{pp} \\ = 40,000 / 15,000 \times 207 = 552 A$$

$$I_{pp(pred)} = (V_{oc} - V_c) / Z_s \\ = (300 - 72.7) / (300/300) = 227.3 A$$

위 계산을 통해 핀 주입 시험 시 전원 신호 라인으로 입력되는 전력($I_{pp(pred)}$)은 소자가 가진 최대 허용치 ($I_{pp(chip)}$) 이내의 전력이 인가된다는 것을 확인할 수 있다. 여기서 Z_s 는 Source impedance, $I_{pp(chip)}$ 는 적용된 소자의 내성전류이며, $I_{pp(pred)}$ 은 예측되는 전류량이다.

그림 4는 전원 보호회로 회로도이고, TVS를 DC+28V와 RTN에 각각 연결한 이유는 유도낙뢰 시험 시 Positive와 Ground 그리고 Return과 Ground로 시험이 진행되기 때문이다.

2.2 차동 신호 보호회로 설계

제어기는 고속의 Gigabit Ethernet 통신을 한다. 고속 전

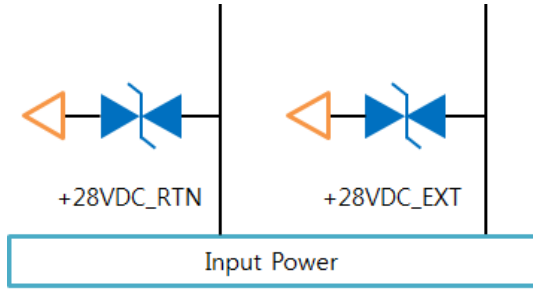


그림 4. 전원 보호회로 소자 회로도
Fig. 4. Power protection circuit schematic.

송 신호에 TVS 다이오드를 적용하면 높은 커패시턴스로 인해 신호의 왜곡을 가져올 수 있다. 다만 차동신호를 이용하는 인터페이스 구조는 물리계층 종단에 Transformer를 사용하게 되는데, 이는 각 차동신호의 Positive와 Ground 그리고 Negative와 Ground 사이의 전기적인 개방을 보장하게 된다. 서로 개방된 회로는 이론적으로 무한대의 저항성분을 가진 것을 의미하므로 높은 전압이 걸리더라도 전류가 흐르지 않는다. 필요에 따라 매우 낮은 커패시턴스를 가지는 GDT(Gas Discharge Tube)를 적용하여 Transformer를 보호할 수도 있다. MIL-STD-1553B 신호 역시 Transformer를 통해 전기적으로 절연되므로 별도의 보호 회로를 설계하지 않았다.

송수신기는 IEEE 802.3u에 정의된 Fast Ethernet(100Base-T)을 사용한다. Fast Ethernet의 물리적 신호는 Multi-Level Transmit-3(MLT-3)를 사용하며, 물리계층에서 3단계의 DC level로 정보를 교환하여 소자의 IO용 V_{dd} 에 따라 최대 2.8V의 신호 레벨을 가진다. 이더넷 통신의 영향성을 최소화하기 위해 커패시턴스가 낮은 양방향 TVS를 모든 신호선에 연결하였다. 선정된 TVS는 Microsemi사의 MSMCJLCE6.5A이며, $V_c = 11.2V$, $I_{pp} = 100A$ $P_{pp}(10/1000\mu s) = 1,500W$ 이다. TVS 소자 데이터시트에서 제공되는 그림 5를 이용하면 각 식에 들어가는 변수 값을 확인할 수 있다.

- Waveform 3 허용전류

$$I_{pp(chip)} = P_{pp}(6\mu s) / P_{pp}(10/1000\mu s) \times I_{pp} = 15,000 / 1,500 \times 100 = 1,000A$$

$$I_{pp(pred)} = (V_{oc} - V_c) / Z_s = (600 - 11.2) / ((600/24) + 5) = 23.55A$$

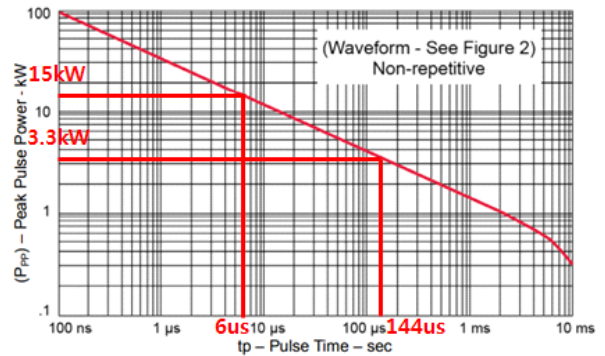


그림 5. 이더넷 보호회로 소자의 최대 허용 전력
Fig. 5. Peak pulse power of ethernet protection circuit.

- Waveform 5A 허용전류

$$I_{pp(chip)} = P_{pp}(144\mu s) / P_{pp}(10/1000\mu s) \times I_{pp} = 3,300 / 1,500 \times 100 = 220A$$

$$I_{pp(pred)} = (V_{oc} - V_c) / Z_s = (300 - 11.2) / (300/300) = 288.8A$$

위 계산을 통해 Waveform 5A 핀 주입 시험 시 이더넷 신호 라인으로 입력되는 전력은 소자의 최대 허용치 이상의 신호 레벨이 인가됨을 예측할 수 있다. 따라서 TVS 전단에 5Ω을 직렬로 추가함으로써 Z_s 를 높이고 I_{pp} 를 낮추는 효과를 얻을 수 있다^[7]. 파형 인가 시 발생하는 저항 양단의 전압과 전류에 의해 발생하는 전력 용량을 반드시 고려하여 저항의 파손이 없도록 주의해야 한다. 회로 변경 후 허용 전류를 다시 계산하면 다음과 같다.

- Waveform 3 허용전류

$$I_{pp(chip)} = P_{pp}(6\mu s) / P_{pp}(10/1000\mu s) \times I_{pp} = 15,000 / 1,500 \times 100 = 1,000A$$

$$I_{pp(pred)} = (V_{oc} - V_c) / Z_s = (600 - 11.2) / ((600/24) + 5) = 19.63A$$

- Waveform 5A 허용전류

$$I_{pp(chip)} = P_{pp}(144\mu s) / P_{pp}(10/1000\mu s) \times I_{pp} = 3,300 / 1,500 \times 100 = 220A$$

$$I_{pp(pred)} = (V_{oc} - V_c) / Z_s = (300 - 11.2) / ((300/300) + 5) = 48.13A$$

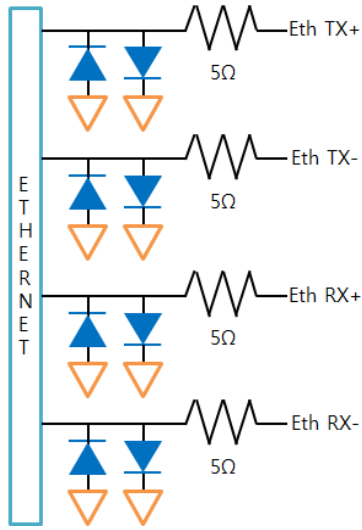


그림 6. 이더넷 보호회로 회로도
Fig. 6. Ethernet protection circuit schematic.

5 Ω을 직렬 추가한 후 최대 허용치 이내의 전류가 인가됨을 알 수 있다. 이러한 회로 설계 기법은 낮은 용량의 TVS를 이용하여 높은 유도나뢰에 대한 보호가 가능하게 함으로써 항공기용 장비의 소형, 경량화에 기여할 수 있다.

그림 6은 이더넷 보호회로 회로도이고, TVS 는 이더넷 TX+, TX-, RX+와 RX-에 각각 연결하였다. 또한 각 라인별로 positive와 negative 시험이 진행되기 때문에 단방향 TVS를 양방향으로 적용하였다. 100 Ω 매칭인 이더넷 신호는 5 Ω이 직렬로 연결됨으로써 전압이 2.8 V에서 2.1 V로 낮아졌지만 이더넷 연결 거리가 짧기 때문에 장비 동작에는 문제가 발생하지 않았다.

2-3 Discrete 신호 보호회로 설계

제어기의 초기화 완료를 알려주는 준비 완료 신호, remote terminal address 신호와 송수신기의 1 pps 입력 신호는 discrete 신호이다. 제어기는 TVS 기반으로 설계된 discrete to digital interface 전용 소자와 GDT를 통해 유도나뢰로부터 회로를 보호한다. 이 때 사용된 전용 소자는 DO-160D를 만족하며, waveform 5, Level 3을 만족하는 범위에서 동작한다. 송수신기는 1 pps 신호 특성을 고려하여 소자를 선정하였다. 선정된 TVS는 Microsemi사의 P6KE15CA이며, $V_c = 21.2 V$, $I_{pp} = 28.8 A (10/1000 \mu s)$, $P_{pp} =$

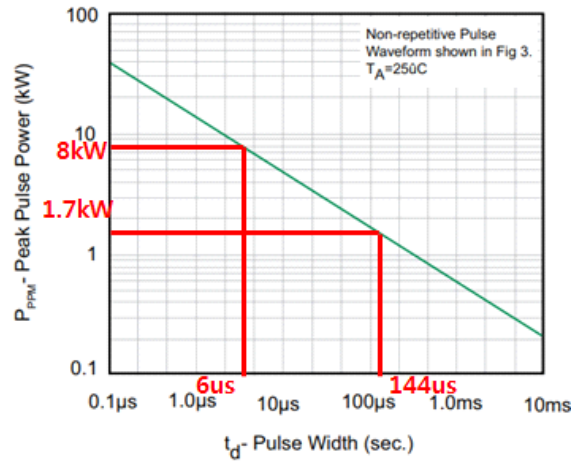


그림 7. Discrete 신호 보호회로 소자의 최대 허용 전력
Fig. 7. Peak pulse power of discrete protection circuit.

600 W의 특성을 가진다. TVS 소자 데이터시트에서 제공되는 그림 7을 이용하면 각 식에 들어가는 변수 값을 확인할 수 있다.

- Waveform 3 허용전류

$$I_{pp(chip)} = P_{pp}(6\mu s) / P_{pp}(10/1000\mu s) \times I_{pp} = 8,000/600 \times 28.8 = 384 A$$

$$I_{pp(pred)} = (V_{oc} - V_c) / Z_s = (600 - 21.2) / (600/24) = 23.15 A$$

- Waveform 5A 허용전류

$$I_{pp(chip)} = P_{pp}(144\mu s) / P_{pp}(10/1000\mu s) \times I_{pp} = 1,700/600 \times 28.8 = 81.6 A$$

$$I_{pp(pred)} = (V_{oc} - V_c) / Z_s = (300 - 21.2) / (300/300) = 278.8 A$$

위 계산을 통해 Waveform 5A 편 주입 시험 시 Discrete 신호 라인으로 입력되는 전력은 소자의 최대 허용치 이상의 신호 전력이 인가됨을 예측할 수 있다. 여기서 TVS 전단에 11 Ω을 직렬로 추가함으로써 Z_s 를 높이고, I_{pp} 를 낮추는 효과를 얻을 수 있다. 과형 인가 시 발생하는 저항 양단의 전압과 전류에 의해 발생하는 전력 용량을 반드시 고려하여 저항의 파손이 없도록 주의해야 한다. 회로 변경 후 허용 전류를 다시 계산하면 다음과 같다.

- Waveform 3 허용전류

$$I_{pp(ch ip)} = P_{pp}(6\mu s) / P_{pp}(10/1000\mu s) \times I_{pp}$$

$$= 8,000/600 \times 28.8 = 384 A$$

$$I_{pp(pred)} = (V_{oc} - V_c) / Z_s$$

$$= (600 - 21.2) / ((600/24) + 11)$$

$$= 16.08 A$$

- Waveform 5A 허용전류

$$I_{pp(ch ip)} = P_{pp}(144\mu s) / P_{pp}(10/1000\mu s) \times I_{pp}$$

$$= 1,700/600 \times 28.8 = 81.6 A$$

$$I_{pp(pred)} = (V_{oc} - V_c) / Z_s$$

$$= (300 - 21.2) / ((300/300) + 11)$$

$$= 23.23 A$$

11 Ω을 직렬로 추가한 후 최대 허용치 이내의 전류가 인가됨을 알 수 있다.

그림 8은 discrete 보호회로 회로도이고, TVS는 discrete 신호에 positive와 negative 시험이 진행되기 때문에 양방향 TVS를 적용하였다. 신호의 왜곡을 고려하여 내부 커패시턴스 값이 작은 TVS를 선정하였고, 실제 신호 왜곡에 크게 영향을 주지 않았다. 다만 직렬 11 Ω에 의해 전압 분배가 발생하여 최종 출력이 10 V였으나 8.7 V로 감소하였다. 하지만 뒷단 소자의 규격 내 전압이어서 동작에 문제는 발생하지 않았다.

2-4 RF 신호 보호회로 설계

송수신기의 RF 입/출력 포트에 대한 보호는 RF 신호 특성을 고려하여야 한다. 높은 주파수가 흐르는 도선에서 신호선과 접지 사이의 커패시터는 고주파 성분을 bypass 시켜 신호를 왜곡하는 결과를 초래한다. 따라서 RF 포트는 GDT와 같이 커패시턴스가 매우 낮은 소자를 통해 보호

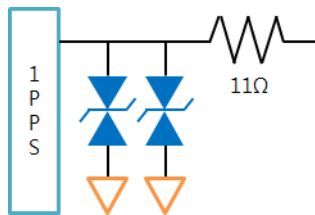


그림 8. Discrete 보호회로 회로도
Fig. 8. Discrete protection circuit schematic.

표 2. RF 포트용 낙뢰보호기 특성

Table 2. Specification for RF arrestor.

	Item	Specification
Transient specification	Maximum transient	20 kA @ 8/20 us
	Multiple strike	10 times @ 5kA
RF specification	Norminal impedance	50 ohm
	RF power	100 W
	Through current	65 $V_{dc}/5A$

되어야 한다. 따라서 송수신기의 RF 포트에는 GDT 기반으로 제작된 낙뢰보호기를 적용하였다. 표 2는 선정된 낙뢰 보호기의 과도특성(transient specification)과 RF 특성이다.

III. 시험결과

각 신호선 별로 해당하는 유도낙뢰를 인가한 후 보호회로가 정상적으로 동작하는지 확인하였다. 제어기는 BIT (Built In Test) 점검을 통한 장비상태, discrete 신호의 정상 동작 유무, 1553B 및 이더넷 연동 포트의 패킷 손실 여부를 확인하였다. 송수신기는 BIT 점검을 통한 장비상태, discrete 신호의 정상동작 유무, FER(Frame Error Rate)를 통한 이더넷 및 RF 포트의 정상 동작 유무를 확인하였다.

3-1 제어기 시험결과

표 3과 그림 9는 제어기 전원 핀 주입 시험 결과이다. 10/1000 μs 기준으로 15,000 W까지 되는 TVS 를 적용했으므로 Waveform 5A(40/120 μs) 기준으로 34,950 W까지 보호 가능, 규격 이내의 결과와 장비의 정상 동작을 확인하였다.

표 4와 그림 10은 제어기의 이더넷 핀 주입 시험 결과이다. 내부에 transformer를 적용하였기 때문에 입력과 출력은 분리되어 있고, 이론적으로는 저항이 ∞ 이므로 전류는 흐르지 않아야 한다. 하지만 기생저항 등에 의해 일부 전류가 흐르는 것을 알 수 있다.

표 5와 그림 11은 제어기 Discrete 핀 주입 시험 결과이다. RX 내부에 Discret to Digital Interface 소자는 DO-160D 을 만족하는 소자이고, 그 규격 이내에서 동작하는 것을 확인할 수 있다.

표 6과 그림 12는 제어기의 1553B 핀 주입 시험 결과이

다. 내부에 transformer를 적용한 것이 이더넷과 동일하므로 결과는 비슷하게 나왔다.

3-2 송수신기 시험결과

표 7과 그림 13은 송수신기의 전원 핀 주입 시험 결과이다. 10/1000 μ s 기준으로 15,000 W까지 되는 TVS를 적용했으므로 Waveform 5 A(40/120 μ s) 기준으로 34,950 W

표 3. 제어기 전원 핀 주입 결과(waveform 5A)
Table 3. Controller power pin injection results(waveform 5A).

Pin under test	Polarity	Peak voltage (V)	Peak current (A)
A	Positive	86.4	268
	Negative	-67.6	-280
B	Positive	89.2	276
	Negative	65.6	-264
C	Positive	89.2	274
	Negative	-66.0	-270
D	Positive	50.4	282
	Negative	-109	-286
E	Positive	50.4	282
	Negative	-109	-284
F	Positive	50.0	280
	Negative	-108	-282

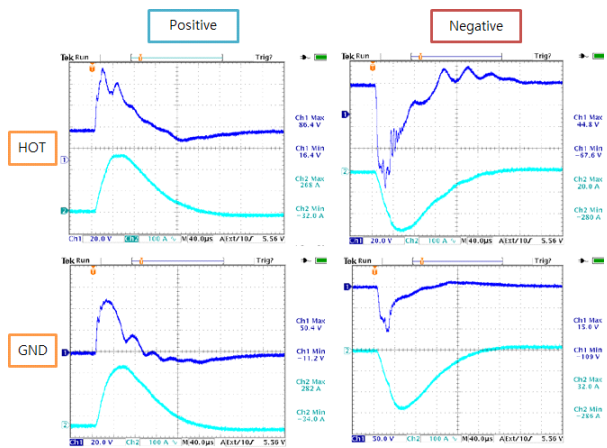


그림 9. 제어기 전원 핀 주입(waveform 5A)
Fig. 9. Controller power pin injection(waveform 5A).

까지 보호 가능, 규격 이내의 결과와 장비의 정상 동작을 확인하였다⁷⁾.

표 8과 그림 14는 송수신기 이더넷 핀 주입 시험 결과이다. 이더넷 보호 TVS는 1,500 W 용량이다. 표의 결과

표 4. 제어기 이더넷 핀 주입(waveform 5A)
Table 4. Controller ethernet pin injection(waveform 5A).

Pin under test	Polarity	Peak voltage (V)	Peak current (A)
Tx(+)	Positive	328	2.40
	Negative	-336	-2.80
Tx(-)	Positive	324	-2.80
	Negative	-334	-2.40
Rx(+)	Positive	328	2.40
	Negative	-336	-2.80
Rx(-)	Positive	324	2.40
	Negative	-334	-2.40
Tx(+)	Positive	328	2.80
	Tx(-)	-338	-2.40
Tx(-)	Positive	326	2.40
	Rx(-)	-332	-2.40
Rx(+)	Positive	324	2.00
	Negative	-332	-2.40
Rx(-)	Positive	322	2.40
	Negative	-334	-2.40

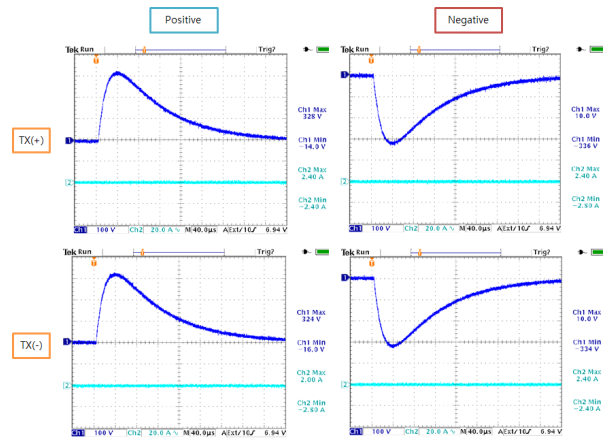


그림 10. 제어기 이더넷 핀 주입(waveform 5A)
Fig. 10. Controller ethernet pin injection(waveform 5A).

표 5. 제어기 discrete 핀 주입 결과(waveform 5A)

Table 5. Controller power pin injection results(waveform 5A).

Pin under test	Polarity	Peak voltage (V)	Peak current (A)
Rx	Positive	274	80.0
	Negative	-274	-82.0
Rx	Positive	304	84.4
	Negative	-274	-81.6
Rx	Positive	270	79.6
	Negative	-274	-81.2
Rx	Positive	276	81.6
	Negative	-240	-78.0
Rx	Positive	268	82.4
	Negative	-240	-77.2
Rx	Positive	294	87.6
	Negative	-234	-77.6
Rx	Positive	270	86.4
	Negative	-272	-88.0

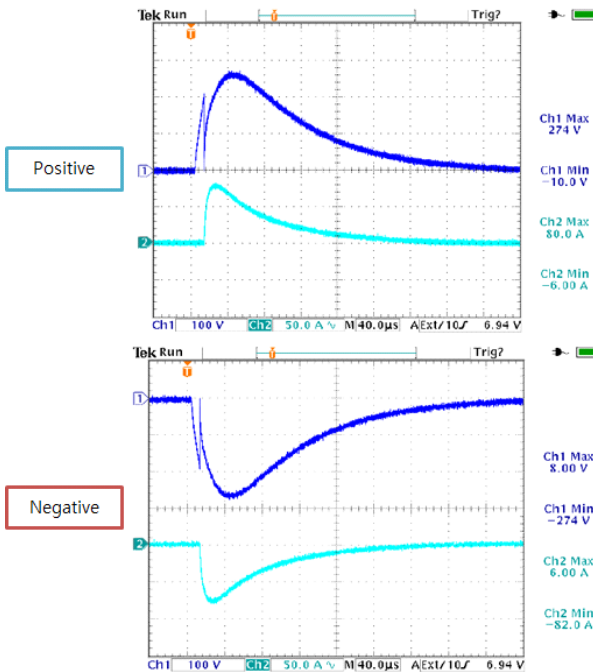


그림 11. 제어기 discrete 핀 주입(waveform 5A)
Fig. 11. Controller discrete pin injection(waveform 5A).

표 6. 제어기 1553B 핀 주입(waveform 5A)

Table 6. Controller 1553B pin injection(waveform 5A).

Pin under test	Polarity	Peak voltage (V)	Peak current (A)
High	Positive	318	5.00
	Negative	-340	-8.00
Low	Positive	320	5.00
	Negative	-346	-8.00
High	Positive	320	6.00
	Negative	-346	-7.00
Low	Positive	320	6.00
	Negative	-352	-8.00

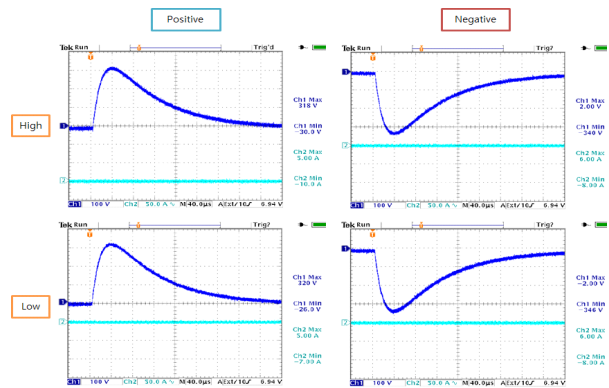


그림 12. 제어기 1553B 핀 주입(waveform 5A)
Fig. 12. Controller 1553B pin injection(waveform 5A).

표 7. 송수신기 전원 핀 주입(waveform 5A)

Table 7. Transceiver power pin injection(waveform 5A).

Pin under test	Polarity	Peak voltage (V)	Peak current (A)
A	Positive	58.8	258
	Negative	-56.0	-244
B	Positive	60.0	256
	Negative	-55.2	-240
C	Positive	60.8	256
	Negative	-55.6	-238
D	Positive	55.6	236
	Negative	-61.2	-256
E	Positive	54.8	234
	Negative	-62.0	-254
F	Positive	55.2	238
	Negative	-61.2	-256

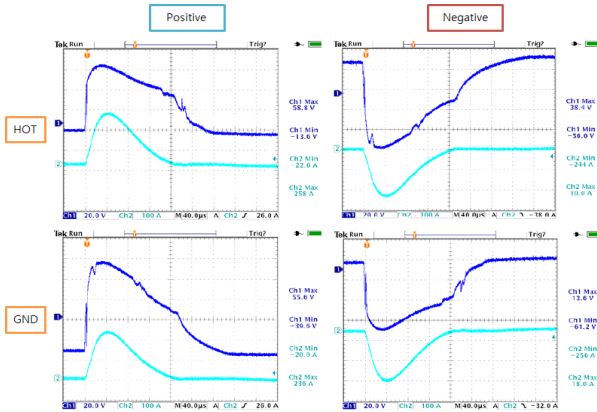


그림 13. 송수신기 전원 핀 주입(waveform 5A)
Fig. 13. Transceiver power pin injection(waveform 5A).

표 8. 송수신기 이더넷 핀 주입(waveform 5A)
Table 8. Transceiver ethernet pin injection(waveform 5A).

Pin under test	Polarity	Peak voltage (V)	Peak current (A)
Tx(+)	Positive	70.0	248
	Negative	-69.6	-248
Tx(-)	Positive	69.2	246
	Negative	-68	-250
Rx(+)	Positive	62.4	256
	Negative	-62.4	-254
Rx(-)	Positive	63.6	252
	Negative	-64.0	-254

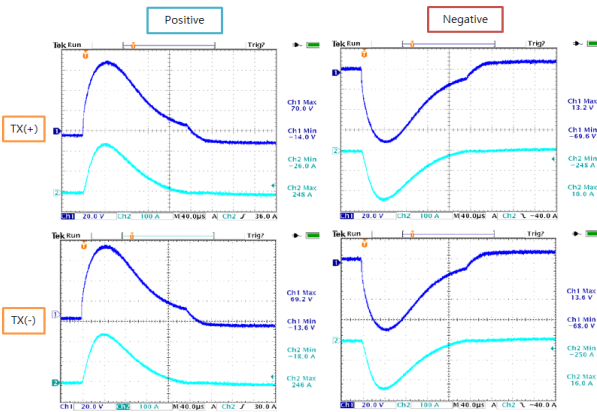


그림 14. 송수신기 이더넷 핀 주입(waveform 5A)
Fig. 14. Transceiver ethernet pin injection(waveform 5A).

값을 단순 계산하면 TVS 용량을 벗어나 보인다. 그림 2의 5A 파형에서 T1(Max)에서 T2(50%)까지 전력은 대략적으로 $P = V \times I$ 의 1/2 값이다.

$$P = 70 \times 248 \times \frac{1}{2} = 8,680$$

$$I = \sqrt{\frac{P}{R}} = \sqrt{\frac{8680}{5+1}} = 38.04 A$$

위 계산에 따라 2-2절에서 예측된 48.13A와 비슷한 전류가 인가되었음을 확인하였고, 보호회로가 정상적으로 동작하였음을 확인할 수 있다.

표 9와 그림 15는 송수신기 discrete 핀 주입 시험 결과이다. Discrete 보호 TVS는 600 W 용량이다. 위 계산에 따라 2-3절에서 예측된 23.23 A와 비슷한 전류가 인가되었음을 확인하였고, 보호회로가 정상적으로 동작하였음을 확인할 수 있다.

표의 결과 값을 단순 계산하면 TVS 용량을 벗어나 보인다. 그림 2의 5A 파형에서 T1(Max)에서 T2(50%)까지 전력은 대략적으로 $P = V \times I$ 의 1/2 값이다.

$$P = 54.4 \times 270 \times \frac{1}{2} = 7,344$$

$$I = \sqrt{\frac{P}{R}} = \sqrt{\frac{7344}{11+1}} = 24.74 A$$

표 9. 송수신기 discrete 핀 주입(waveform 5A)
Table 9. Transceiver discrete pin injection(waveform 5A).

Pin under test	Polarity	Peak voltage (V)	Peak current (A)
Discrete	Positive	54.2	262
	Negative	-54.4	-270

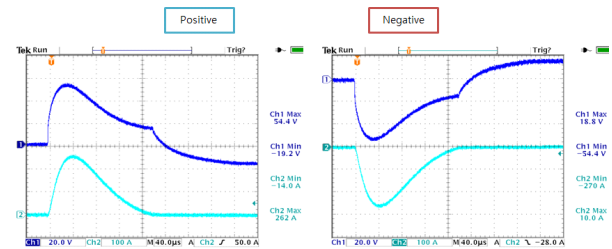


그림 15. 송수신기 discrete 핀 주입(waveform 5A)
Fig. 15. Transceiver discrete pin injection(waveform 5A).

표 10. 송수신기 RF 핀 주입(waveform 5A)
Table 10. Transceiver RF pin injection(waveform 5A).

Pin under test	Polarity	Peak voltage (V)	Peak current (A)
RF	Positive	268	234
	Negative	-268	-238

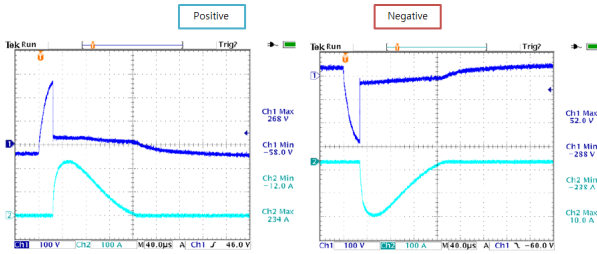


그림 16. 송수신기 RF 핀 주입(waveform 5A)
Fig. 16. Transceiver RF pin injection(waveform 5A).

표 10과 그림 16은 송수신기의 RF 핀 주입 시험 결과이다. 그림에서 보듯이 낙뢰보호기에 의해 전압과 전류는 시간차를 두고 발생하여 장비에 영향을 주지 않는다는 것을 확인할 수 있다.

유도 낙뢰 시험 시 3-1, 3-2 및 케이블 파열 시험을 하였고 진행되는 동안 육안 검사 및 시험에 따른 내성확인 항목을 점검하였고, 이상 현상은 발생하지 않았다.

IV. 결 론

본 논문에서는 항공기용 표준감항인증의 요구도 RTCA/DO-160G Section 22와 시스템 요구도를 만족시키는 유도 낙뢰 보호회로 설계기법과 검증 결과를 기술하였다. 기존 유도낙뢰 보호장비는 장비 외부에 별도의 어레스터, 보호 모듈 등을 추가하여 크기와 무게가 증가하는 단점이 있었다. 반면, 설계된 장비는 인터페이스별 신호 특성을 고려하여 허용공간 내 소자 선택 및 추가를 통해 소형, 경량화 할 수 있었다. 특히 소자의 선택 시, 큰 유도낙뢰가 유입되는 핀 주입 파형 5A를 기준으로 설계를 진행하였다. 시험 대상 장비는 공인 인증된 시험기관에서 핀 주입 및 케이블 파열 시험을 진행하였다. 각 시험 항목에 따라 장비별 내성 여부와 결과 파형을 확인함으로써 유도낙뢰에

대한 보호회로가 적절히 설계되었음을 확인하였다.

본 논문은 MIL-STD-1553B, Gigabit Ethernet, Fast Ethernet, Discrete 및 RF signal 등 다양한 인터페이스에 대한 보호회로 설계 기법을 소개하고, 적절히 설계되었는지를 시험을 통해 검증하였다. 향후 항공기용 전자장비 설계 시 장비의 특성과 인터페이스 종류를 고려하여 유도낙뢰에 대한 적절한 보호회로를 선택하여 적용할 수 있을 것으로 기대한다.

References

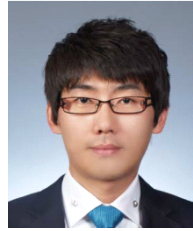
- [1] 조제훈, 이진호, 태현성, 정경영, "낙뢰에 노출된 높은 도전성 구조체의 간접적 영향 분석을 위한 전자파 해석 기법 연구," 한국전자파학회논문지, 27(11), 1012-1018, 2016년 11월.
- [2] C. A. McCreary, B. A. Lail, "Lightning transient suppression circuit design for avionics equipment," in *2012 IEEE International Symposium on Electromagnetic Compatibility*, Pittsburgh, PA, Aug. 2012, pp. 93-98.
- [3] 김종준, 백상태, 송동건, 명노신, "항공기 낙뢰 전산 시뮬레이션 및 보호시스템 설계," 한국항공우주학회지, 44(12), 1071-1086, 2016년 12월.
- [4] 방위사업청, "군용항공기 표준감항인증기준에 관한 고시," 방위사업청 고시 제2015-2호, 2015년.
- [5] Radio Technical Commission for Aeronautics Inc: RTCA/DO-160G, Environmental conditions and test procedures for airborne equipment, section 22 lightning induced transient susceptibility, RTCA, Inc: 1828 L Street, NW suite 805 Washington, DC 20036, pp. 22-1-22-42, Dec. 2010.
- [6] 김종준, 백상태, 송동건, 명노신, "항공기 낙뢰 전산 시뮬레이션 및 보호시스템 설계," 한국항공우주학회지, 44(12), pp. 1071-1086, 2016년.
- [7] Microsemi, Lightning protection for aircraft electrical power and data communication systems. Available: https://www.microsemi.com/document-portal/doc_download/14682-micronote-127-lightning-protection-for-aircraft-electrical-systems.

서 정 원



2007년 2월: 경북대학교 전자전자전기공학부 (공학사)
2009년 2월: 경북대학교 전자전기컴퓨터공학부 (공학석사)
2010년 1월~현재: 한화시스템 전문연구원

정 병 구



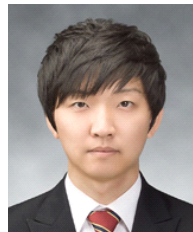
2001년 2월: 한국해양대학교 전파공학과 (공학사)
2003년 2월: 한국해양대학교 전파공학과 (공학석사)
2009년 12월~현재: 한화시스템 전문연구원

박 재 수



2007년 2월: 성균관대학교 전자전자전기공학부 (공학사)
2008년 1월~현재: 한화시스템 전문연구원

신 영 준



2011년 2월: 경희대학교 전자전파공학부 (공학사)
2013년 2월: 광주과학기술원 정보통신대학 (공학석사)
2013년 2월~현재: 국방과학연구소 연구원

윤 창 배



1997년 2월: 한국해양대학교 전자통신공학과 (공학사)
2002년 2월: 성균관대학교 전자공학과 (공학석사)
2009년 12월~현재: 한화시스템 수석연구원

하 정 완



2012년 2월: 경희대학교 전자,전파공학과 (공학사)
2014년 2월: 경희대학교 전자,전파공학과 (공학석사)
2013년 12월~현재: 단암시스템즈 선임연구원

홍 수 윤



2001년 2월: 한국외국어대학교 컴퓨터공학과 (공학사)
2018년 2월: 아주대학교 IT융합공학과 (공학석사)
2000년 11월~현재: 한화시스템 수석연구원