

고정 피드백 인자를 사용하는 다중출력 LDO 레귤레이터

Multiple-Output Low Drop-Out Regulator With Constant Feedback Factor

모 현 선*, 김 대 정*

Hyunsun Mo*, Daejeong Kim*

Abstract

A multiple-output LDO regulator is a good choice in terms of the efficiency in embedded systems requiring various supply voltages. A small feedback factor in LDO incurs the long settling time, resulting in large ripples in the time-multiplexing strategy. A new proposed topology enhances the settling time, and hence the ripples by incorporating the constant feedback factor with different reference voltages. The simulation results of a prototype design in a standard 0.35 μ m CMOS process verify that the proposed strategy enhances the settling time and ripple characteristic by more than doubled than a conventional circuit using the feedback factor of less than 0.4.

요 약

다중출력 LDO 레귤레이터는 다양한 공급 전압이 필요한 임베디드 시스템에서 변환 효율을 개선할 수 있는 방안이 된다. 다중 출력을 위한 시분할 구조에서 LDO의 피드백 인자가 작아지면 정착시간이 길어져서 리플 전압이 커진다. 제안하는 토폴로지에서는 기준 전압을 가변하여 일정한 피드백 인자를 구현함으로써 정착시간과 리플 특성을 개선한다. 0.35 μ m 표준 CMOS 공정으로 설계한 4 채널 프로토타입의 시뮬레이션 결과 제안하는 구조는 피드백 인자가 0.4 이하인 기존 회로보다 정착시간과 리플 특성이 2배 이상 개선되는 것을 입증하였다.

Key words : Low Drop-out Regulator, Multiple-output, Feedback factor, Settling-time, LDO

* School of Electrical Engineering, Kookmin University

★ Corresponding author

E-mail: kimdj@kookmin.ac.kr, Tel: +82-2-910-4704

※ Acknowledgment

This work was supported by the Engineering Research Center of MSIP / NRF of Korea Grant funded by the Korean Government (Grant NRF-2016R1A5A1012966 and 2016R1A6A3A01006588). And, it was supported by research program of Kookmin University, and IDEC, Korea.

Manuscript received Jun. 18, 2018; revised Jun. 22, 2018; Accepted Jun. 23, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

안정된 전원전압을 공급하기 위한 레귤레이터는 일반적으로 스위칭 dc-dc 변환기나 저 강하 (low-dropout, LDO) 레귤레이터 구조를 사용한다. 스위칭 변환기는 무거운 부하를 구동할 수 있으며 높은 에너지 변환 효율을 얻을 수 있지만 인덕터와 같은 에너지 저장 소자의 스위칭 잡음에 의한 교차 간섭(cross regulation, CR)의 부작용이 있다 [1],[2]. 이에 반해, 저 강하 (low drop-out, LDO) 레귤레이터는 작은 리플을 가진 깨끗한 전원 전압을 제공하므로 임베디드 시스템에 적합하다[3]. 그러나 피드백 구조를 사용하므로 추가의 전력소모와 빠른 정착 동작이 필요하다.

최근의 임베디드 응용에서는 고성능 및 저전력 소모를 위해 다양한 전압/전류 레벨의 서브 모듈에 다양한 전원전압을 공급하는 다중 출력 레귤레이터(multiple-output regulator)의 요구가 증가하고 있다[4]. 그림 1은 다중 출력 LDO 전원을 발생시키는 2 가지의 기법으로 다중 저 강하 (N -LDO) 레귤레이터 구조, 및 다중출력 저 강하 (multiple-output LDO, MOLDO) 레귤레이터를 보여준다.

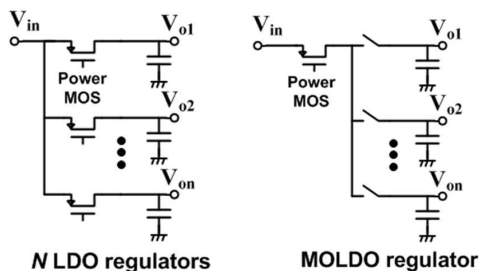


Fig. 1. Basic methods to implement multiple-output power supply.

그림 1. 다중 공급 전원 출력을 위한 기본 방안

MOLDO는 큰 칩 면적을 차지하는 전력 스위치인 PFET이나 오차 증폭기(error amplifier)를 공유하면 칩 면적 감소뿐만 아니라 전력 변환 효율을 개선시킬 수 있다. 각 채널에 해당하는 출력전압에 맞는 피드백 인자를 각각 적용하여 시분할(time multiplexing) 함으로써 비교적 간단하게 다양한 전압을 발생시킬 수 있다[5].

MOLDO 레귤레이터는 다중 출력 채널들 사이에 교차 간섭(cross regulation)이 없으므로 고효율, 작은 리플전압, 작은 전자기 및 상호 간섭을 요구하는 바이오 의학 시스템 응용에 적합하다[6],[7]. 예를 들어, 다양한 공급 전압과 수백 마이크로 와트(Watts)가 요구되는 바이오 이식(bio-implant) 시스템과 같이 큰 N 값 및 가벼운 부하의 응용에서는 MOLDO의 장점이 뚜렷해진다. 그러나 다중 출력 LDO 레귤레이터에 대한 연구는 아직 시작 단계이다.

II. 본론

본 논문에서는 MOLDO 와 N -LDO 레귤레이터를 여러 가지 관점에서 비교하고 특히, 높은 출력 전압을 발생하기 위한 낮은 피드백 인자의 문제점을 정착시간 및 리플 전압의 관점에서 부각하였다. 다양한 피드백 인자를 사용하는 기존의 시분할 MOLDO 구조의 근본적인 한계를 극복하기 위하여 고정 피드백 인자를 채택하는 새로운 토폴로지를 제안한다.

1. 전류효율 및 칩 면적

그림 2(a)와 같이 MOLDO 레귤레이터의 정적 동작전류(quiescent current)가 오차증폭기의 전류(I_{EA}) 및 저항 스트링의 전류(I_R)로 구성되는 것을 가정하면, 다양한 부하 전류(I_L)에서의 전류효율은 다음과 같다.

$$\eta = \frac{I_{L,total}}{I_{VDD}} \times 100(\%) \approx \frac{N \cdot I_L}{N \cdot (I_L + I_R) + I_{EA}} \times 100(\%) \quad (1)$$

그림 2(b)는 식 (1)에 의해 계산되는 전류효율(η)을 다중 출력 채널의 수(N)에 대해 보인 것으로서, 오차증폭기에 $55\mu A$ (I_{EA}), 각 저항 스트링에 $11\mu A$ (I_R)의 명시적인 정적 동작전류가 흐른다는 가정 하에 부하전류(I_L)를 $100\mu A$, $1mA$, $10mA$ 로 가변하였다.

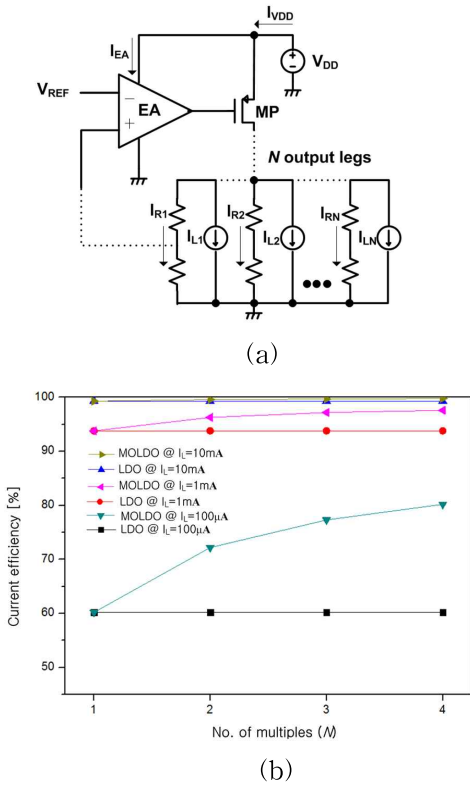


Fig. 2. Comparison of MOLDO and LDO (a) topological diagram to show current components (b) current efficiency vs. number of multiples (N) at different load currents.

그림 2. MOLDO 및 LDO의 비교 (a) 전류 성분을 나타내는 토폴로지 회로도 (b) 다양한 부하 전류에 대한 전류 효율 대 다중 노드의 수 (N)

그림 3은 MOLDO와 N -LDO의 상대적인 칩 면적을 비교하기 위해 연산증폭기(0.9), PFET 전력 트랜지스터(2.0), 저항스트링(2.0), 스위치(0.5)의 상대적인 면적을 설정하고 채널의 수 N 을 가변하면서 정규화 된 칩 면적을 계산한 결과이다.

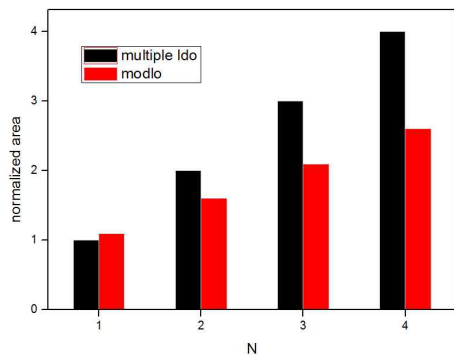


Fig. 3. Chip size comparison of MOLDO and N -LDO according to number of channels (N).

그림 3. 채널 수(N)에 따른 MOLDO 및 LDO의 상대 면적 비교

이 결과에서 보듯이 가벼운 부하에서 채널 수 N 값이 커질수록 전류효율 및 칩 면적의 측면에서 MOLDO 레귤레이터의 장점이 뚜렷해진다.

2. 피드백 인자(β)의 영향

피드백 구조를 사용하는 LDO 레귤레이터의 출력전압은 피드백 인자에 의해 결정된다. 신호해석의 관점에서 피드백 인자의 영향을 해석하고 이에 기반한 다중출력 구조를 살펴본다.

가. LDO 레귤레이터에서의 피드백 인자

(1) 피드백 인자 관점에서의 구조 비교

LDO 레귤레이터는 그림 4에서와 같이 오차증폭기(EA), 전력 스위치(MP), 저항 스트링과 외장 캐패시터 C 및 등가 직렬저항(ESR) r 로써 구성된다. 그림 4(a)와 같이 기준전압을 고정시키고 R_2 를 변경하여 피드백 인자를 가변하거나, 그림 4(b)에서와 같이 피드백 인자를 고정하고 기준전압 V_r 을 가변하는 두 가지의 명백히 다른 방법이 가능하다. 피드백 루프가 성공적으로 락킹되면 출력전압은 피드백 인자 β 의 함수로 결정된다.

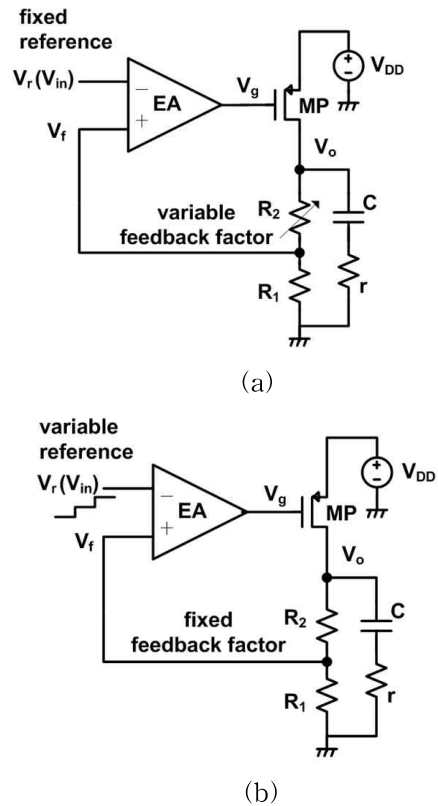


Fig. 4. Two possible feedback strategies of LDO regulators (a) with variable feedback-factor (conventional) (b) with constant feedback factor (proposed).

그림 4. LDO 레귤레이터의 두 가지 가능한 피드백 구조
(a) 가변 피드백 인자 (기존 구조) (b) 고정 피드백 인자 (제안하는 구조)

(2) 소신호 해석

LDO 레귤레이터의 피드백을 끊은 개방 루프 구조에서의 AC 등가 회로도와 소신호 등가회로를 그림 5(a), (b)에 각각 나타내었다. 여기서 A_{EA} 및 R_{TV} 는 각각 오차증폭기 EA의 개방루프 이득 및 등가 테브닌 출력저항이고, g_{mp} 는 MP의 트랜스컨덕턴스이다.

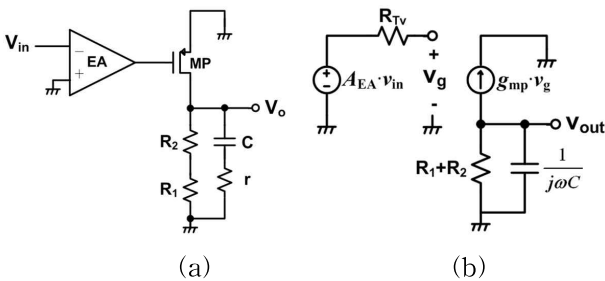


Fig. 5. Equivalent circuit of LDO regulators in open-loop arrangement (a) AC circuit diagram (b) small-signal model of (a) with the assumption of $r \approx 0$.

그림 5. 개방 루프 구조에서의 LDO 레귤레이터의 등가회로 (a) AC 회로 다이어그램 (b) $r \approx 0$ 일 때의 소신호 모델

단위 이득 주파수 이내에 유일한 극점이 존재하게 될 정도로 C가 충분히 크고 r을 무시하면, 그림 4(b)에서의 개방루프 이득 $A(j\omega)$ 는 식 (2)와 같다.

$$A(j\omega) = A_{EA} \cdot g_{mp} (R_1 + R_2) \quad (2)$$

여기서 저주파 이득은 $A_o = A_{EA} \cdot g_{mp} (R_1 + R_2)$ 이고, 차단주파수 $\omega_{3dB} = 1/(R_1 + R_2)C$ 이다. 루프가 닫히면 ω_{3dB} 는 루프이득 인수인 $1 + \beta A_o$ 배 만큼 증가하므로 시정수 τ 는 식 (3)과 같이 3dB 밴드폭의 역수가 된다.

$$\tau = \frac{1}{(1 + \beta A_o) \omega_{3dB}} \approx \frac{1}{\beta} \cdot \frac{1}{A_o \omega_{3dB}} \propto \frac{1}{\beta} \quad (3)$$

정착시간(settling time) t_s 는 정밀도에 따라 τ 의 배수로 표현되므로 (예를 들어, 10 비트의 정밀도에서 $t_s \approx 7\tau$) 주어진 시간 슬롯 내에서 정밀도와

단히루프 이득($\approx 1/\beta$) 사이에 상충관계(trade-off)가 존재한다. 다시 말해, 피드백 인자가 감소하면 정착시간이 증가한다. 이는 빠른 정착을 위해서는 출력전압과 상관없이 큰 피드백 인자가 요구됨을 말해준다.

3. 고정 피드백 인자(constant- β) MOLDO

가. 다중 출력전압의 발생

그림 4의 두 가지 개념을 다중 출력전압 발생을 위한 MOLDO 회로에 적용하여 그림 6(a), (b)에 각각 나타내었다.

그림 6(a)는 기존의 시분할 MOLDO 레귤레이터 구조로서 N개의 출력 노드에는 각각 다른 $R_2, R_3, R_4, \dots, R_n$ 을 R_1 에 각각 연결하고 공유하고 있는 전력 트랜지스터 MP의 드레인에 N개의 스위치가 각각 연결되어 있다. 각각의 출력 노드의 피드백 전압 V_{fi} 는 각각의 스위치를 거쳐서 오차증폭기의 (+) 단자에 연결된다. 피드백 인자가 각각 다르므로 정착시간도 각각 다르게 된다.

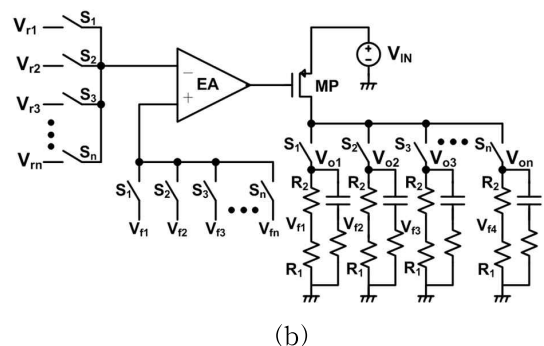
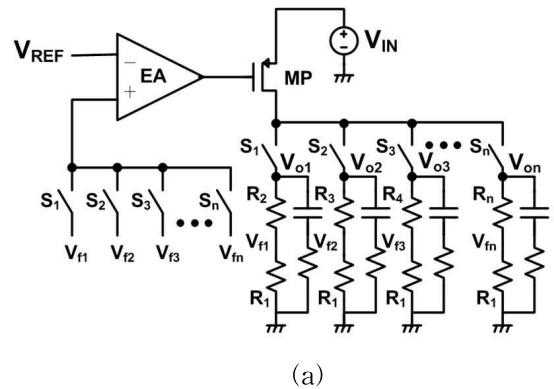


Fig. 6. Schemes of MOLDO regulator with N outputs (a) conventional structure (b) proposed structure.

그림 6. N 개의 출력을 위한 MOLDO 레귤레이터의 구현 방법 (a) 기존의 구조 (b) 제안하는 구조

제안하는 그림 6(b)의 구조에서는 출력전압과 무관하게 일정한 피드백 인자를 구현하기 위해 각 출력 노드에 같은 R_2 를 도입한다. 대신 V_{r1} , V_{r2} , ..., V_{rn} 과 같이 기준전압 V_r 을 가변한다. 기준전압을 스위칭하기 위한 입력 스위치가 추가되지만 세 영역에서 각 스위치 S_i 가 동시에 움직이므로 추가의 타이밍 손실이 포함되지 않는다.

그림 7은 $N=4$ 인 다중 출력의 타이밍도를 나타내고 있다.

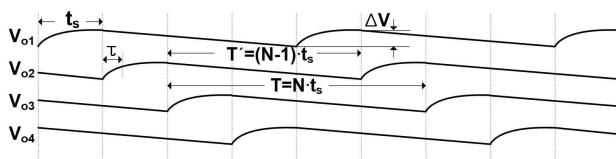


Fig. 7. Timing diagram of time-multiplexing MOLDO regulator with $N=4$.

그림 7. $N=4$ 인 시분할 MOLDO 레귤레이터의 타이밍도

N 개의 출력 노드가 순차적으로 턴 온 되므로 전체 스위칭 주기 T 는 N 개의 같은 t_s 구간으로 나누어진다. 각 출력 V_{oi} 는 해당 노드가 턴 온 되는 한 개의 t_s 구간에서만 구동되므로, 구동되지 않는 $T'=(N-1)t_s$ 구간 동안에는 부하 전류에 의해 지속적으로 전압 값이 감소한다. 따라서 N 값이 증가할수록 비구동 구간 T' 이 증가하여 더 큰 리플 전압(ΔV)가 발생함을 알 수 있다.

그림 6(a)의 기존 구조에서 시스템 클럭 CLK는 가장 큰 값의 V_{oi} 를 위한 가장 작은 β 에 의해 야기되는 가장 큰 값의 t_s 에 맞추어야 한다. 즉, MOLDO의 클럭 주기는 가장 큰 값의 V_{oi} 에 의해 결정되고 클럭의 주기가 길어질수록 리플 전압이 커진다. 부하 전류가 I_L 이고 슬루(slew)를 무시한 정착시간만 고려한다면 리플 전압 ΔV 는 식 (4)와 같다.

$$\Delta V = \frac{k(N-1)I_L}{\beta A_{EA} g_{mp}} \quad (4)$$

여기서 k 는 정밀도와 관련된 τ 의 배수이다. 이 결과는 리플 전압이 β 와 반비례한다는 것은 보여준다. 흥미로운 점은 ΔV 가 캐패시턴스 C 와는 무관하다는 점인데, C 가 커지면 비구동 구간동안 부하

전류에 의한 감소는 줄어들지만 정착시간이 증가하기 때문이다.

그림 6(b)의 제안하는 구조에서는 적절한 피드백 인자(β)가 기존 구조에서의 다중 출력 채널들 중 최악의 피드백 인자보다 크게 결정되기만 하면, 정착시간은 식 (4)에서와 같이 기존 구조에서의 최악의 정착시간보다는 짧아져서 출력 리플 전압을 줄일 수 있다.

나. 빌딩 블록의 설계

(1) 오차증폭기

그림 6(b)의 제안하는 구조에서, 식 (4)에서와 같이 루프이득에 기여하는 오차증폭기의 이득 A_{EA} 를 키우고, 입력 단에 넓은 범위의 가변 기준 전압의 적용을 위해 그림 8과 같은 레일-투-레일 폴드드 캐스코드(rail-to-rail folded-cascode) 연산증폭기를 선택하였다.

(2) 기준전압 발생기

제안하는 고정 피드백 인자 MOLDO는 넓은 범위에서 다양한 기준 전압을 발생해야 하는 이슈를 안고 있다. 이러한 점에서 V_{DD} 에 가까운 높은 출력전압까지를 고려한다면 밴드 갭 기준전압 발생기는 적절하지 않다.

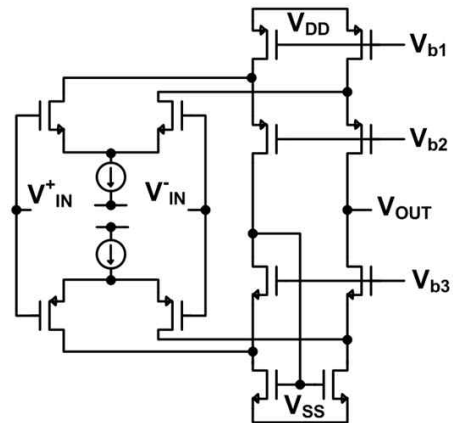


Fig. 8. Circuit topology of rail-to-rail folded-cascode op-amp as error amplifier.

그림 8. 오차증폭기로 사용하는 레일-투-레일 폴드드 캐스코드 연산증폭기의 회로 토폴로지

넓은 범위의 기준전압($V_{r1} \sim V_{rn}$)을 생성하기 위해 CMOS 공정을 이용하여 그림 9(a)와 같은 공급 전압에 둔감한 회로를 설계하였다. 제안하는 회로는 M_1 및 R_1 으로 구성되는 코어, M_2 , M_3 및 R_2 로 구성되는 바이어스 단, 및 M_4 , M_5 및 R 스트링으로

구성되는 출력단의 세 부분으로 이루어진다. 코어부에서 아랫부분의 NMOS 블록은 수정된 윌슨(modified Wilson)이며 위쪽의 PMOS 블록은 저전압 캐스코드 전류 미러이다. 전류 미러의 높은 출력저항 덕택에 V_r 은 V_{DD} 로부터 가상 분리된다. 동작점은 그림 9(b)와 같이 M_1 및 R_1 의 I-V 특성 곡선의 교차점에서 공급전압 V_{DD} 와 무관하게 결정된다.

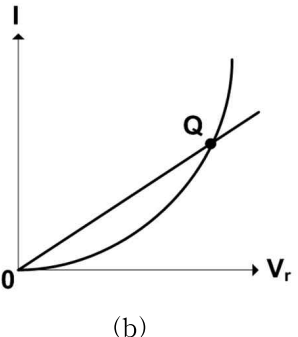
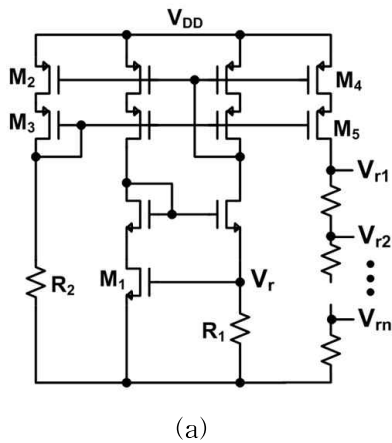


Fig. 9. Proposed reference voltage generator for wide range outputs (a) circuit diagram (b) operating point of bias core (M_1 - R_1).
 그림 9. 넓은 범위의 출력을 위한 제안하는 기준 전압 발생기 (a) 회로 다이어그램 (b) 바이어스 코어 (M_1 - R_1)의 동작 점

바이어스 단은 비동작점(null point)을 회피하므로 추가의 스타트업 회로를 요구하지 않는다. 이 회로는 두 개의 과구동 전압(overdrive voltage, Δ)을 소모하므로 최대 기준전압은 $V_{r,max}=V_{DD}-2\Delta$ 이다. 따라서 MOLDO 레귤레이터의 최대 출력전압 $V_{o,max}=V_{DD}-150mV$ 를 가정하면 피드백 인자의 최댓값은 식 (5)과 같다.

$$\beta_{max} = \frac{V_{r,max}}{V_{out,max}} = \frac{V_{DD}-2\Delta}{V_{DD}-150mV} \quad (5)$$

4. 시뮬레이션 결과

상기의 토폴로지들은 $I_L=10mA$, $MP=2000\mu m/0.35\mu m$, $r=200m\Omega$, $C=10\mu F$ 에 대해 $0.35\mu m$ CMOS 공정을 사용한 Spectre 시뮬레이션을 통해 검증하였다. 그림 10(a)는 그림 6(a)의 기존 구조와 그림 6(b)의 제안 구조에 대해 정착시간(t_s) 대 출력전압(V_o)의 관계를 보여준다.

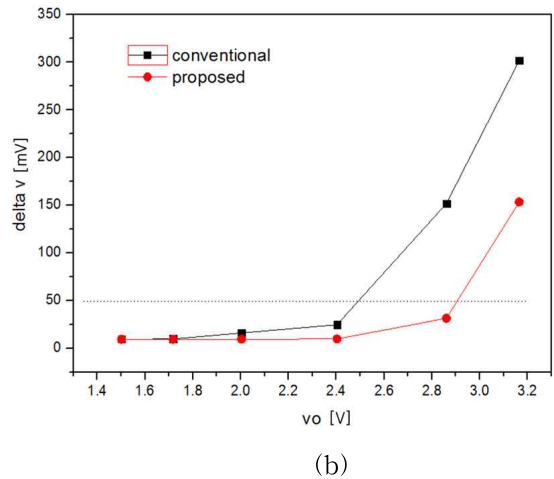
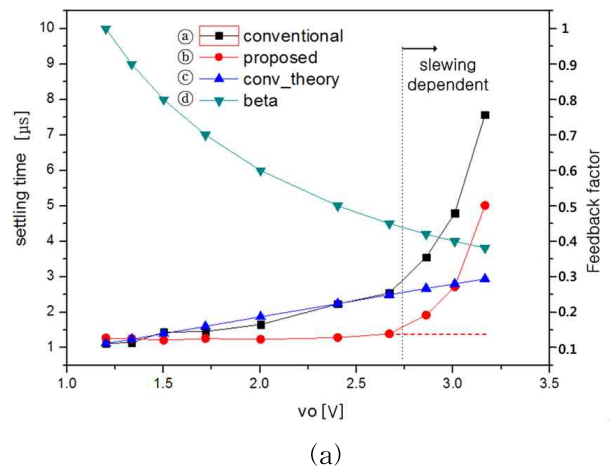


Fig. 10. Simulated results for Fig. 6(a) and Fig. 6(b) (a) settling time vs. V_o (b) ripple characteristics.
 그림 10. 그림 6(a) 및 (b)에 대한 시뮬레이션 결과 (a) 정착 시간 대 V_o (b) 리플 특성

그림 6(a)의 기존 토폴로지에서는 목표 V_o 를 성취하기 위하여 $V_r=1.2V$ 를 유지한 채 R_2, R_3, \dots, R_n 을 R_1 과 직렬로 연결하여 피드백 인자를 가변하였다. ($R_1=100k\Omega$, $R_2=25k\Omega$, $R_3=66.7k\Omega$, $R_4=100k\Omega$, $R_5=138k\Omega$) V_o 가 증가함에 따라 기존 토폴로지의

β 는 감소하므로 정착시간 $t_s(\approx 7\tau)$ 는 식 (3)에 따라 V_o 가 2.7V 근처의 수직 점선에 이를 때까지 증가한다. 이 지점에서 MP는 선형영역으로 들어간다. 이 선을 넘어서면, 정착동작에 들어가기 전에 슬루잉(slewing) 동작이 지배하여 추가의 시간이 크게 증가한다. 이로 인해 식 (3)에 의해 계산되는 이론값과는 큰 차이를 보인다. 슬루잉 동작은 3.15V의 큰 V_o 에서($\beta=0.381$) 뚜렷해지는 것을 볼 수 있다.

이에 반해, 그림 6(b)의 제안하는 토폴로지는 $R_1=100k\Omega$, $R_2=25k\Omega$ 을 사용하여 일정한 피드백 인자 $\beta=0.8$ 을 구현하여 V_o 가 증가함에 따라 상대적으로 작은 정착시간의 증가를 보인다. 피드백 인자를 0.8로 설정한 것은 식 (5)에 의해 $V_{DD}=3.3V$ 및 $\Delta=400mV$ 에서 $\beta_{max}=0.79$ 이기 때문이다. 이 경우에도 경계선을 넘어서서 슬루잉 시간이 추가되는 것을 피할 수는 없다. 그림 10(b)에서는 클록의 주기를 출력 전압의 정착을 보장하는 범위 내에서 최솟값으로 줄이고 그림 6(a) 및 (b)의 MOLDO에 대한 출력 리플 전압을 측정하였다. 최대 리플 전압을 50mV로 설정하는 경우, 제안하는 토폴로지는 기존의 토폴로지에 비해 약 500mV 만큼 더 넓은 출력 범위를 허용한다.

그림 11(a)는 $\beta=0.381, 0.5$, 및 0.8 에 대해, 200mV의 계단과 동작에 대한 그림 6(a)의 출력 정착 파형을 각각 보인 것이다.

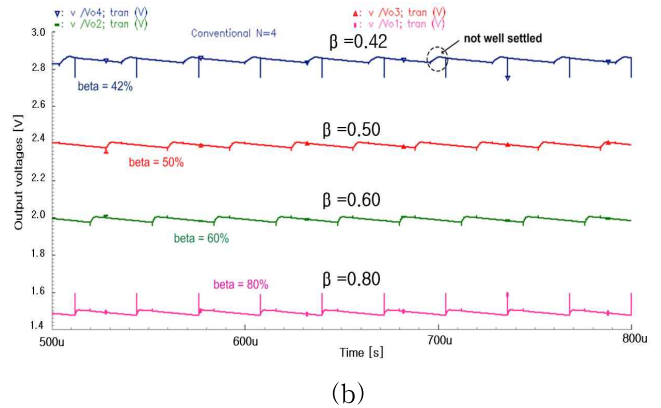
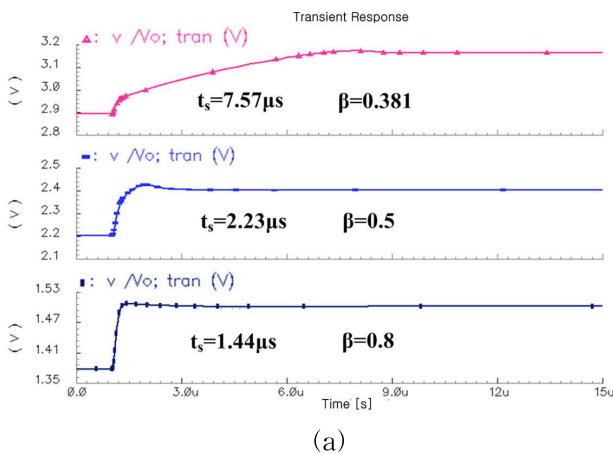


Fig. 11. Simulated results of conventional topology in Fig. 5(a) with $N=4$ (a) responses to a step pulse of 200mV (b) settling waveforms.

그림 11. 그림 5(a)의 기존 토폴로지의 시뮬레이션 결과 (a) 200mV의 단위 계단과 펄스 응답 (b) 정착 파형

그림 11(b)는 $N=4$ 인 시분할 주기 $T=8\mu s \cdot 4=32\mu s$ 에서의 파형을 보인 것으로서 피드백 인자가 감소함에 따라 정착시간이 증가하고 리플 전압이 커지는 것을 볼 수 있다. 특히 $\beta=0.42$ 에 대해서는 출력전압이 $8\mu s$ 이내에는 잘 정착하지 않으므로 클록의 주기를 증가시켜야 한다.

그림 12는 그림 9(a)에 보인 기준 전압들의 시뮬레이션 결과를 보인 것으로서 $V_{DD}=2.8V$ 를 넘어서면 PSRR $\approx 60dB$ 를 보인다.

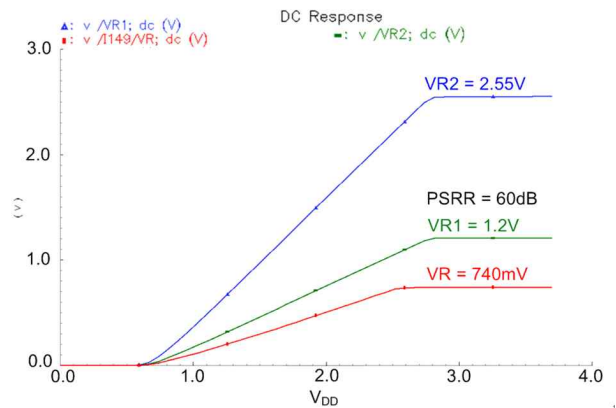


Fig. 12. Simulated results of DC characteristics of the reference voltages in Fig. 9(a).

그림 12. 그림 9(a)의 기준전압 발생기의 DC 특성 시뮬레이션 결과

제안하는 고정 피드백 인자 4 채널 MOLDO의 성능을 표 1에 요약하였다. 그림 9의 기준전압 발생기의 헤드룸 마진과 PFET 전력 트랜지스터의

과구동전압(overdrive voltage)을 고려한 피드백 인자는 0.8로 고정하였다. 각 채널 당 허용 리플 전압을 10mA의 부하전류에서 50mV로 설정하면 정착시간을 고려한 최대 클럭 주파수는 1MHz 정도로 검증되었다. 정상상태에서의 평균 전류소모는 약 40mA로서 10mA×4채널의 부하전류에 수백 μ A의 오차증폭기와 저항 스트링의 정적 전류가 더해지는 것으로 확인되었다.

Table 1. Simulated performance summary for proposed 4-leg MOLDO

표 1. 4 채널 MOLDO에 대한 시뮬레이션 성능 요약

Parameters	Value
Process	CMOS 0.35 μ m 3.3V
Constant feedback factor (β)	0.8
Max clock frequency with 50mV ripples @ $I_L=10$ mA (each)	1.0 MHz
Range of regulated voltages (V_O): $V_{DSAT} \sim (V_{DD} - V_{DSAT})$	500mV ~ 3.15V
Average current consumption @ $I_L=10$ mA (each)	slightly higher than 40mA
Gain and bandwidth of error amplifier: op-amp of Fig. 7	88dB, 14.5kHz

III 결론

시분할 구조를 적용한 고정 피드백 인자를 갖는 다중 출력 LDO 레귤레이터의 새로운 구조를 제안하였다. 기본적인 LDO 레귤레이터는 고정된 기준 전압을 사용하므로 출력전압이 높을 때는 필연적으로 피드백 인자가 작아져서 정착시간이 길어진다. 특히 다중 출력 구조에서는 출력전압이 가장 높은 채널에서 가장 큰 정착시간이 요구되어 전체 클럭 주파수를 결정한다. 제안하는 다중 출력 LDO 레귤레이터는 고정된 피드백 인자를 사용하므로 출력 전압과 상관없이 최적화된 정착시간을 구현할 수 있다. 4개의 출력 채널을 가지는 다중 출력 LDO의 새로운 구조를 설계하고 그 유용함을 입증하였다. 기존의 구조에서의 피드백 인자가 0.45까지 떨어질 때 제안하는 구조는 0.8의 피드백 인자를 유지하여 정착시간에서 두 배 이상의 차이를 보였다.

References

- [1] D. S. Ma, W. H. Ki, C. Y. Tsui, and P. K. T. Mok, "Single-inductor multiple-output switching converters with time-multiplexing control in discontinuous conduction mode," *IEEE J. Solid-State Circuits*, vol.38, no.1, pp. 89-100, 2003.DOI:10.1109/JSSC.2002.806279
- [2] M. H. Huang and K. H. Chen, "Single-inductor multi-output(SIMO) DC-DC converters with high light-load efficiency and minimizes cross regulation for portable devices," *IEEE J. Solid-State Circuits*, vol.44, no.4, pp. 1099-1111, 2009.DOI:10.1109/JSSC.2009.2014726
- [3] C. H. Huang, and W. C. Liao, "A compact programmable LDO regulator for ultra-low voltage SoC," *IEICE Electronics Express*, vol.11, no.20, pp. 20140820, 2014.DOI:10.1587/elex.11.20140820
- [4] P. Cong, N. Chaimanonart, W. Ko, D. Young, "A Wireless and Batteryless 10-Bit Implantable Bllod Pressure Sensing icrosystem with Adaptive RF Powering for Read-Time Laboratory Mice Monitoring," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp. 3631-3644, 2009. DOI:10.1109/JSSC.2009.2035551
- [5] S. Fan, Z. Xue, H. Lu, Y. Song, H. Li, and L. Geng, "Area-efficient on-chip DC-DC converter with multiple-output bio-medical applications," *IEEE Transactions on Circuits and Systems I*, vol.61, no.11, pp. 3298-3308, 2014.DOI:10.1109/TCSI.2014.2334836
- [6] C. Zheng and D. Ma, "Design of monolithic CMOS LDO regulator with D^2 coupling and adaptive transmission control for adaptive wireless powered bio-implants," *IEEE Transactions on Circuits and Systems I*, vol.58, no.10, pp. 2377 - 2387, 2011.DOI:10.1109/TCSI.2011.2123650
- [7] Q. Li, K. Tan, T. Hui and R. Singh, "A 1-V 36 μ W Low-Noise Adaptive Interface IC for Portable Biomedical Applications," *33rd European Solid-State Circuits Conference IEEE (ESSCIRC 2007)*, pp. 288 - 291, 2007. DOI:10.1109/ESSCIRC.2007.4430300

BIOGRAPHY

Hyunsun Mo (Member)

1993 : BS degree in Electrical
Engineering, Kookmin
University.



2011 : MS degree in
Electronics Engineering,
Kookmin University.

2014 : Ph.D degree in
Electrical Engineering,
Kookmin University.

1993~2007 : Research Engineer, Samsung
Electronics.

2018~ : Associate Professor in Kookmin
University.

Daejeong Kim (Member)

1987 : BS degree in
Electronics Engineering, Seoul
National University.



1989 : MS degree in
Electronics Engineering, Seoul
National University.

1994 : Ph.D degree in
Electronics Engineering, Seoul
National University.

1994~1999 : Research Engineer, LG
Semiconductor.

1999~ : Professor in Kookmin University.