

## 전자회로의 입력신호 제어용 곱셈연산기 개발

# Development of Multiplier Operator for Input Signal Control of Electronic Circuits

김종호 · 장흥기 · 권대식 · 최규식\*  
(주)우진엔텍 기술연구소

**Jong-Ho Kim · Hong-Ki Chang · Dae-Shik Kwon · Gyu-Shik Che\***  
R&D Center of Woojinntec Inc, Gyeonggi-do 18481, Korea

### [요 약]

원전 주요계통의 전자카드에는 열화상태를 평가하기 위한 곱셈기가 필요하며, 이것은 두 개의 입력신호를 곱하는 기능을 가진 것으로서 실제 신호처리를 할 때 곱셈의 정확성을 기하기가 어렵다. 곱셈기 회로에서 중요한 것은 곱셈값이 정확해야 된다는 것과 곱셈의 선형성이 완벽해야 한다는 것이다. 본 논문에서는 연산증폭기와 트랜지스터의 특성을 이용하여 선형성이 우수한 곱셈기를 개발하여 본 논문에서 제시하여 정당성을 입증하려 하였다. 이와 같은 개발회로로서 정확한 곱셈과 곱셈의 우수한 선형성을 확보하기 위해 반도체의 비선형적인 요인을 제거하도록 노력하였다. 개발된 회로의 우수성을 입증하기 위해 개발된 회로에 적합한 각종 부품값을 부여하여 시뮬레이션으로서 곱셈연산을 수행하였다. 시뮬레이션 결과로서 단계별로 출력파형을 보였으며, 논리적인 분석치와 측정치를 비교분석하였다. 이 방법은 기존의 방법들에 비하여 곱셈결과와 선형성이 우수하다는 것을 확인하였다.

### [Abstract]

The multiplier circuit is necessary to estimate degradation status of electronic cards in nuclear power plant, but its accuracy is not easy in processing those functions to multiply two input signals. What is important in multiplier circuit is that the multiplication result must be accurate and its linearity must be perfect. We developed and proposed excellent linearity multiplier circuit using operational amplifiers and transistor characteristics, and then proved its validity in this paper. We have made efforts to eliminate nonlinearity components of semiconductors with this circuit in order to ensure excellent linearity of developed multiplier circuit. We conducted multiplication operations through simulation, applying adequate values to each component in order to verify the circuit composed of that method. We showed step-by-step output signals, and then compared the logical analyses and measuring results as simulation results. We confirmed that this method is superior to existing multiplication or linearity.

**Key word** : Gilbert cell, Log circuit, Antilog circuit, Adder, Linearity.

<https://doi.org/10.12673/jant.2018.22.2.154>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

**Received** 29 March 2018; **Revised** 3 April 2018

**Accepted (Publication)** 26 April 2018 (30 April 2018)

**\*Corresponding Author; Gyu-Shik Che**

**Tel:** +82-31-379-3629

**E-mail:** che@konyang.ac.kr

## I. 서 론

전자회로에서 신호처리를 하는 방법으로서 신호를 키우거나 축소하고, 두 신호를 더하기도 하고 빼기도 하며, 또는 미분이나 적분을 하기도 한다. 그런데 두 개의 아날로그 신호를 곱하거나 나누어야 할 필요가 있을 때에는 정확성을 기하는 데에 어려움을 겪게 된다.

원자력발전소의 경우, 원자로계통을 제어하는 전자카드의 열화상태를 분석하는 과정에서 입력되는 두 개의 신호 중에서 조건에 맞는 신호를 선별하여 처리하는 곱셈기가 필요하다. 그런데 두 신호의 곱셈을 위한 회로는 길버트[1],[2]가 이극접합 트랜지스터 길버트셀 곱셈구조에 근거한 곱셈기를 제시한 이래 이극접합트랜지스터[3]나 FET 또는 MOSFET[4],[5], CMOS [6]-[9]를 이용한 곱셈기들이 제시되었다. [10]에서는 연산증폭기를 이용한 곱셈회로와 나눗셈회로를 제시하였다. 그리고 각종 곱셈기 칩도 등장하였으며, 연산증폭기 (operational amplifier)를 이용한 곱셈기 회로도 등장하였다. 이들의 내용을 보면 반도체의 대수(logarithm)적인 특성과 지수(exponential)적인 특성을 이용하였다. 즉, 두 개의 입력신호를 곱하기 위해 대수적으로 더하여 선형적인 곱셈을 수행하는 방식이다.

곱셈기 회로에서 중요한 것은 곱셈이 정확해야 된다는 것과 곱셈의 선형성이 우수해야 된다는 것이다. 그런데 이극접합 트랜지스터, FET, MOSFET, CMOS 등의 반도체는 선형적이라기보다는 비선형적인 특성을 가지고 있고 또한 대수함수적이거나 지수함수적인 특성에 맞는 범위가 극히 좁아서 곱셈 결과값이 정확하지 않다는 단점이 있다. 예를 들어서  $\ln 2 + \ln 3 = \ln 6$ 의 관계에서 상기 문헌에 의한 회로의 시뮬레이션에 의하면  $\ln 2$ 의 값과  $\ln 3$ 의 값을 각각 구하여 더한 한 값과  $\ln 6$ 을 계산한 결과값이 다르다는 것이다. 곱셈의 범위를 넓히면 이에 따라 어느 범위에서는 오차가 작아지지만 어느 범위에서는 매우 커져서 곱셈기의 역할에 큰 제약이 생기게 된다. 그러므로 구성된 회로를 이용하여 광범위한 곱셈의 정확한 결과값을 얻기가 어려워진다.

한편 연산증폭기를 이용하게 되면 좀더 참값에 근사한 값을 구할 수 있으나 증폭기 자체의 민감성 때문에 동작범위가 좁아지거나 오프셋전압이 큰 영향을 미치게 되어 이 또한 정확성을 기하기 어렵다. 이처럼 이론상으로는 곱셈이 간단해보이나 실제로는 비선형성에 의하여 정확한 값을 구하기가 쉽지 않다.

본 논문에서는 연산증폭기를 이용하되 입력신호를 대수함수나 지수함수의 성격을 가진 극히 좁고 안정된 범위에 적합하도록 신호처리하여 곱셈연산을 함으로써 정확도를 높였다. 그 결과 오차가 무시할 수 있을 정도로 줄어들었다. 이 방법에 의하면 광범위에 걸친 곱셈이라도 결과값이 이론값과 매우 근사하도록 하였다. 이것을 시뮬레이션을 통하여 확인하였다.

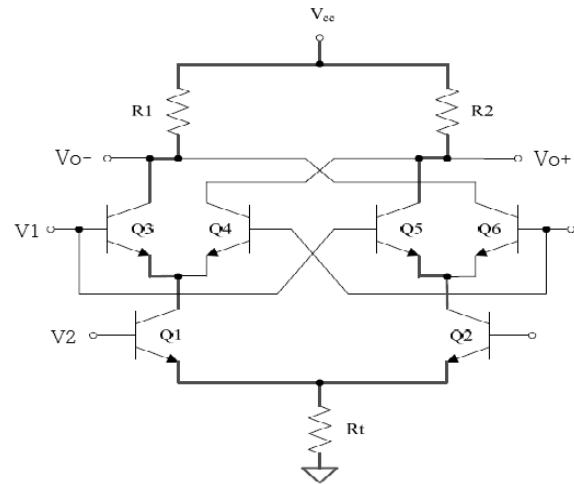


그림 1. 길버트 셀  
Fig. 1. Gilbert cell.

## II. 길버트의 이론에 의한 곱셈법

길버트[1, 2]가 제시한 길버트셀은 그림 1과 같다. 입력신호 중의 하나인 V1 신호가 차동증폭기를 구성하는 Q1, Q2의 베이스쪽으로 입력된다. 그 출력은 그림에서 보는 바와같이 Vo+와 Vo-의 신호차이이다. 입력측과 출력측 사이에 있는 Q1, Q2의 컬렉터는 4개 트랜지스터의 교차 결합을 이루며, V1 신호에 의하여 구동된다. 길버트셀의 작동을 관찰하기 위해 우선 V1이 충분히 커서 Q3, Q5가 turn on 되고 Q6의 베이스 전압이 충분히 낮아서 Q4, Q6가 turn off 되는 경우를 관찰해보면 Q3, Q5가 닫힌 스위치(closed switch) 역할을 하므로

- Q1은 R1으로 연결되고
- Q2는 R2로 연결

된다. 즉, 이는 출력측에서 취하는 대표적인 차동증폭기 형태를 취하는 것이다. 이것을 우리는 Vo 단말이라 한다.

그 다음에 입력이 반대가 되었을 때 특히 Q6 베이스쪽의 전압이 충분히 크다고 가정하면 Q4, Q6가 turn on 되고 한편 Q3, Q5는 turn off 된다. 이제는 Q4, Q6가 닫힌 스위치(close switch) 역할을 한다는 것을 관찰할 수 있다. 그러므로

- Q1은 R2에 접속되고
- Q2는 R1에 접속

된다. 이도 또한 차동증폭기 형상을 하고 있으나 단지 출력이 앞의 경우와 반대로 교차된다는 것이다. 달리 말해서 출력이 전과 동일하나 값이 반대라는 것이다. 이는 -1이라는 인자를 곱한 것과 같은 효과를 낸다.

길버트셀의 전체적인 기능을 보면 시간영역에서 두 신호를 곱하는 것이다. V1과 V2를 +1 또는 -1로 곱하는 것이다. 이것이 곱셈 또는 변조인 것이다. 길버트셀은 또한 능동 변조기로서 차동증폭기의 이득 때문에 출력이 증폭된다. 이들은 변조시

키기도 하고 증폭시키기도 하는 것이다. 여기서는 이극접합트랜지스터의 예를 들어서 설명하였으나 FET, MOSFET, CMOS 등을 이용하여 다양한 곱셈기를 만들 수도 있다.

이와 같은 이론에 의하여 반도체를 이용하여 곱셈기를 만들게 되는데 그러나, 어떠한 경우에도 이를 정확하게 실현하기는 쉽지 않다. 반도체의 특성곡선이 취급범위가 넓어지면 선형성을 완벽하게 보증할 수 없기 때문에 정확한 곱셈기를 만들기 어렵지 않은 것이다.

### III. 제안된 방법

신호처리를 하기 위한 회로에서 두 입력 신호의 곱셈값이나 변조신호를 직접 구하기는 어려우므로 이 곱셈값을 구하기 위해서 연산증폭기를 이용한 로그(log) 회로를 구성한 후 이 로그 회로의 가산기나 감산기를 이용하여 덧셈이나 뺄셈을 하여 연산을 수행한다. 로그회로의 덧셈이나 뺄셈으로서 곱셈값이나 나눗셈값을 구하는 방법으로서 로그(log)의 성질을 이용하는 것이다.

$$\log x + \log y = \log xy \tag{1}$$

즉 구하고자 하는 신호를 log 값으로 변환시켜서 이들을 더하게 되면 로그변환의 대상인 두 양수의 선형대수의 곱을 얻을 수 있으므로 그 결과를 역대수(antilog) 변환하여 최종적으로 두 입력의 곱을 얻을 수 있다. 이 log의 법칙을 이용하여 곱셈기를 개발하였다. 단, 여기서는 편의상 상용 log 대신 자연 log(ln)를 사용하였다. 자연log도 상기 식(1)의 관계가 동일하게 적용된다.

### IV. 기능블럭도

전체적인 기능블럭도는 그림 2와 같으며, 각 블럭별 기능은 아래와 같다.

#### 4-1 대수회로

선형대수값을 ln 값으로 변환시켜주는 회로이다. 두 입력을 동일한 특성을 가진 두개의 ln 변환회로를 거쳐서 자연대수값을 얻을 수 있다.

#### 4-2 가산기

ln 값으로 변환된 두 변환값을 가산기를 통하여 더하는 회로이다. 따라서 이것은 ln으로 변환된 값을 더한 것이므로 선형대수를 곱한 것과 같다.

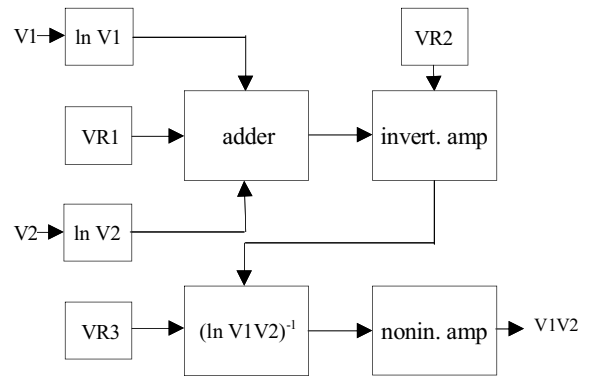


그림 2. 제안 시스템의 기능블럭도  
Fig. 2. Functional block diagram of proposed system.

#### 4-3 반전증폭기

가산기에서 구한 값을 음(-)의 값을 필요로 하는 역변환회로에 보내기 위해 역변환기의 입력조건에 맞도록 신호를 반전시키주고 또한 역대수변환회로의 좁은 범위에 맞는 신호로 변환시키기 위해 이득조정을 한다.

#### 4-4 역대수회로

역대수변환회로를 통하여 ln 값을 선형대수값으로 변환시켜주는 회로이다. 이 회로는 입력신호를 선형적으로 변환시켜주기 위한 전압의 범위가 좁아서 입력신호의 범위가 좁고 또한 출력신호의 크기도 작다. 범위가 넓어지면 선형성을 상실하게 되므로 주의를 요하는 회로이다.

#### 4-5 비반전증폭기

본래의 곱셈에 맞는 선형대수의 값을 얻기 위해 조정하는 회로이다. 이 값이 두 입력신호를 곱한 최종값이 된다. 기능블럭에 대한 전체 회로도에는 그림 3과 같다.

### V. 블럭별 분석

#### 5-1 대수변환회로

그림 4와 같이 연산증폭기 U1, 트랜지스터 Q, 저항 R1로 대수회로를 구성하여 입력전압 V1을 인가하면 트랜지스터에 흐르는 전류관계식은 다음과 같다.

$$i_c = I_{EO}(e^{qV_{be}/kT} - 1) \tag{2}$$

여기서,  $I_{EO}$ 는 트랜지스터의 베이스-에미터간 역포화전류로서 매우 작은 값이며, 본 논문에서 적용한 트랜지스터 2N2222의 경우 그 값은 10nA이다. q는 전자 하나당의 전하량으로서  $q =$

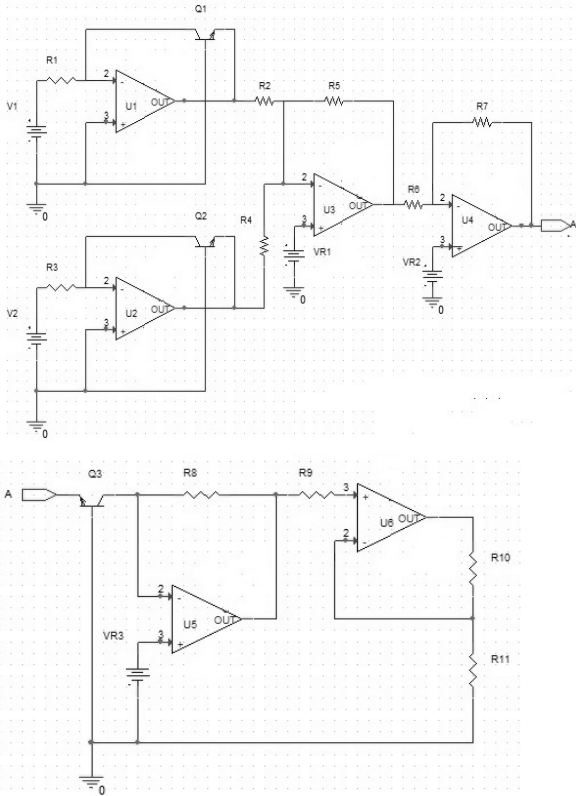


그림 3. 전체회로도  
Fig. 3. Overall circuit.

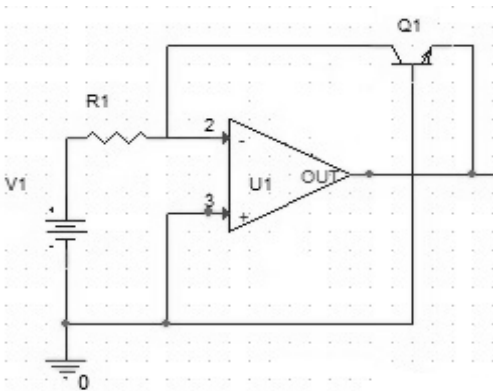


그림 4. 대수변환회로  
Fig. 4. Log tranfering circuit.

$1.602 \times 10^{-19} C$ 이고  $k$ 는 볼츠만 상수로서  $k = 1.38 \times 10^{-23} J/K$ 이다. 그리고  $T$ 는 절대온도로서 통상  $T=300K$ 로 적용한다. 이 값들을 적용하면  $kT/q = 0.0258$ 이다.

이 때  $i_c = V_1/R_1$ 이므로  $v_{be}$ 를 트랜지스터의 베이스-에미터간 순방향 전압이라 하고 이 관계를 방정식 (2)에 적용하여 대수변환기의 출력전압  $v_{o1}$ 을 구하면

$$v_{o1} = -v_{be} = -0.0258 \ln\left(\frac{V_1}{R_1 I_{EO}} + 1\right) \quad (3a)$$

와 같다. 이러한 관계는 동일한 회로를 적용하게 되는 입력 전압  $V_2$ 에 대한 대수회로의 출력전압의 경우에도 동일하게 적용된다. 즉,

$$v_{o2} = -0.0258 \ln\left(\frac{V_2}{R_3 I_{EO}} + 1\right) \quad (3b)$$

이다.

### 5-2 가산기 회로

그림 5와 같은 연산증폭기  $U_3$ , 저항  $R_2, R_4, R_5$ 로 이루어진 회로이다. 대수변환된 두 입력의  $\ln$ 값을 더하는 회로로서 대수변환된 두 회로의 값을 반전입력측으로 받아들여서 더하게 된다. 그런데 대수변환된 값은 본래의 이론적인 대수변환치에 비하여 극히 작은 값이므로 필요시 증폭시켜야 한다. 이 때 주의할 점은 연산증폭기  $U_3$ 의 옴세트 출력전압이 존재해서는 안된다는 것이다.

가산기의 출력값을  $v_a$ 라 하고 옴세트 출력전압  $V_{off}$ 가 존재하게 되면

$$v_a = (\ln V_1 + V_{off}) + (\ln V_2 + V_{off}) = (\ln V_1 V_2) + 2V_{off}$$

가 되어 회로에서  $\ln V_1 + \ln V_2 \neq \ln V_1 V_2$ 인 관계가 성립되기 때문이다. 따라서 옴세트 출력전압  $V_{off}$ 를 상쇄시켜줄 전압  $VR_1$ 을 가산기의 비반전입력측에 인가해야 한다.  $R_4=R_2$ 인 관계가 있으므로  $V_a$ 는

$$v_a = -\frac{R_5}{R_2}(v_{o1} + v_{o2}) = 0.0258 \frac{R_5}{R_2} \ln\left(\frac{V_1 V_2}{R_1 R_3 I_{EO}^2} + \frac{V_1}{R_1 I_{EO}} + \frac{V_2}{R_3 I_{EO}} + 1\right) \quad (4)$$

로 표현된다.  $\frac{V_1}{R_1 I_{EO}} \frac{V_2}{R_3 I_{EO}} \gg \frac{V_1}{R_1 I_{EO}} + \frac{V_2}{R_3 I_{EO}} + 1$ 이므로

$\frac{V_1}{R_1 I_{EO}} + \frac{V_2}{R_3 I_{EO}} + 1$  항을 무시하여 정리하면

$$v_a = 0.0258 \frac{R_5}{R_2} \ln(V_1 V_2) - 0.0258 \frac{R_5}{R_2} \ln(R_1 R_3 I_{EO}^2)$$

이다.  $VR_1$ 의 크기는

$$\left(1 + \frac{R_5}{R_2}\right) V_{R1} = 0.0258 \frac{R_5}{R_2} \ln(R_1 R_3 I_{EO}^2)$$

$$V_{R1} = 0.0258 \frac{R_5}{R_2} \ln(R_1 R_3 I_{EO}^2) / \left(1 + \frac{R_5}{R_2}\right) \quad (5)$$

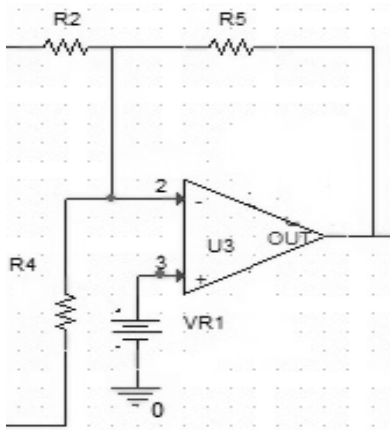


그림 5. 가산기 회로  
Fig. 5. Adder circuit.

이어야 한다. 이 때 방정식(4)는

$$v_a = 0.0258 \frac{R_5}{R_2} \ln(V_1 V_2) \tag{6}$$

로서 가산기의 출력은 ln 합이 된다.

### 5-3 반전 증폭기 회로

연산증폭기 U4, 저항 R6, R7로 이루어진 회로이며, 회로는 그림 6과 같다. 역대수변환회로에서는 입력값이 음(-)의 값이어야 한다. 그런데 가산기의 결과값이 보통 양(+)의 값이므로 이를 반전시킴과 동시에 필요시 이득조정을 해야 한다. 이 회로의 출력을 v라 하면

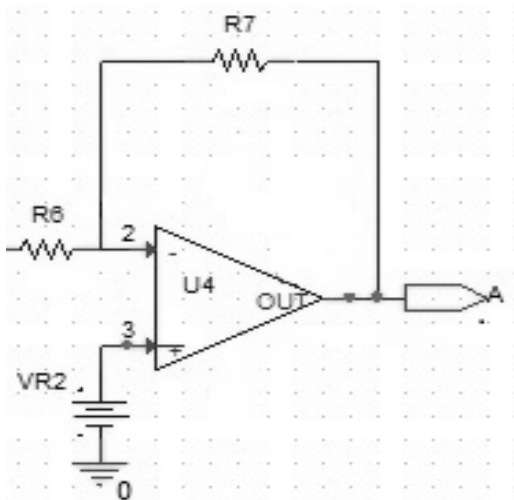


그림 6. 반전증폭기 회로  
Fig. 6. Inverting amplifier circuit.

$$v = -\frac{R_7}{R_6} v_a = -0.0258 \frac{R_5}{R_2} \frac{R_7}{R_6} \ln(V_1 V_2) \tag{7}$$

가 된다. 이 때에도 상기식을 만족시키기 위해 VR2의 값을 증가시켜주어야 하며, 그 값은 반전증폭기의 오프셋전압이 된다.

### 5-4 역대수 변환

그림 7과 같은 연산증폭기 U5, 트랜지스터 Q3, 저항 R8로 이루어진 회로이다. 두 입력신호의 곱이 ln으로 변환된 값을 선형대수값으로 환원하기 위해 역대수 역할을 해야 하는 회로로서 그 출력을 v'라 하면

$$v'_o = R_8 I_{EO} e^{-38.76v} = R_8 I_{EO} e^{-v/0.0258} \tag{8}$$

인 관계가 있다. 위의 방정식에 반전증폭기에서 구한 v의 값을 대입하여 정리하면

$$v'_o = R_8 I_{EO} \exp \left\{ \frac{R_5}{R_2} \frac{R_7}{R_6} \ln(V_1 V_2) \right\} \tag{9}$$

R2=R5=R6=R7이라 하면

$$v'_o = R_8 I_{EO} \times \exp \{ \ln(V_1 V_2) \} = R_8 I_{EO} V_1 V_2 \tag{10}$$

이 때에도 v'off를 상쇄해줄 VR3가 필요한데, 그 값은

$$V_{R3} = v'_{off} \tag{11}$$

이다.

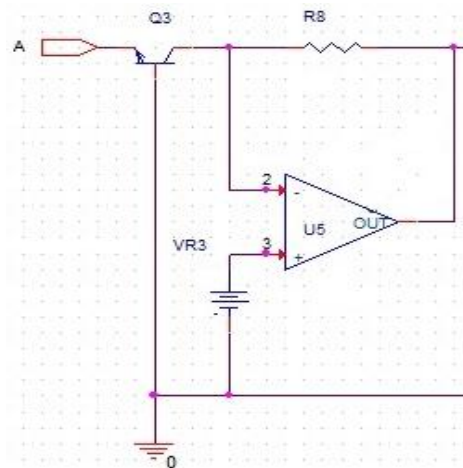


그림 7. 역대수변환 회로  
Fig. 7. Antilog transferring circuit.



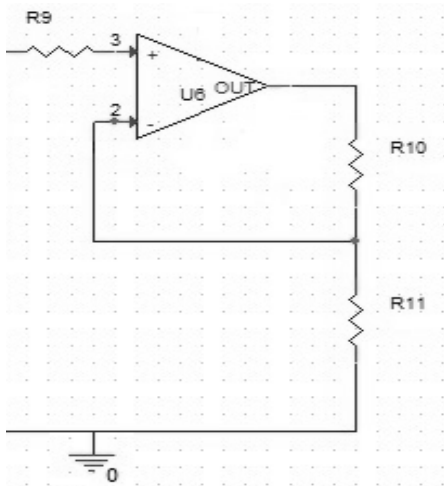


그림 8. 비반전 증폭기 회로  
Fig. 8. Noninverting amplifier circuit.

5-5 비반전이득조정부

연산증폭기 U6, 저항 R9, R10, R11로 이루어진 그림 8과 같은 회로이다. 이는 출력값을 조정하기 위한 비반전증폭기 회로이다. 선형적인 곱셈결과를 얻은 값을 증폭시켜서 완전한 최종 값을 얻는다. 비반전회로로 증폭기를 구성하여 원하는 값을 얻게 된다.

$$v_o = (R_8 I_{EO} V_1 V_2) A = V_1 V_2 \tag{12}$$

가 되도록 증폭기의 증폭률 A를 결정해야 한다. 즉, 증폭기의 증폭률 A는

$$A = (1 + \frac{R_{10}}{R_{11}}) = R_8 I_{EO} \tag{13}$$

에 의하여 결정되므로 여기에 맞도록 R10, R11을 선택한다.

VI. 성능 평가

그림 3처럼 제안된 회로의 성능을 시뮬레이션하기 위해 회로의 각 소자에 표 1의 값들을 적용하였다.

본 개발된 회로에서 중점적으로 점검한 부분은 입력된 두 신호의 값이 출력에서 제대로 곱해진 선형대수의 값(linear value)으로 출력되는가, 그리고 그 곱셈의 선형성(linearity)이 완벽한가이다.

두 신호입력으로서 V1입력은 0V서부터 10V까지 1mV씩 증가시키면서, 그리고 V2는 0.2V에서 1V까지 0.2V씩 증가시키면서 성능평가를 수행하였다.

6-1 대수변환 회로

대수회로를 거쳐서 대수로 변환된 파형은 그림 9와 같으며, 좌표의 x축을 대수로 표시한 그래프는 그림 10과 와 같다.그림에서 보듯 두 입력의 대수변환파형이 선형적으로 변하고 있다.

6-2 가산기

두 변환신호의 가산기 출력은 그림 11과 같다. 여기서도 좌표의 x축은 ln 스케일이다. 완벽한 선형성을 유지하고 있으나 출력 옵셋 전압을 보정해주어야 한다.

표 1. 부품의 회로 적용 값  
Table 1. Part values of circuit.

components	values	components	values
VCC	+15V	R1	100k
VEE	-15V	R2	10k
U1	LM208	R3	10k
U2	LM208	R4	10k
U3	LM208	R5	10k
U4	LM208	R6	10k
U5	LM208	R7	10k
U6	LM208	R8	2G
Q1	2N2222	R9	1k
Q2	2N2222	R10	55.5k
Q3	2N2222	R11	10k

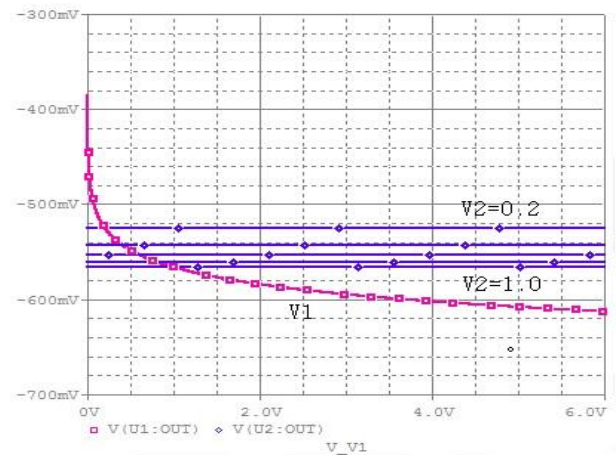


그림 9. x 축을 선형대수로 표시한 대수변환파형  
Fig. 9. log transering pattern with linear x- axis.

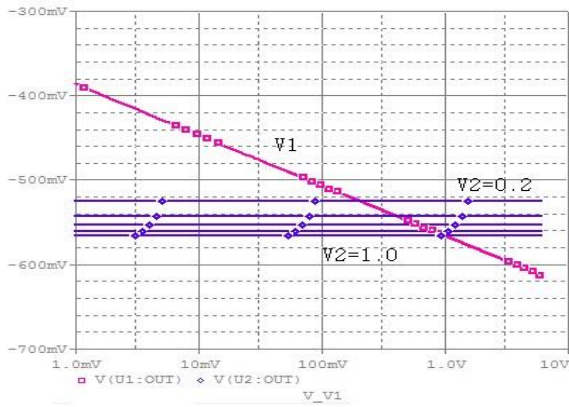


그림 10. x축을 로그스케일로 표시한 대수변환파형  
 Fig. 10. Log transering pattern with log x-axis.

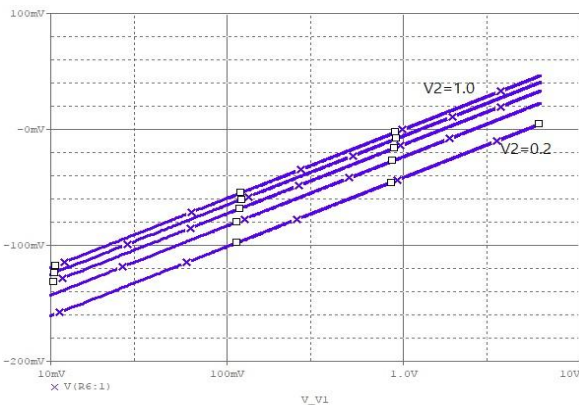


그림 11. x축을 로그스케일로 표시한 가산기 출력파형  
 Fig. 11. Adder output pattern with log x-axis.

6-3 반전증폭기

역대수변환회로에서는 입력값이 음(-)의 값을 가져야만 하므로 가산기의 출력값을 반전시켜준다. 그 결과는 그림 12와 같다. 모든 입력신호에 대해서 음의 값을 가지며, 선형성을 유지하는 것을 관찰할 수 있다. 이 때에도 x 좌표는 ln 스케일이다.

6-4 역대수회로

반전증폭기에서 입력되는 대수변환값을 선형대수값으로 변환시켜 준다. 그 결과는 그림 13과 같으며 여기서 x 좌표는 ln 스케일이 아닌 선형스케일이다.

6-5 비반전증폭기

역대수출력은 트랜지스터의 특성을 이용하여 선형적으로 변환시키는 값이므로 통상 1.0V 이내의 작은 값이다. 이 출력값을 증폭시켜서 원래 맞는 곱셈값으로 변환시키기 위해서 증폭을 시켜준다. 그 결과는 그림 14와 같다. 그래프의 모양은 역대수출력의 모양과 동일하나 출력값만 다르다. 그림 14에서 보

듯 입력신호와 출력신호간에 완벽한 선형성을 유지하는 것을 관찰할 수 있다.

VII. 선형성과 정확성 분석

시뮬레이션 결과에 의하여 결과값이 참값에 얼마나 근접하는가를 살펴보기 위하여 같이 정량적인 분석을 하였으며, 그 결과를 표 2에 요약하였다.

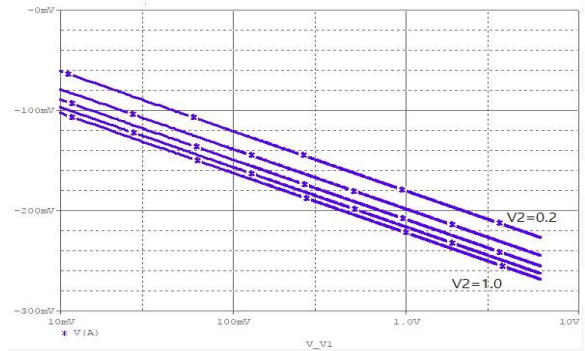


그림 12. x축을 로그스케일로 표시한 반전증폭기 출력  
 Fig. 12. Inverting amplifier pattern with log x-axis.

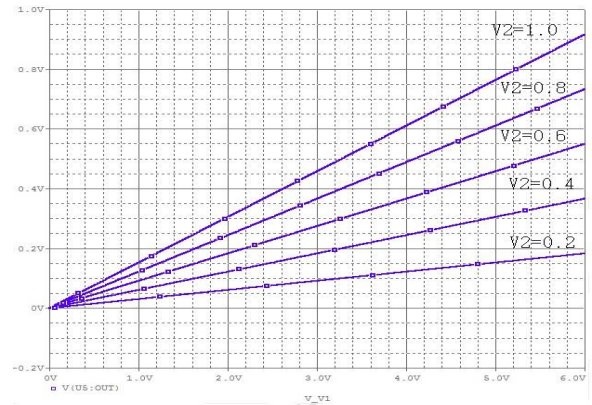


그림 13. 역대수출력(x축이 선형대수 스케일)  
 Fig. 13. Antilog output with linear x-axis.

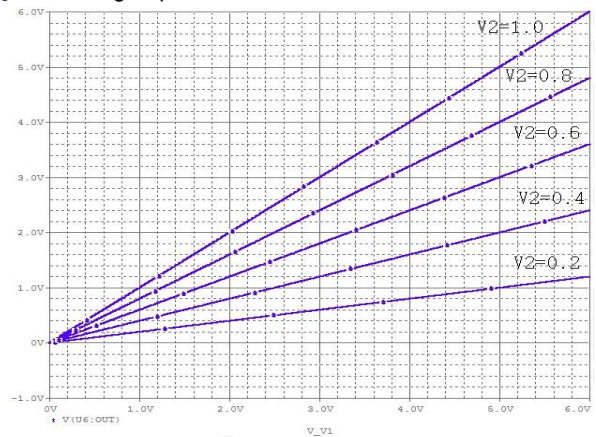


그림 14. 최종 출력(x축이 선형대수 스케일)  
 Fig. 14. Final output with linear x-axis.

표 2. 결과값의 정확성

Table 2. Accuracies of final measures.

	V2	0.2	0.4	0.6	0.8	1.0
V1=3	ideal	0.6	1.2	1.8	2.4	3.0
	meas.	0.597	1.197	1.797	2.397	2.997
	err(%)	0.43	0.23	0.17	0.14	0.12
V1=6	ideal	1.2	2.4	3.6	4.8	6.0
	meas.	1.198	2.398	3.592	4.799	6.000
	err(%)	0.18	0.08	0.22	0.02	0.00

이 표에서 보듯 이론 계산치와 회로에서 정확성의 면에서 측정된 값의 상대오차가 전 범위에 걸쳐서 0.5%를 넘지 않는 우수한 특성을 보이고 있다. 그림 14의 최종 출력 곡선에서 보듯 우수한 선형성을 보이고 있다.

### VIII. 결론

원전 원자로계통의 전자카드에는 열화상태를 평가하기 위한 곱셈기가 필요하며, 이것은 두 개의 입력신호를 곱하는 기능을 가진 것으로서 실제 신호처리를 할 때 곱셈의 정확성을 기하기가 어렵다. 곱셈기 회로에서 중요한 것은 곱셈값이 정확해야 된다는 것과 곱셈의 선형성이 완벽해야 한다는 것이다. 그런데 열화시스템을 제어하기 위한 전자카드에서 신호처리를 할 때 덧셈이나 뺄셈에 비하여 곱셈을 구현하기는 쉽지 않다. 이 문제를 해결하기 위해 그동안 많은 노력들이 있었고 이에 대한 기술보고서나 논문들이 많이 발표되었으나 사용되는 반도체의 비선형적인 출력특성으로 인하여 결과의 선형성이 완벽하게 담보되지 못했다.

본 논문에서는 연산증폭기와 트랜지스터의 특성을 이용하여 선형성이 우수한 곱셈기를 개발하여 본 논문에서 제시하여 정당성을 입증하려 하였다. 그 구성은 선형대수값을 ln 값으로 변환시켜주는 대수변환회로, ln로 변환된 값을 더해주는 가산기, 가산기의 값을 반전시켜주는 반전증폭기, ln 결과를 선형대수로 변환시켜주기 위한 역대수회로, 두 입력신호의 곱한값과 동일한 출력값을 갖도록 하기 위한 비반전증폭기로 구성된다.

이와 같은 개발회로로서 정확한 곱셈과 곱셈의 우수한 선형성을 확보하기 위해 여기에서 사용된 트랜지스터와 연산증폭기의 비선형적인 요인을 제거하도록 노력하였다.

개발된 회로의 우수성을 입증하기 위해 개발된 회로에 적합한 각종 부품값을 부여하여 시뮬레이션으로서 곱셈연산을 수행하였다. 시뮬레이션 결과로서 단계별로 출력파형을 보였으며, 이에 대한 설명과 함께 논리적인 분석치와 측정치를 비교 분석하였다. 이 방법은 기존의 방법들에 비하여 곱셈결과와 선형성이 우수하다는 것을 확인하였다.

### Acknowledgement

본 연구는 산업통상자원부의 산업기술혁신/에너지기술개발/원자력핵심기술개발사업/원전 제어계측 카드의 전자부품 열화 평가시스템 개발 과제(20151520100970)의 지원으로 수행되었습니다.

### References

- [1] B. Gilbert, "A new wide-band amplifier technique," *IEEE Journal of Solid-State Circuits*, Vol. SC-3, No.4, pp. 353-365, Dec., 1968.
- [2] B. Gilbert, "A Precise Four-Quadrant Multiplier with Subnanosecond Response," *IEEE Journal of Solid-State Circuits*, Vol. SC-3, No.4, pp. 365, Dec., 1968.
- [3] All Syllabus, Analog Multipliers, [Internet] Available: <http://allsyllabus.com>
- [4] A. N. Saatlo, I. S. Ozoguz, "Design of a high-linear, high-precision analog multiplier, free from body effect," *Turkish Journal of Electrical Engineering & Computer Sciences*, pp. 820-832, March, 2016.
- [5] A. K. Obais, R. S. Khadair, "Design of a high linearity four-quadrant analog multiplier in wideband frequency range," *Journal of Babylon University*, Vol. 25, No. 2, pp. 568-578, 2017.
- [6] L. He, 1-GHz CMOS analog signal squaring circuit, Master thesis, Wright State University, Fairborn, Ohio, Aug 4, 2016.
- [7] C. Sakul, "A new CMOS squaring circuit using voltage/current input," in *The 23rd International Technical Conference on Circuit/Systems(ITC-CSCC 2008)*, Trang: Thailand, pp. 525-528, Jan. 2008.
- [8] C. T. Remund : Design of CMOS four-quadrant Gilbert Cell multiplier circuits in weak and moderate inversion, MS degree, Brigham Young University, Utah, 2004.
- [9] B. Boonchu, W. Surakamponorn, "Voltage-mode CMOS squarer/multiplier circuit," in *ITC-CSCC International Technical Conference on Circuits Systems, Computers and Communications*, IEIE, Bangkok: Thailand, pp. 646-649, July, 2002.
- [10] K. J. Park, *Operational Amplifier*, 3rd ed, Sooyu, Seoul: Bookshill, 2013.





**김 종 호 (Jong-Ho Kim)**

1990년:명지대학교 자연과학대학 물리학과 (이학사),  
1999년:명지대학교 자연과학대학 대학원 물리학과 (이학박사),  
2000년 ~ 2005년 (주)세영엔디씨 부설연구소 연구소장,  
2009년 ~ 현재 (주)우진엔텍 부설연구소 연구소장  
※관심분야 : 제어계측, 원자력

1992년:명지대학교 자연과학대학 대학원 물리학과 (이학석사)  
1997년 ~ 2000년:삼성전자 삼성생명과학연구소 연구원  
2005년 ~ 2009년 한국방사선기술(주) 부설연구소 연구소장



**장 흥 기 (Hong-Ki Chang)**

1997년 가천대학교 공과대학 전자공학과 (공학사),  
2000년 ~ 2009년 한국에질런트테크놀로지스 책임 연구원,  
2013년 ~ 현재 (주)우진엔텍 부설연구소 책임 연구원  
※관심분야 : 제어계측, 원자력

1997년 ~ 2000년 한화정보통신 연구원  
2010년 ~ 2013년 세종기업(주) 책임 연구원



**권대식 (Dae-Shik Kwon)**

2003년 강남대학교 공과대학 전자공학과 (공학사),  
2006년 ~ 2009년 이지로보틱스 전임 연구원,  
2011년 ~ 2012년 이화여대목동병원 의공학연구소 전임 연구원  
2012년 ~ 현재 (주)우진엔텍 부설연구소 선임 연구원  
※관심분야 : 제어계측, 원자력

2003년 ~ 2005년 (주)아이커뮤니케이션 연구원  
2009년 ~ 2010년 (주)플레넷 전임 연구원



**최 규 식 (Gyu-Shik Che)**

1973년 서울대학교 공과대학 전기공학과 (공학사),  
1993년 명지대학교 전기공학과 (공학박사),  
1993년 ~ 2014 건양대학교 의공학과 교수,  
2015~현재 (주)우진엔텍 부설연구소 고문  
※관심분야 : 전자회로, 원자력

1983년 뉴욕공과대학 전기공학과 (공학석사)  
1978년 ~1993년 한국전력기술 중앙연구소 책임연구원  
2014~2015 맥스파워 연구소장