

CNTFET 기반 회로 설계를 위한 공정 편차 분석에 관한 연구

A Study on the Process Variation Analysis for CNTFET-based Circuit Design

조근호*
Geunho Cho*

Abstract

The CNTFET, which is widely recognized as a next-generation semiconductor, has a structure that can improve performance by positioning CNTs between the source and drain of a conventional MOSFET. However, positioning CNTs increases the complexity of a CNTFET's structure, and the process variation changes the complex structure into various shapes; so, when CNTFET device performance is analyzed, it requires more computation than that of a conventional MOSFET. These problems greatly increase the simulation time necessary for the analysis, and sometimes that analysis cannot be performed using an existing tool; they are therefore important obstacles to designing a circuit using a CNTFET. In this study, we will show that the existing Linear Programming methodology can be utilized to solve the long simulation time problem and discuss the effect of the suggested method in detail. Simulation results show that the Linear Programming method can reduce the number of simulation about 2.5 times when the maximum number of CNT is changed from 6 to 12.

요약

차세대 반도체로 각광받고 있는 CNTFET은 기존 MOSFET의 Source와 Drain 사이에 CNT를 배치하여 그 성능을 향상시킬 수 있는 구조를 가지고 있으나, 다양한 CNT 배치로 인한 CNTFET의 구조적 변화는 소자 성능에 대한 해석의 복잡도를 증가시켜, 공정 편차가 반도체 소자 성능에 미치는 영향을 분석하고자 할 때, 기존의 MOSFET에 비해 보다 많은 계산을 요구하는 문제점을 가지고 있다. 이러한 문제점은 공정편차 분석에 필요한 시뮬레이션 시간을 급격하게 증가시키고 기존 툴(tool)로 분석할 수 없는 경우를 포함하고 있어 CNTFET으로 회로를 디자인 하는데 중요한 걸림돌로 작용하고 있다. 본 연구에서는 시뮬레이션의 급격한 증가를 해결하기 위한 방법으로서 기존 Linear Programming이 활용될 수 있음을 보이고 그 효과에 대해 자세히 논의하고자 한다. 시뮬레이션 결과 CNT 최대 배치 수가 6에서 12까지 증가할 때, Linear Programming 방법은 시뮬레이션 횟수를 약 2.5배 감소시킬 수 있음을 보이고 있다.

Key words : CNTFET, CNT, Process Variation, Linear Programming, Defect Model

* Dept. of Electronics Engineering, Seokyeong University

★ Corresponding author

E-mail: choroot@skuniv.ac.kr, Tel:+82-2-940-7730

※ Acknowledgment

"This research was supported by Seokyeong University in 2017"

Manuscript received Dec. 28, 2017; revised Feb. 07, 2018 ; accepted Mar. 28, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

반도체 소자가 발명된 이후 그 성능을 향상시키고자 하는 노력은 반도체 소자를 구성하는 새로운 물질의 발견(ex. carbon nanotube, graphene)과 구조의 변화(ex. FinFET)를 통해 지속적으로 이루어져 왔다. 차세대 반도체로 각광받고 있는 CNTFET(Carbon NanoTube Field Effect Transistor)은 소자의 Source와 Drain 사이에 CNT를 배치시켜 기존 MOSFET 보다 적은 전압으로 많은 전류를 흘릴 수 있는 구조를 가지고 있어, 이론적으로 CV/I 측면에서 13배 성능 향상을 보이고 있다. 이러한 새로운 소자를 이론적으로 해석하고 실험적으로 증명하기 위해 다양한 시도가 국내외적으로 이루어지고 있음에도 불구하고, 원하는 크기와 성질을 갖는 CNT를 소자안에 충분히 작은 간격으로 배치시키는 기술이 충분히 성숙되지 않아 CNTFET을 활용한 대규모 집적 회로 구현을 어렵게 하고 있다 [1]-[10].

II. 본론

1. CNTFET

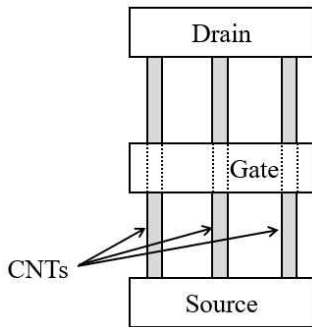


Fig. 1. CNTFET Structure
그림 1. CNTFET 구조

CNTFET은 그림 1과 같이 Source와 Drain 사이에 전도성이 매우 좋은 CNT를 배치하여 그 성능을 향상시키는 구조를 가지고 있다. CNTFET을 생산하기 위해서는 그림 2의 (a)와 같이 substrate 위에 CNT를 배치하고, 그림 2의 (b)와 같이 소자를 구성할 위치에 CNT를 남기고 나머지 영역의 CNT는 에칭기술로 제거하는 방식으로 소자 영역을 확정시킨 후에, 그림 2의 (c)와 같이 필요한 영역에 contact을 배치시킨다. 마지막으로

그림 2의 (d)와 같이 반도체 소자의 종류(ex. pFET 혹은 nFET)에 따라 각 영역을 도핑시킨다 [5].

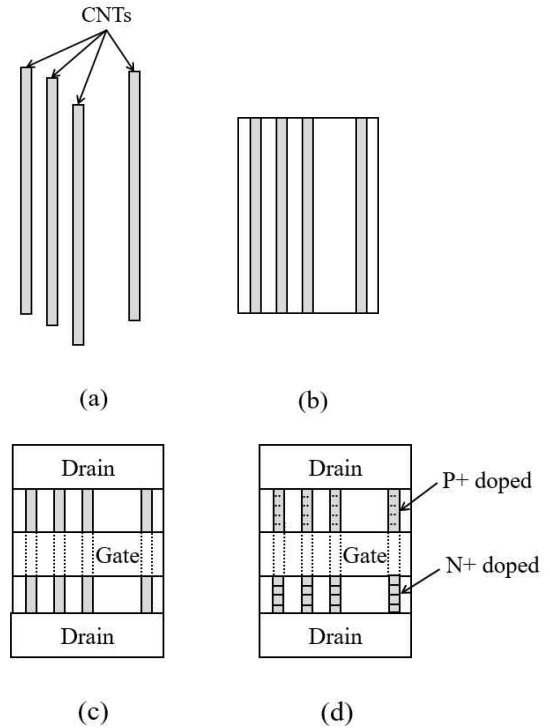


Fig. 2. CNTFET Manufacturing Process
그림 2. CNTFET 제조 공정

2. CNTFET의 공정 편차

CNTFET 공정에서 문제점은 그림 2의 (d)와 같이 공정이 마무리된 이후에도 CNT 사이의 간격이 일정하지 않다(uneven)는 것이다. 이러한 불규칙성은 CNT 사이에 불균일한 screening effect를 유발하여, 각 CNT에 흐르는 전류를 불균일하게 만들어 결국 CNTFET 전체의 전류를 변화시키는 원인이 된다. CNTFET의 전류 변화를 계산하기 위해 그림 3과 같은 모델링이 도입되었으며, CNT 사이의 간격이 일정하다는 가정 하에 CNT의 위치를 0과 1로 구성된 P_{CD} (Position of CNT Defects)로 표현하였다. 그림 3은 최대 배치 가능한 CNT의 수, N 이 9이고, CNT Defect의 수, N_{CD} (Number of CNT Defects)가 4일 때, 구성할 수 있는 다양한 P_{CD} 중, 한 예를 나타내고 있으며, 이러한 P_{CD} 의 배치를 $P_{CD}=\{1\ 0\ 1\ 1\ 0\ 1\ 0\ 0\ 1\}$ 와 같이 나타낼 수 있다. CNT Defect에는 여러 가지 종류가 있지만, 대표적으로 misaligned CNT나 metallic CNT가 있으며,

본 논문에서는 이러한 CNT Defect이 배치된 경우, 그것이 공정적으로 깨끗하게 제거되었다고 가정하여, 그림 3과 같이 Undeposited CNT로 표시하였다 [2][3][8][9].

$N_{CD}=0$ 인 경우, 즉 Undeposited CNT는 존재하지 않고 9개의 Deposited CNT만 존재하는 경우, 한 개의 P_{CD} 만이 존재하게 된다. 즉, $P_{CD}=\{1\ 1\ 1\ 1\ 1\ 1\ 1\ 1\ 1\}$ 이고, N_{CCD} (Number of Combination for CNT Defects)는 1이다. N_{CD} 가 1인 경우, 8개의 Deposited CNT와 1개의 Undeposited CNT가 존재하므로, P_{CD} 는 표 1과 같이 총 9개가 존재하므로 $N_{CCD}=9$ 가 된다. 앞서 언급한 그림 3의 경우에 대해 N_{CCD} 를 논하면, $N=9$ 그리고 $N_{CD}=4$ 인 경우, $N_{CCD}=20$ 이다. 즉, 이 경우 20개의 P_{CD} 가 존재할 수 있으며, 이론적으로 최대 20개에 해당하는 다양한 CNTFET 전류와 gate capacitance가 존재할 수 있음을 의미한다. $N=9$ 인 경우, N_{CD} 가 0부터 8까지 변할 때, 각각의 N_{CCD} 를 계산하면 그림 4의 회색 라인과 같다 [9].

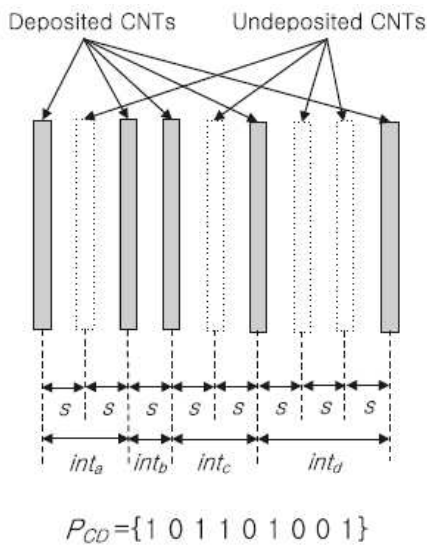


Fig. 3. Deposited and undeposited CNTs with various intervals [9]

그림 3. 다양한 간격으로 존재하는 배치된 그리고 비배치된 CNTs [9]

기존 연구([8]~[10])에서는 $N=9$ 일 경우, 다양한 N_{CD} 에 대해 CNTFET 성능의 변화를 주로 연구하였다. 이는 일반적으로 gate width가 32nm일 때 9개의 CNT가 배치될 수 있으므로 gate width가 32nm인 경우를 고려한 연구이다(일반적으로 gate length 역시 32nm이다). 하지만, 실제 회로를

디자인할 때, 일반적으로 gate width는 gate length를 기준으로 다양한 크기로 디자인되기 때문에 실제 CNTFET 안에는 9보다 적거나 많은 CNT가 배치될 수 있다. 본 논문에서는 기존 논문에서 논하지 않은 경우, 즉, gate width를 늘렸을 때, 고려해야 할 계산량 증가에 대해 우선 자세히 논하고자 한다 [3][9][10].

Table 1. PCD when $N=9$, $N_{CD}=1$, and $N_{CCD}=9$
표 1. $N=9$, $N_{CD}=1$, 그리고 $N_{CCD}=9$ 일 때 PCD

$N=9, N_{CD}=1, N_{CCD}=9$	
P_{CD}	{0 1 1 1 1 1 1 1 1}
	{1 0 1 1 1 1 1 1 1}
	{1 1 0 1 1 1 1 1 1}
	{1 1 1 0 1 1 1 1 1}
	{1 1 1 1 0 1 1 1 1}
	{1 1 1 1 1 0 1 1 1}
	{1 1 1 1 1 1 0 1 1}
	{1 1 1 1 1 1 1 0 1}
	{1 1 1 1 1 1 1 1 0}

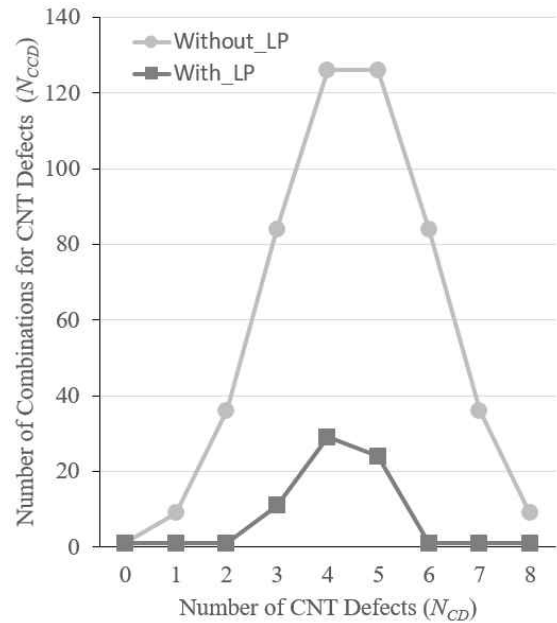


Fig. 4. The change of N_{CCD} depending on N_{CD}
그림 4. N_{CD} 에 대한 N_{CCD} 의 변화

3. CNTFET 시뮬레이션의 문제점

CNTFET 공정에서 $N=9$ 인 경우, N_{CD} 가 0부터 8까지 변하고, CNT의 위치가 랜덤하다고 가정하면, 이론적으로 고려해야할 모든 P_{CD} 는, 모든 N_{CD} 에 대한 N_{CCD} 를 합한 수, 즉, 511이 되며, 이 숫자는 그림 4에서 회색 라인에 있는 모든 값을 더한 값과 같다. 본 논문에서는 이를 TN_{CCD} (Total N_{CCD})로

정의한다. 이는 이론적으로 한 개의 CNTFET 소자에 대해 N 이 9인 경우, CNT 배치에 따라 process variation을 검토할 경우, 총 511개의 전류와 gate capacitance를 고려해야 함을 의미한다. 하지만, N 의 수가 늘어날 경우 TN_{CCD} 를 계산하면, 그림 5의 회색 막대와 같이 N 이 증가함에 따라 TN_{CCD} 가 기하급수적으로 늘어남을 확인할 수 있다. 기존의 반도체 소자를 활용하여 회로를 디자인할 경우, 일반적으로 가우시안 분포를 기반으로, 소자의 다양한 물리적 그리고 화학적 변화를 Monte Carlo 시뮬레이션으로 검토를 하며, 이 경우, 좀 더 현실적인 공정 편차를 반영하기 위해서는 가우시안 분포로부터 추출되는 경우의 수를 증가시켜야 하지만, 이는 시뮬레이션 시간을 증가시키는 문제점이 있기 때문에, 시뮬레이션 검토 시 고려해야 할 공정 편차의 수는 반도체 설계를 담당하는 엔지니어와 공정을 담당하는 엔지니어 사이에 끊임없이 논의해야 할 중요한 이슈 중 하나이다.

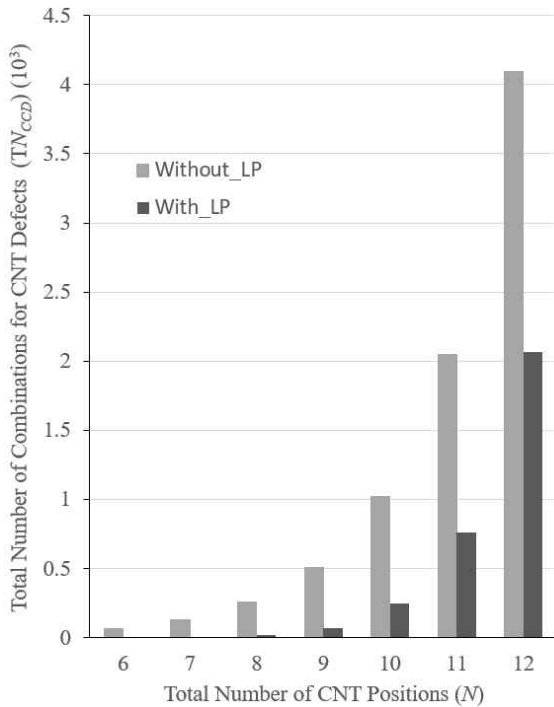


Fig. 5. The change of N_{CCD} depending on N_{CD}
 그림 5. N_{CD} 에 대한 N_{CCD} 의 변화

본 논문에서 논의하는 다양한 CNT 배치는, 앞서 언급한 바와 같이, CNT 사이의 간격이 일정하다는 가정 하에 단순 조합으로 계산하지만, 실제 CNT 사이의 간격은 다양한 길이를 가질 수 있고, 다양한 길이는 screening effect에 의해 다양한

전류 값을 생성시키고, 지속적으로 gate 구조를 변화시켜 gate capacitance의 연속적인 변화를 이끌어 낸다. 따라서, 단순 조합으로부터 추출한 TN_{CCD} 의 기하급수적인 증가는 실제로 훨씬 더 많은 시뮬레이션 시간의 증가를 상징적으로 나타내기 때문에 CNTFET을 활용한 회로 설계에 있어 심각하게 고민해야 할 수치 중 하나로 볼 수 있다.

이러한 많은 계산과 더불어 고려해야 할 또 다른 문제점은 현재까지 공개된 HSPICE Library 파일에서는 CNT 사이의 간격이 동일(even)한 경우만 시뮬레이션이 가능하여, 본 논문에서 논의하고 있는 CNT 사이의 간격이 불규칙한 경우에 대하여 시뮬레이션 검토가 불가능하다는 것이다. 이러한 불가능한 시뮬레이션을 가능하게 만들기 위해 기존에 Linear Programming을 활용한 방법이 제안되었다 [10].

Linear Programming을 활용한 방법은 그림 6의 (a)와 같이 CNT 사이의 불규칙한 배치로 인해 발생하는 전류와 gate capacitance의 변화를 계산한 후, 그림 6의 (b)와 같이 동일한 전류와 gate capacitance를 갖는 CNTFET 파라미터를 CNT 사이의 간격이 동일한 조건하에 찾는 방법이며, 이 과정에서 Linear Programming이 사용된다. 이렇게 새롭게 모델링 된 CNTFET의 파라미터 값은 CNT 사이의 간격이 일정한 경우의 값이기 때문에 기존의 HSPICE Library 파일에 적용할 수 있으며, 이는 결과적으로 CNT 사이의 간격이 불규칙한 CNTFET의 공정편차를 CNTFET 회로 레벨에서 검토할 수 있음을 의미한다 [8]-[10].

4. Linear Programming 시뮬레이션 횟수 감소 효과

기존 논문([8]~[10])에서는 Linear Programming을 통해 가능해진 CNT의 불규칙한 배치의 영향성을 자세히 분석하기 위해 N 을 9로 제한한 상황에서 다양한 N_{CD} 에 대해 CNTFET 회로의 성능변화를 시뮬레이션 하였다. 하지만, 앞서 설명한 바와 같이, N 의 증가에 따른 TN_{CCD} 의 기하급수적인 증가는 CNTFET을 활용한 회로 설계에 있어 중요한 걸림돌로 작용할 수 있으므로 이를 줄이기 위한 방법이 필요하다. 본 논문에서 앞서 설명한 Linear Programming 방법이 이러한 문제를 해결할 수 있는 하나의 방안으로서 활용될 수 있음을 확인하고 그 효과에 대해 논의하고자 한다.

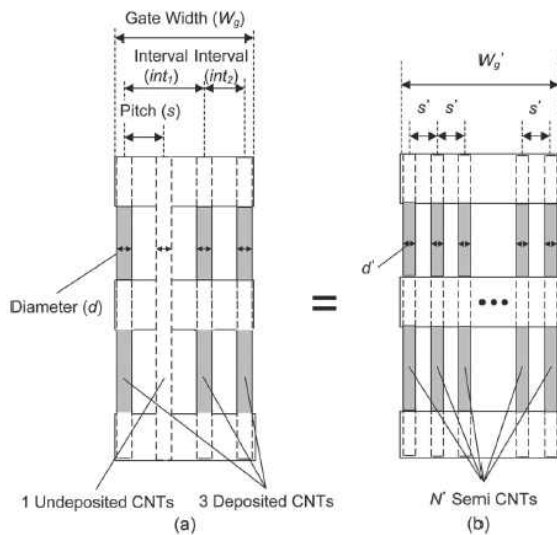


Fig. 6. CNTFETs with unevenly and evenly positioned CNTs [10]

그림 6. CNTFET 사이의 간격이 일정하지 않은 경우와 일정한 경우 [10]

앞서 언급한 $N=9$ 그리고 $N_{CD}=1$ 인 경우를 살펴보면 (표1), Undeposited CNT가 외곽에 있는 경우 (맨 처음과 맨 마지막인 경우)를 제외하면, CNTFET 안에 있는 CNT의 수와 CNT 사이의 간격은 모두 동일하므로, 이 경우의 CNTFET의 전류와 gate capacitance는 모두 동일하다. 따라서, $N=9$ 그리고 $N_{CD}=1$ 인 경우, Linear Programming을 이용하여, 동일한 전류와 gate capacitance를 갖는 모델 파라미터를 추출하면, 총 2가지 종류의 모델 파라미터가 추출될 수 있으며, 이는 시뮬레이션 횟수가 9번에서 2번으로 줄어들 수 있음을 의미한다. 같은 원리로 $N=9$ 인 경우, 다양한 N_{CD} 에 대해 Linear Programming을 적용할 때, 줄어드는 N_{CCD} 를 계산하면 그림 4의 검은 선과 같다. 그림 4로부터 TN_{CCD} 를 계산하면, Linear Programming 적용 전 511이었던 시뮬레이션 횟수가 70으로 약 7.3배 줄어들었음을 확인할 수 있다. 지금까지 언급한 원리를 다양한 N 에 대해 확대 적용하면, 그림 5의 검은색 선과 같으며, 그림 5는 N 의 증가에 따른 TN_{CCD} 의 급격한 증가를 Linear Programming이 완화시켜주고 있음을 보여주고 있다. 그림 5의 모든 TN_{CCD} 를 고려하여, N 이 6부터 12까지 변화될 때, TN_{CCD} 의 변화를 Linear Programming 전후로 계산하면, Linear Programming이 시뮬레이션 횟수를 평균 2.5배 감소시킴을 확인할 수 있다.

III 결론

차세대 반도체로서 각광 받고 있는 CNTFET에서 CNT의 불규칙한 배치와 이와 관련된 회로 시뮬레이션 툴의 부족은 CNTFET을 활용한 대규모 집적회로 구현의 걸림돌로 작용하고 있다. 본 논문에서는 CNTFET에서 CNT의 불규칙한 배치로 인한 전류의 변화와 gate capacitance의 변화를 회로 레벨에서 검토할 수 있도록 제안된 Linear Programming 방법이 CNT의 최대 배치 수가 6에서 12까지 변할 경우, 시뮬레이션 횟수를 약 2.5배 감소시킬 수 있음을 보임으로서, 앞으로 다수의 CNTFET으로 구성된 회로에서 CNT의 불규칙한 배치로 인한 CNTFET 회로의 성능 변화를 검토하고자 할 때, 시뮬레이션 시간을 크게 줄일 수 있을 것으로 기대된다.

References

- [1]P. R. Yasasvi Gangavarapu., et al. "Graphene Electrodes as Barrier-Free Contacts for Carbon Nanotube Field-Effect Transistors," *IEEE Transactions on Electron Devices*, vol. 64, pp. 4335-4339, 2017. DOI: 10.1109/TED.2017.2741061
- [2]J. Deng, et al., "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application - Part I: Model of the Intrinsic Channel Region," *IEEE Transactions on Electron Devices*, vol 54, pp. 3186-3194, 2007. DOI: 10.1109/TED.2007.909030
- [3]J. Deng, et al., "A compact SPICE model for carbon nanotube field effect transistors including non-idealities and its application - Part II: Full device model and circuit performance benchmarking," *IEEE Transactions on Electron Devices*, vol. 54, pp. 3195 - 3205, 2007. DOI: 10.1109/TED.2007.909043
- [4]J. Zhang, et al., "Carbon nanotube robust digital VLSI," *EEE Transactions on Computer-Aided Design of Integrated Circuits*, vol. 31, no. 4, pp. 453 - 471, 2012. DOI: 10.1109/TCAD.2012.2187527

- [5]Patil N, et al., "Design methods for misaligned and mispositioned carbon nanotube immune circuits," *IEEE Transaction on Computer Aided Design of Integrated Circuits and Systems*, vol. 27, pp. 1725 - 1736, 2008. DOI: 10.1109/TCAD.2008.2003278
- [6]B. Byeon, et al., "Bio-fabrication of nanomesh channels of single-walled carbon nanotubes for locally gated field-effect transistors," *Nanotechnology*, vol. 28, pp. 025304-1~025304-9, 2017. DOI:10.1088/1361-6528/28/2/025304
- [7]D. Lee, et al., "Three-Dimensional Fin Structured Semiconducting Carbon Nanotube Network Transistor," *ACS Nano*, vol 10, pp. 20894-10900, 2016. DOI: 10.1021/acsnano.6b05429
- [8]G. Cho, et al., "Modeling Undeposited CNTs for CNTFET Operation," *IEEE Transactions on Device and Materials Reliability*, vol. 11, pp. 263 - 272, 2011. DOI: 10.1109/TDMR.2011.2123896
- [9]G. Cho, et al., "On the Delay of a CNTFET with Undeposited CNTs by Gate Width Adjustment," *Journal of Electronic Testing-Theory and Applications*, vol. 29, pp. 261-273, 2013. DOI: 10.1007/s10836-013-5388-6
- [10]G. Cho, et al., "Circuit-Level Simulation of a CNTFET with Unevenly Positioned CNTs by Linear Programming," *IEEE Transactions on Device and Materials Reliability*, vol. 14, pp. 1-10, 2014. DOI: 10.1109/TDMR.2013.2279154

BIOGRAPHY

Geunho Cho (Member)

2004 : BS degree in Electronic Engineering, Sogang University.
 2006 : MS degree in Electronic Engineering, Sogang University.
 2012 : PhD degree in Electrical Engineering, Northeastern University.

2012~2017 : Senior Engineer, Samsung Display.