

무접합 원통형 및 이중게이트 MOSFET에서 중심전위와 문턱전압이하 스윙 분석

Analysis of Center Potential and Subthreshold Swing in Junctionless Cylindrical Surrounding Gate and Double Gate MOSFET

정 학 기*★

Hakkee Jung*★

Abstract

We analyzed the relationship between center potential and subthreshold swing (SS) of Junctionless Cylindrical Surrounding Gate (JLCSG) and Junctionless Double Gate (JLDG) MOSFET. The SS was obtained using the analytical potential distribution and the center potential, and SSs were compared and investigated according to the change of channel dimension. As a result, we observed that the change in central potential distribution directly affects the SS. As the channel thickness and oxide thickness increased, the SS increased more sensitively in JLDG. Therefore, it was found that JLCSG structure is more effective to reduce the short channel effect of the nano MOSFET.

요 약

본 논문에서는 무접합 원통형과 무접합 이중게이트 MOSFET의 중심전위와 문턱전압이하 스윙의 관계를 분석하였다. 해석학적 전위분포를 이용하여 문턱전압이하 스윙을 구하고 중심전위와 문턱전압이하 스윙을 채널크기 변화에 따라 비교·고찰하였다. 결과적으로 중심전위분포의 변화가 직접적으로 문턱전압이하 스윙에 영향을 미치고 있다는 것을 관찰하였다. 채널두께나 산화막 두께가 증가할수록 문턱전압이하 스윙은 증가하였으며 JLDG 구조가 더욱 민감하게 증가하였다. 그러므로 나노구조 MOSFET의 단채널효과를 감소시키기 위하여 JLCSG 구조가 더욱 효과적이라는 것을 알 수 있었다.

Key words : junctionless, cylindrical surrounding, double gate, subthreshold swing, center potential

* Dept. of Electronic Engineering, Kunsan National University

★Corresponding author

E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684

※ Acknowledgment

Manuscript received Mar. 8, 2018; revised Mar. 13, 2018 ;
accepted Mar. 14, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

2차원 구조의 CMOSFET는 20 nm 이하에서 단채널효과 등에 의한 성능저하 현상이 심각하게 발생하고 있다[1]. 이를 극복하기 위하여 개발된 구조가 3차원 구조의 다중게이트 MOSFET이다. 특히 나노단위로 제작할 때 소스/드레인 영역과 채널영역에서 발생하는 도핑농도의 급격한 변화로 인하여 무접합 구조에 대한 연구가 활발히 진행되고 있다[2]. 무접합 구조에서는 소스/드레인

영역과 채널영역을 동일한 형태의 불순물로 도핑하므로 나노단위 소자에서 소스/드레인 채널 간 발생하는 급격한 도핑농도의 변화에 따른 도핑기술의 한계를 극복할 수 있다. 또한 소스와 드레인 영역에 별도의 도핑과정이 필요치 않아 제작공정을 단순화할 수 있다는 장점이 있다. 무접합 구조로 개발되는 3차원 구조의 이중게이트 MOSFET는 원통형 구조와 이중게이트 구조로 개발되고 있다[3,4]. Jiang 등은 무접합 이중게이트 (Junctionless Double Gate; JLDG) MOSFET에 대한 2차원 분석모델을 제시하여 단채널효과를 소자크기 변화에 대하여 분석하였다[5]. 또한 Trivedi 등은 무접합 원통형 게이트(Junctionless Cylindrical Surrounding Gate; JLCSG) MOSFET의 전달특성을 분석하였으며 Hu 등은 JLCSG MOSFET에서 단채널효과를 분석하기 위하여 해석학적 전위분포를 유도하였다[6,7]. JLDG 구조는 상하단에 게이트를 제작하는 구조이므로 채널이 사각형 모양일 것이며 JLCSG는 채널을 게이트가 둘러싸고 있는 원통형 구조이다. 본 논문에서는 JLDG와 JLCSG 구조에서 문턱전압이하에서 발생하는 차단전류의 감소현상을 비교 분석하기 위하여 두 구조가 동일한 크기 및 소자파라미터를 가질 때 문턱전압이하 스윙을 분석하였다. 문턱전압이하 스윙은 문턱전압이하 영역에서 게이트 전압에 대한 드레인 전류의 변화를 나타내는 인자로서 최소 60mV/dec값을 갖는다. 문턱전압이하 스윙이 클 경우 트랜지스터가 OFF 상태에서도 무시할 수 없는 전류가 흘러 소비전력의 증가 및 열발생 등 집적회로의 성능 저하를 일으키고 있다. JLDG와 JLCSG 구조 모두 대부분의 전하는 채널 중심을 통하여 흐르게 된다. 그러므로 채널 중심에서의 전위변화는 문턱전압이하 스윙에 직접적인 영향을 미칠 것이다. 그러므로 본 논문에서는 JLDG와 JLCSG 구조에서 소자 크기 변화에 따른 중심 전위 변화와 이로 인한 문턱전압이하 스윙의 변화를 분석하고 비교할 것이다.

II 장에서는 JLDG와 JLCSG 구조 MOSFET의 해석학적 전위분포 및 문턱전압이하 스윙유도 과정을 설명할 것이다. 또한 두 구조에 대한 중심전위를 기반으로 문턱전압이하 스윙의 변화를 소자 크기에 따라 비교·고찰할 것이며 III 장에서 결론을 맺는다.

II. 본론

1. JLDG와 JLCSG 구조 MOSFET의 전위분포와 문턱전압이하 스윙

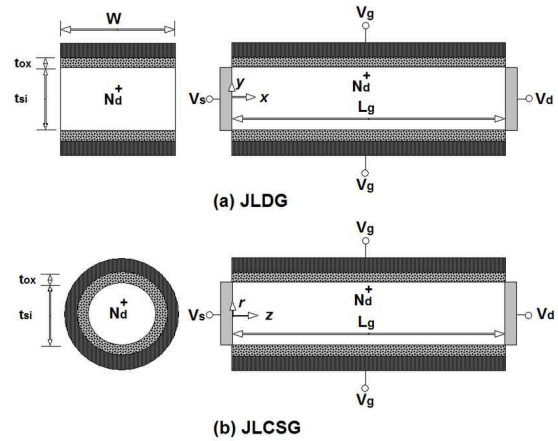


Fig. 1. Schematic cross sectional diagram (a) Junctionless Double Gate (JLDG) (b) Junctionless Cylindrical Surrounding Gate (JLCSG) MOSFET.

그림 1. 각 구조의 단면도 (a) 무접합 이중게이트 (b) 무접합 원통형 게이트 MOSFET

그림 1에 JLDG와 JLCSG 구조 MOSFET를 도시하였다. 두 구조의 차이는 단지 채널의 모양이다. JLDG 구조는 채널이 사각형 형태이며 JLCSG 구조는 채널이 원통형 구조이다. 두 구조 공히 소스/드레인과 채널 간 무접합 구조인 경우로써 본 연구에서는 $N_d^+ = 10^{19}/cm^3$ 을 사용하였으며 소스/드레인 영역은 $10^{20}/cm^3$ 을 사용하였다. 채널 길이는 20 nm에서 60 nm, 채널두께는 10 nm에서 14 nm, 그리고 산화막 두께는 0.5 nm에서 2 nm 사이로 변화할 때 중심전위와 문턱전압이하 스윙을 비교·분석하였다. 두 구조 모두 상하 대칭이므로 JLDG의 경우 $0 < y < t_{si}/2$, JLCSG의 경우 $0 < r < t_{si}/2$ 의 영역에서 다음과 같은 포아송방정식을 이용하여 전위분포를 구한다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = -\frac{qN_d}{\epsilon_{si}} \quad (1)$$

$$\frac{\partial^2 \phi}{\partial r^2} + \frac{1}{r} \frac{\partial \phi}{\partial r} + \frac{\partial^2 \phi}{\partial z^2} = -\frac{qN_d}{\epsilon_{si}} \quad (2)$$

구조의 특성 상 JLDG 구조는 직각좌표계, JLCSG 구조는 원통좌표계를 이용한다. JLDG의 경우 중심전위는 Jiang 등의 유도방법에서도 알 수 있듯이

다음과 같이 구할 수 있다[5].

$$\phi(x,0) = \phi_{bi} + \left(\frac{V_d}{L_g}\right)x + \left(\frac{2}{L_g}\right) \sum_{n=1}^{\infty} \left\{ 2C_n - \frac{f_n}{k_n^2} \right\} \sin(k_n x) \quad (3)$$

$$f_n = -qN_d [1 - (-1)^n] / \epsilon_{si} k_n$$

$$k_n = n\pi / L_g$$

여기서 ϕ_{bi} 는 소스/채널 간의 전위장벽으로써 기준전위이며 V_d 는 드레인 전압, ϵ_{si} 는 실리콘의 유전율이다. 또한 C_n 은 참고논문 [5]에 나타나 있다. JLCSG의 경우 Trivedi 등의 유도방법을 이용하여 정리하면 중심전위는 다음과 같다[6].

$$\phi(r=0,z) = Ae^{z/\lambda} + Be^{z/\lambda} + \eta \quad (4)$$

$$A = \frac{(\phi_{bi} - \eta)(e^{-L_g/\lambda} - 1) - V_d}{e^{-L_g/\lambda} - e^{L_g/\lambda}}$$

$$B = \frac{(\phi_{bi} - \eta)(1 - e^{L_g/\lambda}) - V_d}{e^{-L_g/\lambda} - e^{L_g/\lambda}}$$

$$\lambda = \sqrt{(4\epsilon_{si}t_{si} + t_{si}^2 C_{ox}) / 16C_{ox}}$$

$$\eta = V_g - V_{fb} + qN_d t_{si} / 4C_{ox} + qN_d t_{si}^2 / 16\epsilon_{si}$$

여기서 C_{ox} 는 게이트 산화막 커패시턴스, V_{fb} 는 평탄전압, V_g 는 게이트 전압을 나타낸다. 식 (3)과 식 (4)를 이용하면 다음과 같이 문턱전압이하 스윙의 정의로 부터 SS 를 구할 수 있다.

$$SS = \left(\frac{\partial \log_{10}(I_d)}{\partial V_g} \right)^{-1} \approx \frac{kT}{q} \ln(10) \left(\frac{\partial \phi_{min}}{\partial V_g} \right)^{-1} \quad (5)$$

여기서 V_g 는 게이트 전압이고 ϕ_{min} 은 중심전위의 최소값을 나타내며 k 는 볼츠만상수, T 는 절대온도이다. 식 (3)을 이용한 JLDG의 경우

$$\frac{\partial \phi_{min}}{\partial V_g} = \sum_{n=1}^{\infty} \frac{2}{n\pi\alpha_n} [1 - (-1)^n] \sin(k_n x_0) \quad (6)$$

$$\alpha_n = \epsilon_{si} C_{ox} k_n \sinh(t_{si} k_n / 2) + \cosh(t_{si} k_n / 2)$$

이며 여기서 x_0 는 중심전위가 최소가 되는 x 값이다. 또한 JLCSG 구조의 경우

$$\frac{\partial \phi_{min}}{\partial V_g} = \frac{(1 - e^{-L_g/\lambda})e^{z_{min}/\lambda} - (1 - e^{L_g/\lambda})e^{-z_{min}/\lambda}}{e^{-L_g/\lambda} - e^{L_g/\lambda}} \quad (7)$$

$$+ \left(\frac{A}{\lambda} e^{z_{min}/\lambda} - \frac{B}{\lambda} e^{-z_{min}/\lambda} \right) \frac{\partial z_{min}}{\partial V_g} + 1$$

$$z_{min} = \frac{\lambda}{2} \ln \left(\frac{B}{A} \right)$$

$$\frac{\partial z_{min}}{\partial V_g} = \frac{\lambda}{2(e^{-L_g/\lambda} - e^{L_g/\lambda})} \left[\frac{e^{L_g/\lambda} - 1}{B} - \frac{e^{-L_g/\lambda} - 1}{A} \right]$$

이다. 그러므로 식 (6)과 식 (7)을 식 (5)에 대입하면 해석학적으로 각 구조에 대한 SS 를 구할 수 있다. 본 논문에서는 식 (3)과 식 (4)를 이용하여 두 구조에 대한 중심전위의 변화를 소자크기 변화에 대하여 고찰한 후, JLDG와 JLCSG 구조 MOSFET의 SS 를 구하여 비교·고찰할 것이다.

2. JLDG와 JLCSG 구조 MOSFET의 중심 전위 및 문턱전압이하 스윙의 비교

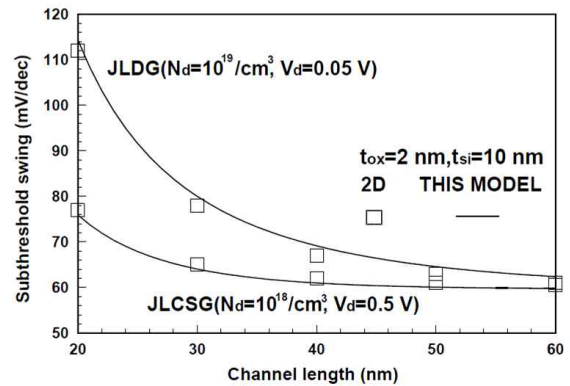


Fig. 2. Comparison of subthreshold swings for these models and 2D simulation under given conditions in the bracket.

그림 2. 주어진 조건하에서 이차원 시뮬레이션과 이 모델의 문턱전압이하 스윙 비교

본 논문에서 제시한 문턱전압이하 모델의 타당성을 검토하기 위하여 2차원 시뮬레이션 결과와 그림 2에 비교하였다. 이미 발표된 논문[5,6]에서와 같이 문턱전압이하 모델은 2차원 시뮬레이션 값과 매우 잘 일치하는 것을 알 수 있다. 그러므로 식 (3)과 식 (4)를 이용하여 JLDG와 JLCSG 구조에 대한 중심전위를 비교하고자 한다. 이 때 문턱전압이하 영역에서의 비교를 위하여 충분히 문턱전압 이하의 게이트 전압에서 비교하였다. 그림 1에서 볼 수 있듯이 대칭형 JLDG구조와 JLCSG 구조에서는 전하가 채널의 중심을 통하여 이동할 것이다[8]. 그러므로 트랜지스터 크기 변화에 대한 중심전위의 변화를 비교·고찰하고자 한다.

채널길이 방향으로 중심전위의 변화를 비교하기 위하여 채널길이가 20 nm일 경우, JLDG와

JLCSG 구조의 중심전위를 그림 3에 도시하였다. 그림 3(a)에서 알 수 있듯이 JLDG와 JLCSG 구조에서 각각 문턱전압이하 영역의 게이트 전압이 0.1 V씩 변화할 때 중심전위의 변화를 나타내었다. 동일한 게이트 전압 변화에 대한 중심전위의 변화가 JLCSG의 경우 더욱 큰 것을 알 수 있다.

이는 문턱전압이하 스윙의 정의에서 알 수 있듯이 JLCSG 구조의 SS 가 더욱 작을 것이다. 그러나 그림 3(b)를 관찰해보면 채널길이가 60 nm 까지 증가하였을 경우 게이트 전압에 대한 중심전위의 변화율은 JLDG와 JLCSG의 경우 거의 동일하다는 것을 알 수 있다. 결국 SS 가 거의 동일하게 나타날 것이다. 즉, 채널길이가 길어지면 채널의 구조에 관계없이 SS 는 일정할 것이다. 그림 3(a)와 3(b)를 비교하면 채널길이가 20 nm 일 경우 게이트 전압 변화에 대한 중심전위의 변화가 채널길이 60 nm 인 경우보다 매우 작다. 결국 그림 2에서 알 수 있듯이 단채널 효과에 의하여 채

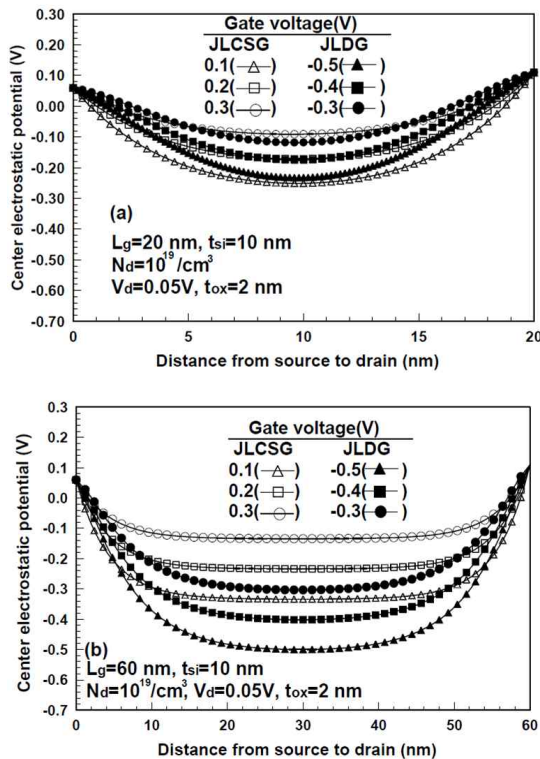


Fig. 3. Comparison of center electrostatic potentials for JLDG and JLCSG structures along channel length under same conditions for (a) $L_g = 20 \text{ nm}$. (b) $L_g = 60 \text{ nm}$.

그림 3. 동일한 조건에서 JLDG와 JLCSG 구조에 대한 중심전위 비교 (a) $L_g = 20 \text{ nm}$ (b) $L_g = 60 \text{ nm}$

널길이가 감소할수록 SS 는 크게 증가한다는 것을 알 수 있다. 그러나 전술한 바와 같이 채널길이가 감소하면 채널의 구조에 매우 민감하게 SS 가 변화하며 JLCSG 구조의 경우 SS 를 더욱 감소시킬 수 있다는 것을 알 수 있다. 채널길이가 감소하면 중심전위의 절대 값이 감소하는 것을 관찰할 수 있다. 즉, 채널길이가 감소할수록 SS 뿐만이 아니라 문턱전압이하 전류도 증가하여 단채널 효과에 의한 트랜지스터 성능저하 현상이 발생하는 것을 알 수 있다.

JLDG와 JLCSG 구조의 경우 채널길이 뿐만이 아니라 채널의 두께도 중요한 파라미터이다. JLCSG의 경우 이는 원통의 지름에 해당한다. 채널두께 변화에 대한 중심전위 변화를 관찰하기 위하여 채널두께가 14 nm로 증가하였을 경우 중심전위의 변화를 그림 4에 도시하였다. 채널 두께 변화에 따라 문턱전압이 변화하므로 그림 3과 상이한 게이트 전압을 사용하여 비교하였다. 그림 3(a)와 그림 4에서 알 수 있듯이 채널두께가 증가하면 게이트 전압 변화에 대한 중심전위의 변화가 감소한다. 이로 인하여 채널두께가 증가하면 SS 가 증가할 것이다. 또한 $t_{si} = 14 \text{ nm}$ 의 경우 JLDG의 중심전위변화 보다 JLCSG의 중심전위 변화가 더욱 증가하므로 채널두께가 증가할수록 JLDG 구조와 JLCSG 구조의 SS 값이 더욱 차이가 나는 것을 알 수 있다. 즉, 채널두께가 증가하면 JLCSG 구조가 단채널효과를 더욱 효과적으로

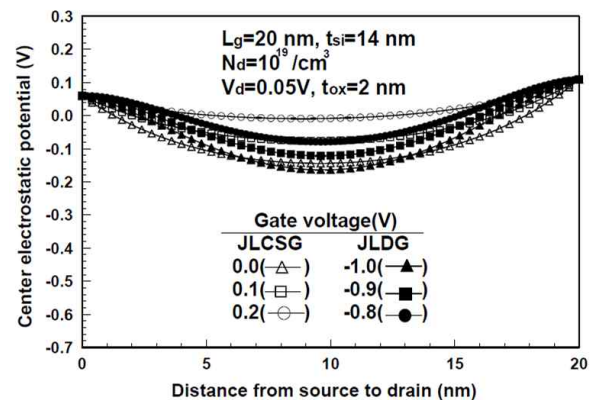


Fig. 4. Comparison of center electrostatic potentials for JLDG and JLCSG structures along channel length for $L_g = 20 \text{ nm}$ and $t_{si} = 14 \text{ nm}$.

그림 4. $L_g = 20 \text{ nm}$ 와 $t_{si} = 14 \text{ nm}$ 에서 JLDG와 JLCSG 구조에 대한 중심전위 비교

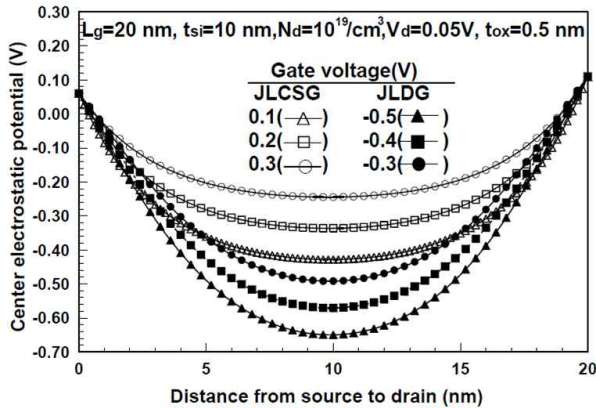


Fig. 5. Comparison of center electrostatic potentials for JLDG and JLCSG structures along channel length for $L_g = 20\text{ nm}$ and $t_{ox} = 0.5\text{ nm}$.

그림 5. $L_g = 20\text{ nm}$ 와 $t_{ox} = 0.5\text{ nm}$ 에서 JLDG와 JLCSG 구조에 대한 중심전위 비교

감소시킨다는 것을 알 수 있다.

게이트 산화막 두께는 중요한 소자 파라미터이다. 식 (3)과 식 (4)에서도 알 수 있듯이 중심전위에 직접 영향을 미치는 인자이다. 게이트 산화막 두께변화에 대한 중심전위 변화를 관찰하기 위하여 $t_{ox} = 0.5\text{ nm}$ 의 경우 중심전위를 그림 5에 도시하였다. 그림 3(a)와 그림 5를 비교하면 게이트 전압이 변화할 때 산화막 두께가 감소할수록 중심전위가 더욱 큰 변화를 보이고 있다는 것을 알 수 있다. 그러나 JLDG와 JLCSG 구조의 경우 변화율은 거의 동일하였다. 즉, 게이트 산화막이 감소할수록 채널구조에는 무관한 SS 값을 보일 것이다. 그러나 그림 5에서 알 수 있듯이 JLDG 구조의 경우 중심전위의 절대값이 크게 증가하므로 문턱전압이하 전류 값이 JLCSG 구조보다 크게 감소할 것이다.

JLDG와 JLCSG 구조에 대한 이상의 중심전위 변화의 결과를 이용하여 SS 에 대한 변화를 JLDG와 JLCSG 구조에 대하여 비교하였다. 먼저 JLDG와 JLCSG 구조의 채널길이가 변화할 때, 채널두께를 파라미터로 구한 SS 를 그림 6에 도시하였다. 채널 두께 증가는 결국 채널길이 감소와 동일한 효과를 보일 것이다. 그림에서 알 수 있듯이 채널두께가 증가할수록 구조에 관계없이 SS 가 증가하는 것을 알 수 있다. 그러나 JLCSG 구조의 경우 채널두께 증가에 덜 영향을 받고 있었다. 그림 6에서 JLDG와 JLCSG 구조를 비교해 보면

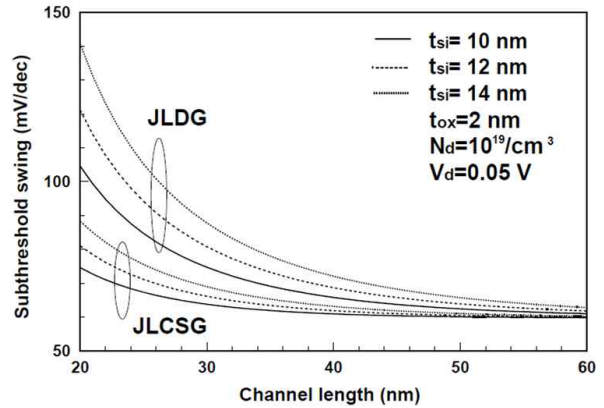


Fig. 6. Comparison of subthreshold swings for JLDG and JLCSG structures with channel thickness as a parameter.

그림 6. 채널두께를 파라미터로 하여 구한 JLDG와 JLCSG 구조에 대한 문턱전압이하 스윙 비교

JLDG 구조보다 JLCSG 구조의 경우 게이트 전압에 대한 전하제어가 더욱 강하다는 것을 알 수 있다. 이와 같은 결과는 그림 3(a)와 그림 4를 비교·분석한 결과와 일치하는 것을 알 수 있다.

게이트 산화막 두께를 파라미터로 구한 JLDG와 JLCSG 구조에서의 채널길이에 따른 SS 의 변화를 그림 7에 도시하였다. 산화막 두께가 증가할수록 SS 는 증가하였으며 JLDG 구조보다 JLCSG 구조가 산화막 두께 증가에 덜 민감하다는 것을 관찰할 수 있다. 채널길이가 감소할수록 산화막 두께변화가 SS 에 미치는 영향이 크게 증가한다는 것을 관찰할 수 있다. 이와 같은 결과는 그림 3(a)와 그림 5를 비교·분석한 결과와 잘 일치하는 것을 알 수 있다.

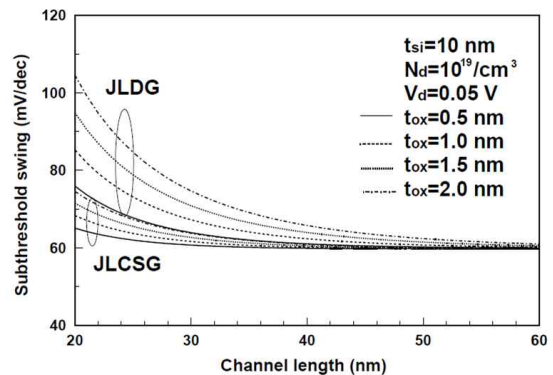


Fig. 7. Comparison of subthreshold swings for JLDG and JLCSG structures with gate oxide thickness as a parameter.

그림 7. 산화막두께를 파라미터로 하여 구한 JLDG와 JLCSG 구조에 대한 문턱전압이하 스윙 비교

III 결론

본 논문에서는 나노구조 트랜지스터에서 채널구조에 따른 SS의 변화를 관찰하기 위하여 JLDG구조와 JLCSG 구조 MOSFET에서 중심전위 분포가 SS에 미치는 영향을 비교·분석하였다. 비교·분석을 위하여 기존에 발표된 각 구조에 대한 해석학적 중심전위분포를 이용하였으며 이를 이용하여 해석학적 SS를 각 구조에 대하여 구한 식을 이용하였다. 결과적으로 게이트 전압에 대한 중심전위의 변화는 드레인전류의 변화로 나타날 것이므로 결국 중심전위의 변화에 의하여 SS를 유추해 낼 수 있었다. 채널두께가 증가할수록 SS는 증가하였으며 JLDG구조보다 JLCSG구조가 더욱 작은 SS를 나타냈다. 특히 채널두께에 대한 SS의 변화는 JLCSG구조가 덜 영향을 받았다. 게이트 산화막 두께가 증가할수록 SS는 증가하였으며 JLDG구조보다 JLCSG구조가 산화막 두께 변화에 덜 영향을 받았다. 이상의 결과를 기초로, 3차원 나노구조 트랜지스터의 경우 원통형 구조가 더욱 효과적으로 단채널효과를 감소시킬 수 있다고 판단된다.

References

[1] I. Ferain, C. A. Colinge and J. Colinge, "Multigate transistor as the future of classical metal-oxide-semiconductor field-effect transistors," *Nature*, vol. 479, pp. 310-316, 2011.DOI:10.1038/nature10676

[2] E. Gnani, A. Gnudi, S. Reggiani and G. Baccarani, "Theory of the Junctionless Nanowire FET," *IEEE Trans. on Electron Devices*, vol.58, no. 9, pp. 2903-2910, 2011.DOI: 10.1109/TED.2011.2159608

[3] X. Jin, X. Liu, M. Wu, R. Chuai, J. H. Lee and J. H. Lee, "Modelling of the nanoscale channel length effect on the subthreshold characteristics of junctionless field-effect transistors with a symmetric double-gate structure," *Journal of Physics D: Applied Physics*, vol. 45, no. 37, pp.1-5, 2012.DOI:10.1088/0022-3727/45/37/375102

[4] C. Li, Y. Zhu ang, S. Di and R. Han,

"Subthreshold Behavior Models for Nanoscale Short-Channel Junctionless Cylindrical Surrounding-Gate MOSFETs," *IEEE Trans. on Electron Devices*, vol. 60, no. 11, pp. 3655-3662, 2013.DOI:10.1109/TED.2013.2281395

[5] C. Jiang, R. Liang, J. Wang and J. Xu, "A two-dimensional analytical model for short channel junctionless double-gate MOSFETs," *AIP Advances*, vol. 5, no. 5, pp. 057122-1-13, 2015.DOI:10.1063/1.4921086

[6] N. Trivedi, M. Kumar, S. Haldar, S. Deswal, M. Gupta and R. S. Gupta, "Analytical modeling of Junctionless Accumulation Mode Cylindrical Surrounding Gate MOSFET (JAM-CSG)," *Int. J. of Numer. Model.*, vol. 29, no.6, pp. 1036-1043, 2016.DOI: 10.1002/jnm.2162

[7] G. Hu, P. Xiang, Z. Ding, R. Liu, L. Wang and T. A. Tang, "Analytical Models for Electrical Potential, Threshold Voltage, and Subthreshold Swing of Junctionless Surrounding-Gate Transistors," *IEEE Trans. on Electron Devices*, vol. 61, no. 3, pp.688-695, March 2014.DOI: 10.1109/TED.2013.2297378

[8] S. H. Oh, D. Monroe and J. M. Hergenrother, "Analytical Description of Short-Channel Effects in Fully-Depleted Double-Gate and Cylindrical, Surrounding-Gate MOSFETs," *IEEE Electron Device Letters*, vol. 21, no. 9, pp.445-447, 2000.DOI: 10.1109/55.863106

BIOGRAPHY

Hakkee Jung (Member)



1983 : BS degree in Electronic Engineering, Ajou University.
1985 : MS degree in Electronic Engineering, Yonsei University.
1990 : PhD degree in Electronic Engineering, Yonsei University.

1990~ : Professor, Kunsan National University