

UV/O₃ 조사 시간에 따른 Sol-gel 공정 기반 CuO 박막 트랜지스터의 전기적 특성 변화

UV/O₃ Process Time Effect on Electrical Characteristics of Sol-gel Processed CuO Thin Film Transistor

이 소 정*, 장 봉 호*, 김 태 균*, 이 원 용*, 장 재 원*

Sojeong Lee*, Bongho Jang*, Taegyun Kim*, Won-Yong Lee*, Jaewon Jang*

Abstract

In this research, sol-gel processed CuO p-type thin film transistors were fabricated with copper (II) acetate monohydrate precursors. After 500 °C annealing process, the deposited thin films were fully converted into CuO. We investigated UV/O₃ process time effect on electrical characteristics of sol-gel processed CuO thin film transistors. After 600 sec UV/O₃ process, the fabricated CuO thin film transistor delivered field effect mobility in saturation regime of $5 \times 10^{-3} \text{ cm}^2/\text{V}\cdot\text{s}$ and on/off current ratio of $\sim 10^2$.

요 약

Sol-gel 공법을 이용하여, p-형 CuO 박막 트랜지스터를 제작하였다. 제작된 CuO 박막 트랜지스터는 copper (II) acetate monohydrate를 전구체로 사용하였다. 500 °C 열처리 후에 형성된 전구체는 p-형 CuO 박막이 됨을 확인하였다. 또한 전구체를 형성하기 전 기판표면의 UV/O₃ 조사량에 따른 CuO 박막 트랜지스터의 전기적 특성변화에 대하여 연구하였으며, 600 초동안 UV/O₃를 조사한 경우 제작된 CuO 박막 트랜지스터는 $5 \times 10^{-3} \text{ cm}^2/\text{V}\cdot\text{s}$ 의 이동도와 약 10^2 의 온/오프 전류비를 보여주었다.

Key words : Sol-gel, CuO, UV/O₃, p-type semiconductor, Thin film transistor

* School of Electronics Engineering, Kyungpook National University,

★ Corresponding author
E-mail: jljang@knu.ac.kr, Tel: +82-53-950-5534

※ Acknowledgment

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (NRF-2016R1D1A3B03930896)

Manuscript received Feb. 26, 2018; revised Mar. 18, 2018 ; accepted Mar. 20, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

최근 용액 공정 기반의 산화물 반도체에 대한 연구가 많은 관심을 받고 있다 [1]. 상대적으로 큰 밴드갭을 가지며, 우수한 전기적 특성을 보여주는 동시에 기존의 진공 증착 방법이 아닌 용액 공정을 통하여 저비용으로 대면적 소자를 제작하는데 적합한 물질로 주목을 받고 있다 [2],[3]. 특히 ZnO, In₂O₃, 및 SnO₂ 은 대표적인 n-형 반도체 물질로, 이를 이용한 다양한 방법의 고성능 투명 트랜지스터가 제작되기도 하였다. 일반적으로 n-type 산화물 반도체 기반의 트랜지스터의 경우 고전류, 고이동도, 및 높은 온/오프 전류비 등으로 인하여 차세대 투명 소자의 핵심 단위 소자로

고려되고 있다 [4]-[6]. 반면에 p/n 접합 소자 및 Complementary 회로를 제작하기 위해서는 n-형 반도체뿐만 아니라, p-형 반도체 및 성능향상이 동시에 요구된다. 용액 공정을 이용한 p-형 반도체의 경우 최근에서야 연구가 진행되고 있다. 특히, 다양한 p-형 반도체 중에서 Cu_xO_y 의 경우 상대적으로 높은 정공 이동도와 우수한 광 특성, 구조적 특성으로 주목받고 있다 [7, 8]. 또한, Cu_xO_y 는 독성이 없으며, 재료가 풍부하여 저렴한 재료이기 때문에 경제적으로도 많은 장점이 있는 반도체이다. 본 연구에서는 환경 친화적이며, 저비용의 간단한 공정 등의 장점으로 Sol-gel 공정 기반의 CuO 박막 트랜지스터를 제작했으며, UV/O₃ 조사 시간별 전기적 특성을 분석하였다.

II. 본론

1. 실험 방법

본 연구에 사용된 모든 시약은 Sigma-Aldrich에서 구입하였으며, 추가적인 공정은 진행되지 않았다. CuO 박막을 증착하기 위해 전구체 물질로서 $Cu(CO_2CH_3)H_2O$ 물질을 사용하였다. 0.001 mol의 전구체를 9.5 mL 2-methoxyethanol에 혼합하였으며, Stabilizer로는 0.5 mL ethanolamine을 사용하였다. 투명하고 균일한 용액을 만들기 위해 초음파 세척기를 이용하여 5분 동안 용액을 섞어 주었다. 박막을 형성하기 위해 3000 rpm에서 50초 동안 spin coating을 하였다. 이후 용액이 도포된 기판을 hot plate 위에 120 °C에서 10분 동안 열처리 하였다. 게이트 누설 전류를 막기 위해 증착된 박막을 기계적으로 패터닝한 후 500 °C에서 1시간 동안 공기중에서 열처리하였다.

제작된 박막트랜지스터 소자는 bottom 게이트 coplanar 구조이다. P-type 실리콘 기판위에 100 nm 두께의 SiO₂ 절연막을 성장한 후 소스, 드레인 전극을 e-beam evaporation와 photolithography 공정을 이용하여 50 nm 두께의 Au를 증착하였다. 소자의 채널 길이와 폭은 각각 100 μm과 1000 μm이다. 균일한 박막의 형성을 위하여 Spin coating 공정 전 기판을 UV/O₃를 조사하여, 불순물 제거하였다. 본 실험에서는 UV/O₃ 조사 시간에 따른 박막트랜지스터의 전기적 특성을 측정했다. 각각의 소자는 300초, 600초,

900초 동안 UV/O₃를 조사하였다. 결정 구조는 Philips X'pert pro grazing incidence X-ray diffractometer로 조사하였다. 박막의 표면 분석은 scanning probe microscope(SPM, Park NX20, tapping mode)로 측정하였다. 박막트랜지스터의 전기적 특성은 Agilent 4155 반도체 parameter 분석기로 측정하였으며, 누설전류 및 Fringe 효과를 최소화하기 위하여 소자의 채널영역을 기계적으로 식각하였다.

2. 결과 및 고찰

그림 1은 증착한 CuO 박막의 UV/O₃ 조사 시간별 GIXRD 스펙트럼이며 이를 통해 박막의 구조적 특성을 확인했다. Diffraction peak인 35.5°, 38.7°를 기준으로 확인해 본 결과 제작된 박막의 GIXRD 스펙트럼은 표준 JCPDS 데이터의 (05-0661)와 일치하며, cubic 구조임을 확인하였다. 또한, GIXRD 스펙트럼에서 Cu와 Cu₂O peak이 나타나지 않았으며, 이는 열처리 후 전구체가 박막 CuO로 변환되었음을 확인할 수 있었다.

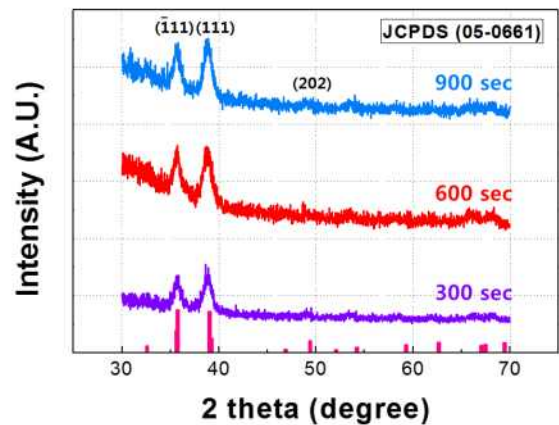


Fig. 1. XRD spectra obtained for each UV/O₃ sol-gel processed CuO films.

그림 1. 기판표면의 UV/O₃ 조사 시간 별 용액공정으로 제작된 CuO 박막의 XRD 스펙트럼

$$D = k\lambda/\beta\cos(\theta) \quad (1)$$

결정 크기는 Scherrer Equation (1)을 통해 알 수 있다. k 는 형상 계수, λ 는 x-ray 파장, β 는 최대 강도를 갖는 반치 폭, θ 는 bragg 각도이다. 각각의 평균 결정 크기는 모두 대략 9 nm로 UV/O₃ 조사 시간에 따른 차이는 보이지 않았다. 그림 2는

UV/O₃ 조사 시간에 따른 SPM 이미지이다.

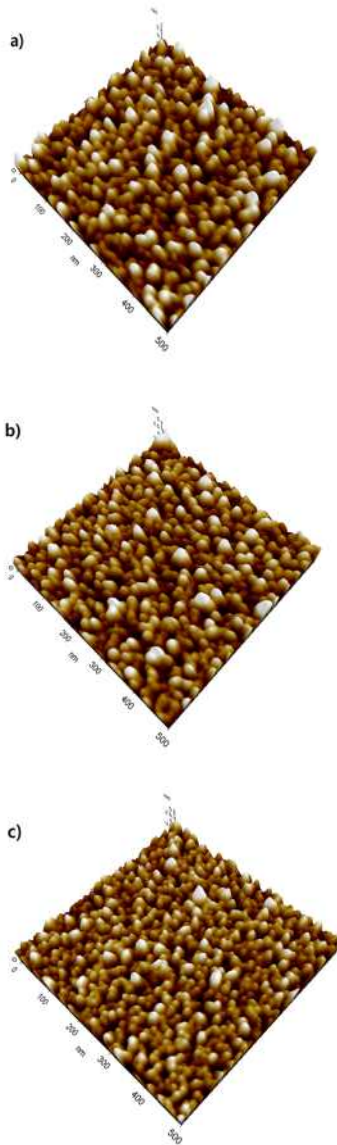


Fig. 2. SPM images obtained for each UV/O₃ sol-gel processed CuO films. a) 300 sec, b) 600 sec and c) 900 sec.

그림 2. 기판표면의 UV/O₃ 조사 시간별 용액 공정으로 제작된 CuO 박막의 SPM 이미지. a) 300 초, b) 600 초, c) 900 초

그림 3 에 따르면 조사 시간이 증가할수록 박막의 두께와 RMS (root mean square) 값이 증가함을 확인할 수 있었다. UV/O₃ 조사 시간이 길수록 표면은 더욱 친수성으로 변하게 된다. 이는 표면에너지 증가를 야기하며, 극성인 용액일 경우 표면에 떨어트린 용액의 점착력을 증가시키게 된다. [9, 10] 따라서 UV/O₃ 조사 시간이 길수록 두께가

두꺼워 진다.

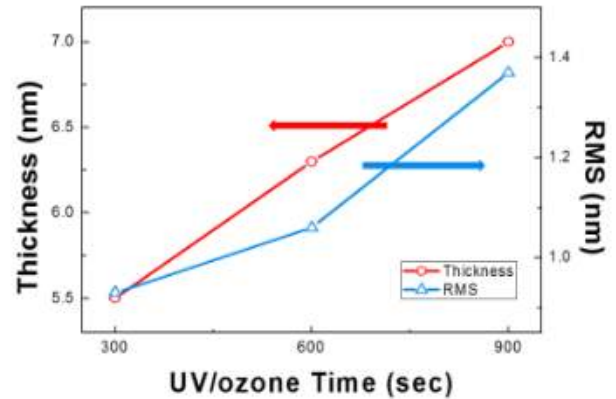


Fig. 3. Thickness and RMS values obtained for each UV/O₃ sol-gel processed CuO films.

그림 3. 기판표면의 UV/O₃ 조사 시간별 용액 공정으로 제작된 CuO 박막의 두께 및 RMS

그림 4는 UV/O₃ 조사 시간에 따른 CuO 박막 트랜지스터의 전기적인 특성을 보여준다. UV/O₃ 공정을 300초 진행한 경우대비, 600초 조사하였을 때 이동도가 증가함을 확인하였다. 반도체 박막의 두께가 증가할수록 트랜지스터 내에서 채널이 형성되었을 때 단위면적당 전자 농도가 증가하기 때문에 UV/O₃ 조사 시간이 길수록 전도도가 증가한다. 또한 증가된 전자 농도는 박막 트랜지스터를 낮은 전압에서 채널을 형성 시키며, 이는 문턱 전압 (V_{th}) 값을 통하여 확인 할 수 있었다. 그러나 900초의 경우 RMS 값이 증가하여 박막의 균일도가 감소했음을 확인할 수 있었다.

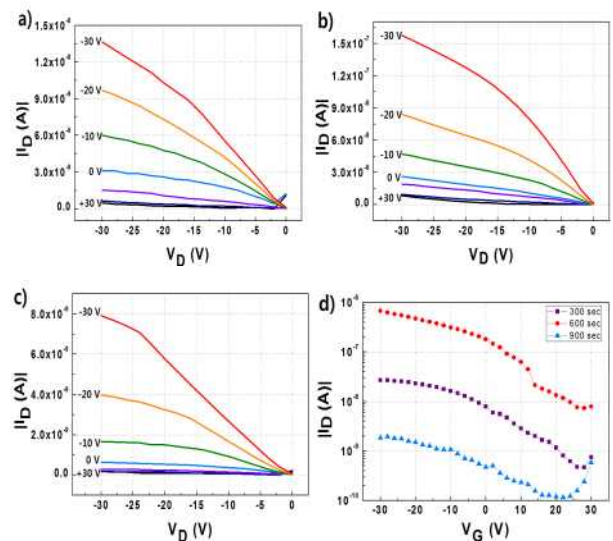


Fig. 4. ID-VD characteristics obtained for each UV/O₃ sol-gel processed CuO films. a) 300 sec, b) 600 sec, c) 900 sec and d) ID-VG curve UV/O₃ sol-gel processed CuO films.

그림 4 기판표면의 UV/O₃ 조사 시간 별 용액공정으로 제작된 CuO 박막의 I_D-V_D 특성 a) 300 초, b) 600 초, c) 900 초, d) UV/O₃ 조사 시간 별 용액공정으로 제작된 CuO 박막의 I_D-V_G 특성

채널 두께가 균일하지 않은 박막의 경우, 두께가 얇은 영역은 수직방향 전계가 강하게 작용한다. 이는 전자의 산란을 일으켜 이동도를 저하시킨다. 또한, 낮은 V_D 전압에서 IV 곡선은 선형적인 관계를 보여주지 않았으며, 이는 CuO 박막의 전자 친화도와 Au 전극의 일함수의 차이로 인해 발생함을 확인할 수 있었다. 600초 동안 UV/O₃을 주사한 후 제작되어진 CuO 박막 트랜지스터의 경우 포화영역에서의 이동도는 $5 \times 10^{-3} \text{ cm}^2/\text{V}\cdot\text{s}$ 이었으며, 온/오프 전류비는 약 10^2 임을 확인하였다. [그림 5]

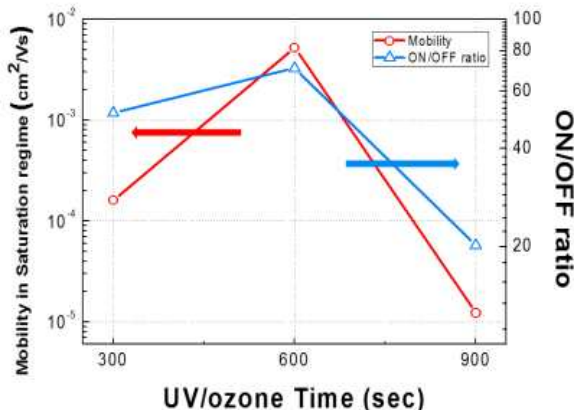


Fig. 5. Mobility in saturation regime and on/off ratio values obtained for each UV/O₃ sol-gel processed CuO films.

그림 5. 기판표면의 UV/O₃ 조사 시간별 용액 공정으로 제작된 CuO 박막의 포화영역에서의 이동도 및 온/오프 전류비

III 결론

본 연구에서는 Sol-gel 공법을 이용하여, p-형 CuO 박막트랜지스터를 제작하였다. 또한 박막 형성 전 진행된 UV/O₃ 조사 시간에 따른 박막트랜지스터의 전기적 특성 변화에 관하여 연구하였다. UV/O₃ 조사 시간이 길수록 두께가 두꺼워짐을

확인하였으나 동시에 조사 시간이 길어지면 표면의 균일도가 감소하였다. 이는 채널영역의 수직방향 전계에 영향을 미치며 전자 산란으로 인해 전도도가 감소하는 것을 확인하였다. 600초 동안 UV/O₃을 주사한 후 제작된 CuO 박막 트랜지스터의 경우 포화영역에서의 이동도는 $5 \times 10^{-3} \text{ cm}^2/\text{V}\cdot\text{s}$ 이었으며, 온/오프 전류비는 약 10^2 임을 확인하였다.

References

- [1] R. A. street, "Thin film transistor," *Advanced Materials*, vol.21. no.20, pp.2007-2022, 2009.DOI:10.1002/adma.200803211
- [2] K. K. Song, D. J. Kim, X. S. Li, T. W. Jun, Y. M. Jeong and J. H. Moon, "Solution processed invisible all-oxide thin film transistors," *Journal of Material Chemistry*, vol.19, no.46, pp.8881-8886, 2009.DOI:10.1039/B912554J
- [3] G. Huang, L. Duan, G. Dong, D. Zhang and Y. Qiu, "High-mobility solution-processed tin oxide thin-film transistors with high-k alumina dielectric working in enhancement mode," *ACS Applied Material and Interfaces*, 6(23), pp. 20786-20794. 2014.DOI:10.1021/am5050295
- [4] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano and H. hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors," *nature*, 432, pp. 488-492, Nov. 2004.DOI:10.1038/nature03090
- [5] R. L. Hoffman, B. J. Norris and J. F. Wager, "ZnO-based transparent thin-film transistors," *Applied Physics Letters*, vol.82, no.5, pp.733-735, 2003.DOI:10.1063/1.1542677
- [6] S. C. Wang, C. F. Yeh, C. K. Huang and Y. T. Dai, "Device transfer technology by backside etching (DTBE) for poly-Si thin-film transistors on glass/plastic substrate," *Japanese Journal of Applied Physics*, vol.42, pp.1044-1046, 2003.DOI: 10.1143/JJAP.42.L1044

[7] Z. Wang, P. K. Nayak, J. A. Caraveo-Frescas and H. N. Alshareef, "Recent developments in p-type Oxide Semiconductor materials and devices," *Advanced Materials*, vol.28, no.20, pp. 3831-3892, 2016.DOI:10.1002/adma.201503080

[8] B. Balamurugan and B. R. Mehta, "Optical and structural properties of nanocrystalline copper oxide thin films prepared by activated reactive evaporation," *Thin Solid Films*, Vol.396, no.1-2, pp.90-96,

2001.DOI:10.1016/S0040-6090(01)01216-0

[9] C. Gu and J. K. Lee, "Patterning of amorphous-InGaZnO thin-film transistors by stamping of surface-modified polydimethylsiloxane," *RCS Advances*, no.49, 2016.DOI:10.1039/C6RA06264D

[10] H. Tavana, N. Petong, A. Hennig, K. Grundke and A. W. Neumann. "Contact angles and coating thickness," *The Journal of Adhesion*, vol.81, no.1, 2005.DOI:10.1080/00218460590904435

BIOGRAPHY

Sojeong Lee (Member)



2017 : B. S. Degree in School of Electronics Engineering, Kyungpook National University.
2017 ~ : M. S. degree in School of Electronics Engineering, Kyungpook National University.

Bongho Jang (Member)



2017 : B. S. Degree in School of Electronics Engineering, Kyungpook National University.
2017 ~ : M. S. degree in School of Electronics Engineering, Kyungpook National University.

Taegyunkim (Member)



2015 : B. S. Degree in School of Electronics Engineering, Kyungpook National University.
2016 ~ : M. S. degree in School of Electronics Engineering, Kyungpook National University.

Won-Yong Lee (Member)



2014 : B. S. Degree in School of Electronics Engineering, Kyungpook National University.
2016 : M. S. Degree in School of Electronics Engineering, Kyungpook National University.

2017 ~ : Ph. Degree in School of Electronics Engineering, Kyungpook National University.

Jaewon Jang (Member)



2006 : B. S. Degree in electrical engineering, Korea University
2008 : M.S. Degree in electrical engineering, Korea University
2013 : Ph. D degree in electrical engineering and computer sciences, University of California at Berkeley

2013~2015 : Post Doc. Researcher, University of California at Berkeley

2015~2016 : Researcher, Samsung Advanced Institute of Technology

2016~ : Assistant Prof. School of Electronics Engineering, Kyungpook National University.