

BMS용 능동밸런싱 회로 소자 구동용 게이트 구동 칩 설계

김 영 희*, 김 흥 주*, 하 윤 규*, 하 판 봉*, 백 주 원**

Design of a gate driver driving active balancing circuit for BMSs.

Younghee Kim*, Hongzhou Jin*, Yoongyu Ha*, Panbong Ha*, Juwon Baek**

요 약 여러 배터리 셀을 직렬로 연결해서 사용하는 BMS에서 사용 가능 용량을 최대화시키기 위하여 각 셀의 전압을 같도록 맞춰주는 셀 밸런싱 기술이 필요하다. 다중 권선 변압기를 사용하는 능동 셀 밸런싱 회로에서 셀 간 직접적 (direct cell-to-cell)으로 에너지를 전달하는 밸런싱 회로는 PMOS 스위치와 NMOS 스위치를 구동하기 위한 게이트 구동 칩은 PMOS 스위치와 NMOS 스위치 개수 만큼 TLP2748 포토커플러(photocoupler)와 TLP2745 포토커플러가 필요하므로 원가가 증가하고 집적도가 떨어진다. 그래서 본 논문에서는 포토커플러를 사용하여 PMOS와 NMOS 스위칭소자를 구동하는 대신 70V BCD 공정기반의 PMOS 게이트 구동회로와 NMOS 게이트 구동회로, 스위칭 시간이 개선된 PMOS 게이트 구동회로와 NMOS 게이트 구동회로를 제안하였다. 스위칭 시간이 개선된 PMOS 게이트 구동 스위치의 Δt 는 8.9ns이고, NMOS 게이트 구동 스위치의 Δt 는 9.9ns로 양호한 결과를 얻었다.

Abstract In order to maximize the usable capacity of a BMS (battery management system) that uses several battery cells connected in series, a cell balancing technique that equips each cell with the same voltage is needed. In the active cell balancing circuit using a multi-winding transformer, a balancing circuit that transfers energy directly to the cell (cell-to-cell) is composed of a PMOS switch and a gate driving chip for driving the NMOS switch. The TLP2748 photocoupler and the TLP2745 photocoupler are required, resulting in increased cost and reduced integration. In this paper, instead of driving PMOS and NMOS switching devices by using photocoupler, we proposed 70V BCD process based PMOS gate driving circuit, NMOS gate driving circuit, PMOS gate driving circuit and NMOS gate driving circuit with improved switching time. Δt of the PMOS gate drive switch with improved switching time was 8.9 ns and Δt of the NMOS gate drive switch was 9.9 ns.

Key Words : BMS, cell balancing circuit, switching time, one chip, gate driving circuit

1. 서 론

전기 선박 등 여러 배터리 셀을 직렬로 연결해서 사용하는 BMS (Battery Management System)에서 전체 배터리 셀에서의 사용 가능한 용량은 가장 낮은 용량을 가진 배터리 셀로 제한된다[1]. 그래서 사용 가능 용량을 최대화시키기 위하여 각 셀의 전압을 같도록 맞춰주는 셀 밸런싱 기술이 필요하다[2]. 셀 밸

런싱 기술은 수동방식과 능동방식으로 나눌수 있다 [2]. 수동방식은 높은 전압을 가진 셀의 에너지를 저항이 소모하는 방식으로 회로구성은 간단하지만, 불균형이 발생할 때마다 높은 전압을 가진 셀의 에너지를 모두 소모시켜 에너지 저장 장치 (Energy Storage System)의 에너지 효율을 떨어뜨린다[3][4]. 능동방식은 그림 1에서 보는 바와 같이 높은 전압을 가진 셀의 에너지를 가장 낮은 전압을 가진 셀에 전

This Paper was supported by research Fund of Changwon National University in 2018.

*Corresponding Author : Department of Electronic Engineering, Changwon National University (youngkim@changwon.ac.kr)

**KERI

Received December 10, 2018

Revised December 12, 2018

Accepted December 14, 2018

달하는 것이다[4]. 그림 1은 다중 권선 변압기를 사용하는 능동 셀 밸런싱 회로[5]를 보여주고 있다. 능동 셀 밸런싱 회로에서 셀 간 직접적 (direct cell-to-cell)으로 에너지를 전달하는 밸런싱 회로는 임의의 셀에 저장된 에너지를 변압기에 저장하여 목표 하는 셀에 직접적으로 전달하므로 밸런싱 속도를 빠르게 할 수 있다[4].

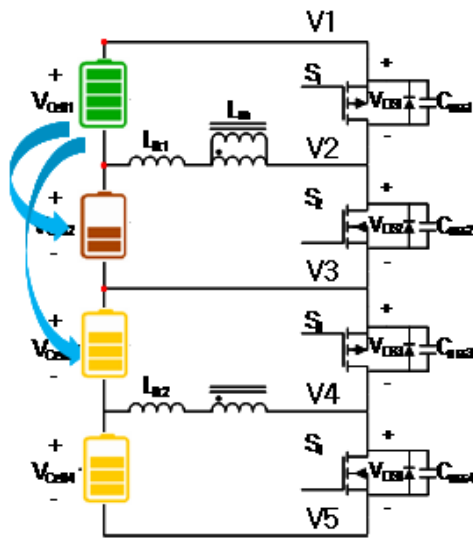


그림 1. 셀 밸런싱 회로[5].
Fig. 1. Cell Balancing circuit.

일반적으로 리튬이온 배터리의 단일 셀은 3.2V ~ 4.2V의 공정 전압을 가지고 있으며, 그림 1에서와 같이 직렬로 연결하여 사용한다[4]. 그림 1에서 PMOS 스위치와 NMOS 스위치를 구동하기 위한 게이트 구동 칩은 PMOS 스위치와 NMOS 스위치 개수 만큼 TLP2748 포토커플러(photocoupler)와 TLP2745 포토커플러가 필요하므로 원가가 증가하고 집적도가 떨어진다.

그래서 본 논문에서는 포토커플러를 사용하여 PMOS와 NMOS 스위칭소자를 구동하는 대신 70V의 고전압(High Voltage) 소자가 지원되는 BCD 공정기반의 게이트 구동회로를 단일 칩(one chip)에 집적하므로 원가 감소 및 집적도를 증가시킬 수 있다. 배터리 셀의 전압이 3.2V ~ 4.2V이므로 배터리 셀을

12개를 직렬로 연결하여 최대 BMS 전압이 50.4V 이내가 되도록 하였다. 12개의 배터리 셀을 직렬로 연결한 BMS 시스템에서 6개의 PMOS 구동소자와 6개의 NMOS 구동소자, 그리고 PMOS 구동소자를 구동하기 위한 6개의 PMOS 게이트 구동회로 블록과 NMOS 구동소자를 구동하기 위한 6개의 NMOS 게이트 구동회로 블록으로 구성되어 있다. 본 논문에서는 PMOS 게이트 구동회로와 NMOS 게이트 구동회로, 스위칭 시간이 개선된 PMOS 게이트 구동회로와 NMOS 게이트 구동회로를 제안하였다.

II. 게이트 구동 칩 설계

그림 1에서 하나의 PMOS 스위치와 하나의 NMOS 스위치를 구동하기 위한 게이트 구동회로는 그림 2에서 보는 바와 같으며, PMOS 스위치의 게이트를 구동하기 위한 TLP2748 포토커플러와 NMOS 스위치의 게이트를 구동하기 위한 TLP2745 포토커플러로 구성되어 있다. TLP2748 포토커플러의 VHI(High Voltage)는 PMOS 스위치 MP의 소스(source) 노드 전압인 V_i 에 연결되고, TLP2748 포토커플러의 VLO(Low Voltage)는 MP의 드레인(drain) 노드 전압인 V_{i+1} 에 연결된다. 그리고 TLP2745 포토커플러의 VHI는 NMOS 스위치 MN의 드레인 노드 전압인 V_{i+1} 에 연결되고, TLP2745 포토커플러의 VLO는 MN의 소스 노드 전압인 V_{i+2} 에 연결된다.

TLP2745와 TLP2748 같은 포토커플러는 GaAlAs LED(Light-Emitting Diode) 공정을 사용하기 때문에 이용하기가 쉽지 않다. 그래서 본 연구에서는 70V의 고전압 소자가 지원되는 BCD(Bipolar-CMOS-DMOS) 공정기반에서 12개의 게이트 구동회로를 단일 칩으로 설계하는 기술을 제안하고자 한다. 배터리 셀의 전압이 3.2V ~ 4.2V이므로 배터리 셀을 12개를 직렬로 연결하여 최대 BMS 전압이 50.4V 이내가 되도록 하였다.

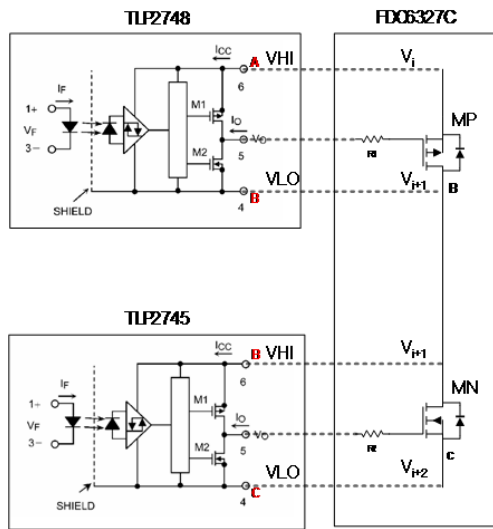


그림 2. 게이트 구동회로.
Fig. 2. Gate driver.

그림 3은 12개의 배터리 셀을 직렬로 연결한 BMS 시스템에서 6개의 PMOS 구동소자와 6개의 NMOS 구동소자, 그리고 PMOS 구동소자를 구동하기 위한 6개의 PMOS 게이트 구동회로 블록과 NMOS 구동소자를 구동하기 위한 6개의 NMOS 게이트 구동회로 블록으로 구성되어 있다. 배터리 셀이 직렬로 연결되어 있을 때 가장 상단(top)부터 하단(bottom)까지 전압을 V_1, V_2, \dots, V_{12} 라고 하면 각각의 전압 사이에는 그림 3에서 보는 바와 같이 PMOS 구동소자와 NMOS 구동소자가 번갈아 위치하고 있다. 6개의 PMOS 게이트 구동회로 블록은 입력신호로 해당되는 홀수 번호의 스위치 Enable 신호 ($S1_EN, S3_EN, S5_EN, S7_EN, S9_EN, S11_EN$)가 각각 연결되어 있고, 해당되는 PMOS 구동소자를 구동시키는 홀수 번호의 PMOS 게이트 구동회로 블록의 출력 신호($S1, S3, S5, S7, S9, S11$)에 각각 연결되어 있다. 그리고 6개의 NMOS 게이트 구동회로 블록은 입력신호로 해당되는 짝수 번호의 스위치 Enable 신호($S2_EN, S4_EN, S6_EN, S8_EN, S10_EN, S12_EN$)가 각각 연결되어 있고, 해당되는 NMOS 구동소자를 구동시키는 짝수 번호의 NMOS 게이트 구동회로 블록의 출력 신호 ($S2,$

$S4, S6, S8, S10, S12$)에 각각 연결되어 있다. 제어입력 신호로 PWR_ON이 12개의 게이트 구동 블록에 공통적으로 연결되어 있다. PMOS 게이트 구동회로 블록의 VHI 전압은 구동하는 PMOS 구동소자의 소스 노드에 연결되며, PMOS 게이트 구동회로 블록의 VLO 전압은 구동하는 PMOS 구동소자의 드레인 노드에 연결된다. 그리고 NMOS 게이트 구동회로 블록의 VHI 전압은 구동하는 NMOS 구동소자의 드레인 노드에 연결되며, NMOS 게이트 구동회로 블록의 VLO 전압은 구동하는 NMOS 구동소자의 소스 노드에 연결된다.

그림 3의 PMOS 게이트 구동회로는 그림 4에서 보는 바와 같다. 그림 4의 회로에서 INV1 (MP1과 MN1)에 사용된 MP1과 MN1 트랜지스터는 5V PMOS 트랜지스터와 5V NMOS 트랜지스터가 사용되었으며, 나머지 소자는 70V의 PMOS와 NMOS 트랜지스터가 사용되었다.

해당되는 PMOS 구동소자를 구동하기 위한 EN 신호가 0V인 경우 INV1 (MP1과 MN1)의 출력인 ENb 신호는 V_{12} 전압이 된다. V_{12} 는 12개의 직렬로 연결된 배터리 셀에서 가장 하단에 있는 셀의 전압으로 3.2V~4.2V의 전압범위(voltage range)에 있다. EN과 ENb 신호가 각각 0V, $V_{DD}(=5V)$ 전압이 인가되면 MN1과 MN2는 각각 OFF와 ON 상태에 있다. MN2가 ON 상태에 있으면 N_2 전압은 0V로 되며, N_4 전압은 $V_{LO} + |V_{TPI}|$ 가 된다. 여기서 $|V_{TPI}|$ 는 70V PMOS 트랜지스터의 문턱전압(threshold voltage)이다. N_4 전압이 $V_{LO} + |V_{TPI}|$ 가 되면 cross-coupled PMOS 트랜지스터 (MP3와 MP4) 중에서 MP3는 ON 상태가 되어 N_3 노드 전압을 VHI로 풀업(pull-up) 시킨다. 만약 N_3 노드 전압이 VHI 전압이 되면 MP1이 ON되어 N_1 전압을 VHI로 pull-up 시킨다. N_3 와 N_4 노드 전압이 각각 VHI, $V_{LO} + |V_{TPI}|$ 전압이 되면 MP5와 MP6는 각각 ON, OFF 상태가 되어 N_5, N_6 전압은 각각 VHI, VLO 전압이 된다. 그래서 PMOS 구동회로의 출력신호 S는 VHI 상태가 되어 해당되는 PMOS 구동소자를 OFF시킨다.

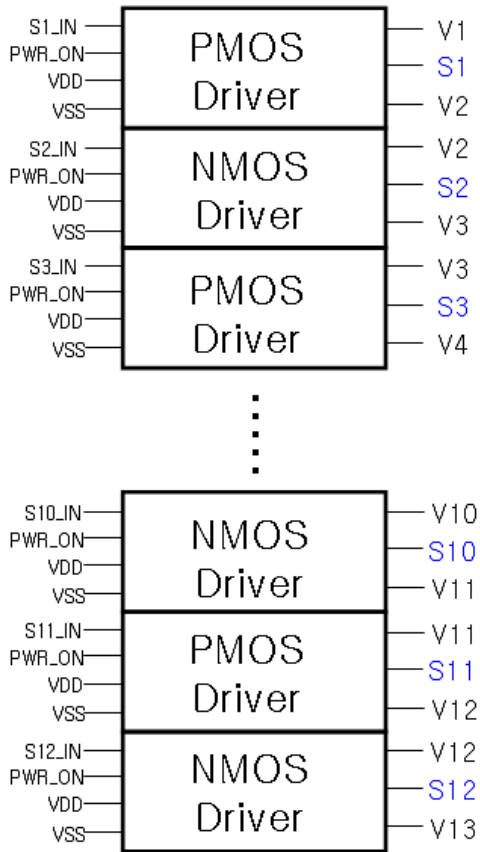


그림 3. PMOS와 NMOS 구동소자를 구동하기위한 게이트 구동회로 블록도.

Fig. 3. Block diagram of a gate driver for driving PMOS and NMOS switches.

그림 4의 EN 신호가 VDD인 경우 INV1(MPI1과 MNI1)의 출력인 ENb 신호는 0V 전압이 된다. EN과 ENb 신호가 각각 VDD, 0V 전압이 인가되면 MN1과 MN2는 각각 ON과 OFF 상태에 있다. MN1이 ON 상태에 있으면 N1 전압은 0V로 되며, N3 전압은 $VLO + |VTP|$ 가 된다. N3 전압이 $VLO + |VTP|$ 가 되면 cross-coupled PMOS 트랜지스터 중에서 MP4는 ON 상태가 되어 N4 노드 전압을 VHI로 풀업 시킨다. 만약 N4 노드 전압이 VHI 전압이 되면 MP2이 ON되어 N2 전압을 VHI로 풀업 시킨다. N3와 N4 노드 전압이 각각 $VLO + |VTP|$, VHI 전압이 되면 MP5와 MP6는 각각 OFF, ON 상태가 되어 N5, N6 전압은 각

각 VLO, VHI 전압이 된다. 그래서 PMOS 구동회로의 출력신호 S는 VLO 상태가 되어 해당되는 PMOS 구동소자를 ON시킨다. 이와같이 EN 신호가 0V인 경우 해당되는 PMOS 구동소자는 OFF 상태를 유지하는 반면, EN 신호가 VDD인 경우 해당되는 PMOS 구동소자는 ON 상태를 유지한다. 그림 4의 제안된 PMOS 게이트 구동회로도에서 제너 다이오드인 ZD는 slot 인가 시 각 배터리 셀의 전원 노드가 동시에 게이트 구동소자에 연결되지 않더라도 ZD를 통해 플로팅(floating)된 노드의 전압을 charging하기 위함이다. 그리고 MP7과 MP8은 PMOS 다이오드로 N3와 N4 노드의 스위칭 전압이 $VLO - V_0$ 이하로 떨어지지 않도록 클램핑하기 위한 것이다. V_0 는 MP7과 MP8에 있는 pn 접합 다이오드의 contact voltage이다.

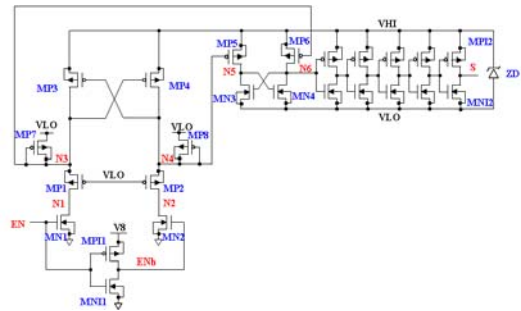


그림 4. 제안된 PMOS 게이트 구동회로도.

Fig. 4. Proposed PMOS gate driver.

그림 4의 PMOS 게이트 구동회로는 EN 신호가 0V인 경우 스위치 신호인 S는 VHI가 되어서 해당되는 PMOS 구동소자는 OFF 상태를 유지하는 반면, EN 신호가 VDD인 경우 스위치 신호인 S는 VLO가 되어서 해당되는 PMOS 구동소자는 ON 상태를 유지한다. 반면 그림 5의 NMOS 게이트 구동회로는 EN 신호가 0V인 경우 스위치 신호인 S는 VLO가 되어서 해당되는 NMOS 구동소자는 OFF 상태를 유지하는 반면, EN 신호가 VDD인 경우 스위치 신호인 S는 VHI가 되어서 해당되는 NMOS 구동소자는 ON 상태를 유지한다.

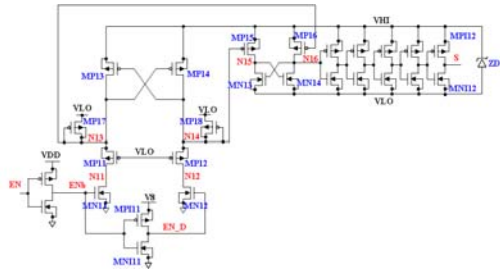


그림 5. 제안된 NMOS 게이트 구동회로도.
Fig. 5. Proposed NMOS gate driver.

그림 3의 블록도에 있는 회로를 이용하여 EN 신호로부터 PMOS 게이트 구동 스위치 신호 (S1, S3, S5, S7, S9, S11)와 NMOS 게이트 구동 스위치 (S2, S4, S6, S8, S10, S12) 사이의 t_{PD} (propagation delay time)를 모의실험하였다. 그리고 그 결과를 이용하여 최소 t_{PD} 와 최대 t_{PD} 사이의 Δt 를 계산한 결과 표 1에서 보는 바와 같이 $V_{CELL}=3.2V$, SS (Slow PMOS, Slow NMOS) model parameter, Temp.=85°C의 slow 모의실험 조건에서 PMOS 게이트 구동 스위치의 Δt 는 13.2ns 이고, NMOS 게이트 구동 스위치의 Δt 는 9.7ns로 양호한 결과를 얻었다. 이 모의실험 결과는 ESS 배터리 셀의 MOS 스위치를 구동하는 회로로 사용하는데 20ns 이하의 Δt 를 만족하는데 문제는 없다.

표 1. 0.18 μm 70V BCD 공정기반에서 MOS 스위치의 t_{PD} simulation 결과.

Table 1. t_{PD} simulation results of MOS switches based on a 0.18 μm 70V BCD process : (a) PMOS gate driver and (b) NMOS gate driver.

(a) PMOS 게이트 구동 스위치

Simulation condition	ON/OFF	S1	S3	S5	S7	S9	S11	Δt
Slow	ON	35.93ns	36ns	36.27ns	36.99ns	37.36ns	39.23ns	3.3ns
	OFF	60.7ns	57.7ns	55.6ns	54.9ns	49.3ns	47.5ns	13.2ns
Fast	ON	9.25ns	9.17ns	9.16ns	9.17ns	9.26ns	9.45ns	0.29ns
	OFF	13.5ns	13.1ns	12.5ns	12ns	11.3ns	10.7ns	2.8ns

(b) NMOS 게이트 구동 스위치

Simulation condition	ON/OFF	S2	S4	S6	S8	S10	S12	Δt
Slow	ON	59.46ns	56.51ns	56.39ns	53.21ns	51.96ns	54.81ns	7.5ns
	OFF	37.7ns	37.1ns	37.6ns	37.9ns	38.9ns	46.8ns	9.7ns
Fast	ON	13.83ns	13.11ns	12.67ns	12.19ns	11.52ns	11.57ns	2.31ns
	OFF	9.6ns	9.6ns	9.5ns	9.5ns	9.7ns	10.7ns	1.2ns

표 1에서 보여지는 t_{PD} 사이의 Δt 시간의 차이는 배터리 셀의 수가 증가하면서 MOS 스위치 수도 증가하고 PMOS 게이트 구동 스위치 중 가장 상단에 있는 S1은 그림 6의 slow 모의실험 결과에서 보는 바와 같다. 배터리 셀을 직렬로 12개를 연결한 경우 그림 4의 W/L 비가 작은 MP4를 통해 N2, N4 노드 전압을 각각 0V, 35.2V에서 38.4V, 38.4V로 풀업 시켜야하므로 시간이 많이 걸린다.

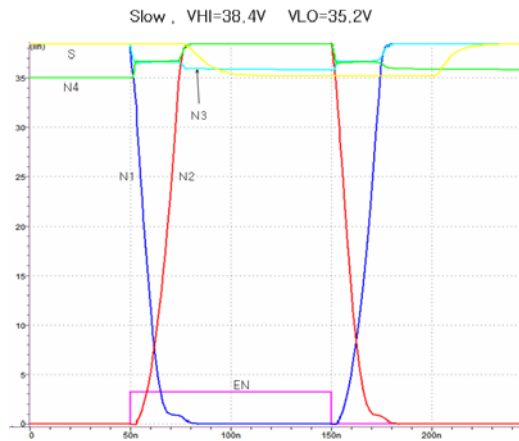


그림 6. ESS 배터리 셀의 PMOS 게이트 구동 스위치 중 top에 위치한 S1의 slow 조건에서 simulation 결과.

Fig. 6. Simulation result under the slow condition of S1 located at the top of PMOS gate drive switch of ESS battery cell.

70V BCD 공정을 이용하여 12개의 ESS 배터리 셀을 직렬로 연결한 경우도 PMOS 게이트 구동 스위치와 유사한 결과를 얻었다. 12개의 ESS 배터리 셀을 직렬로 연결한 경우 NMOS 게이트 구동 스위치 중 가장 상단에 있는 S2는 그림 7의 slow 모의실험 결과에서 보는 바와 같이 그림 5의 W/L 비가 작은

MP14를 통해 N12, N14 노드 전압을 각각 0V, 32V에서 35.2V, 35.2V로 풀업 시켜야하므로 시간이 많이 걸린다.

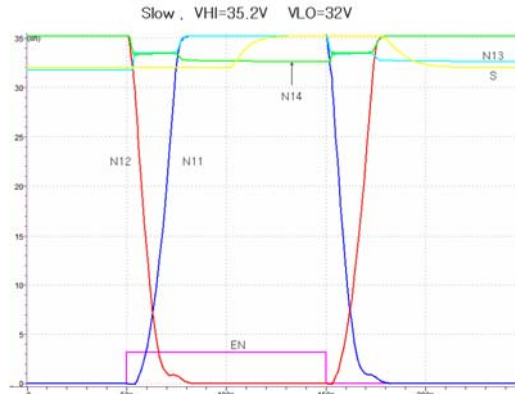


그림 7. ESS 배터리 셀의 NMOS 게이트 구동 스위치 중 top에 위치한 S2의 slow 조건에서 simulation 결과.
 Fig. 7. Simulation result under the slow condition of S2 located at the top of NMOS gate drive switch of ESS battery cell.

배터리 셀의 수가 증가하면서 MOS 스위치 수도 증가하고 PMOS 게이트 구동 스위치 중 가장 상단에 있는 S1은 그림 4의 W/L 비가 작은 MP4를 통해 N2, N4 노드 전압을 각각 0V, 35.2V에서 38.4V, 38.4V로 풀업 시켜야하므로 시간이 많이 걸리는 문제점을 개선하기 위해 그림 8에서 보는 바와 같이 EN 신호가 0V에서 VDD로 스위칭할 때 N2, N4 노드 전압을 각각 0V, 35.2V에서 38.4V, 38.4V로 빠르게 풀업 시키기 위해 구동전류가 큰 PMOS 트랜지스터 (MPF24, MPF25, MPF26)를 추가하였고, EN 신호가 VDD에서 0V로 스위칭할 때 N1, N3 노드 전압을 각각 0V, 35.2V에서 38.4V, 38.4V로 빠르게 풀업 시키기 위해 구동전류가 큰 PMOS 트랜지스터 (MPF21, MPF22, MPF23)를 추가하였다. EN 신호가 0V인 경우는 S_IN과 S_INb는 각각 VLO와 VHI 전압이므로 MPF25 트랜지스터는 ON 상태이고 MPF22는 OFF 상태를 유지하고 있다. 그리고 GATE_ONb 신호는 그림 9에서 보는 바와 같이 PWR_ON 신호가 VDD로 활성화(activation) 되면

PWR_ONb 신호는 $VLO+|VTP|$ 전압이 되어 그림 8의 MPF21과 MPF24 트랜지스터를 ON 상태가 되게 한다. 만약 IN 신호가 0V에서 VDD로 스위칭하는 경우 N1, N3 노드 전압이 빠르게 0V와 $VLO+|VTP|$ 전압으로 떨어지면서 MPF26 PMOS 트랜지스터를 ON 시킨다. 이와같이 구동전류가 큰 PMOS 트랜지스터 (MPF24, MPF25, MPF26)에 의해 N4, S 노드 전압은 빠르게 VHI, VLO 전압으로 각각 스위칭한다. 그림 8의 EN 신호가 VDD인 경우는 S_IN과 S_INb는 각각 VHI와 VLO 전압이므로 MPF22 트랜지스터는 ON 상태이고 MPF25는 OFF 상태를 유지하고 있다. 그리고 PWR_ON 신호가 VDD인 경우는 그림 8의 MPF21과 MPF24 트랜지스터는 항상 ON 상태를 유지한다.. 만약 IN 신호가 VDD에서 0V로 스위칭하는 경우 N2, N4 노드 전압이 빠르게 0V와 $VLO+|VTP|$ 전압으로 떨어지면서 MPF23 PMOS 트랜지스터를 ON 시킨다. 이와같이 구동전류가 큰 PMOS 트랜지스터 (MPF21, MPF22, MPF23)에 의해 N3, S 노드 전압은 빠르게 VLO, VHI 전압으로 각각 스위칭한다. 그림 10의 스위칭 시간이 개선된 NMOS 게이트 구동회로도 그림 8의 PMOS 게이트 구동회로와 유사하게 동작한다.

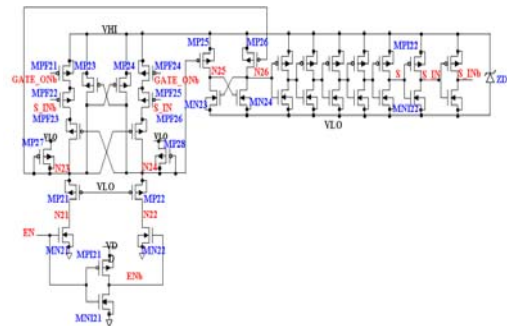


그림 8. 스위칭 시간이 개선된 제안된 PMOS 게이트 구동회로도.
 Fig. 8. A proposed PMOS gate driver with improved switching time.

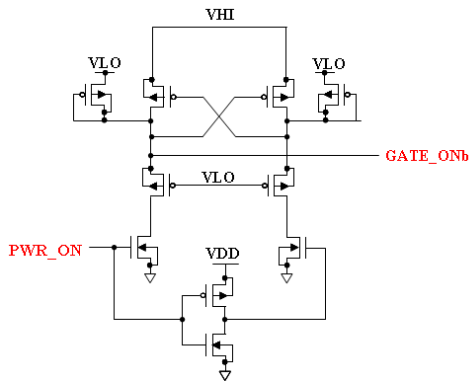


그림 9. Gate ONb 회로도.
Fig. 9. Gate ONb circuit.

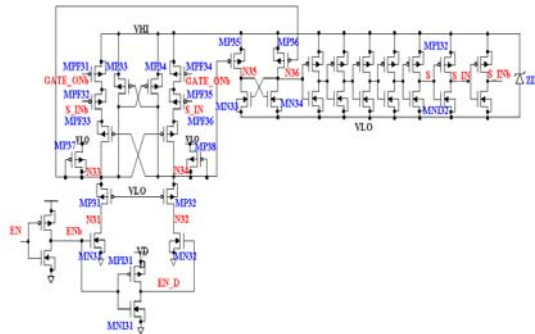


그림 10. 스위칭 시간이 개선된 제안된 NMOS 게이트 구동회로도.
Fig. 10. A proposed NMOS gate driver with improved switching time.

그림 3의 블록도에 있는 회로에 스위칭 시간이 개선된 그림 8의 PMOS 게이트 구동회로와 그림 10의 NMOS 게이트 구동회로를 이용하여 EN 신호로부터 PMOS 게이트 구동 스위치 신호 (S1, S3, S5, S7, S9, S11)와 NMOS 게이트 구동 스위치 (S2, S4, S6, S8, S10, S12) 사이의 t_{PD} 를 모의실험하였다. 그리고 그 결과를 이용하여 최소 t_{PD} 와 최대 t_{PD} 사이의 Δt 를 계산한 결과 표 2에서 보는 바와 같이 $V_{CELL}=3.2V$, SS (Slow PMOS, Slow NMOS) model parameter, Temp.=85°C의 slow 모의실험 조건에서 PMOS 게이트 구동 스위치의 Δt 는 8.9ns 이고, NMOS 게이트 구동 스위치의 Δt 는 9.9ns로

양호한 결과를 얻었다. 이 모의실험 결과는 ESS 배터리 셀의 MOS 스위치를 구동하는 회로로 사용할 때 그림 8과 그림 10의 스위칭 시간이 개선된 회로를 이용한 MOS 스위치 구동 회로를 사용하므로 Δt 를 개선할 수 있다.

표 2. 0.18 μm 70V BCD 공정기반에서 그림 8과 그림 10의 스위칭 시간이 개선된 회로를 이용한 MOS 스위치의 t_{PD} 모의실험 결과.

Table 1. t_{PD} simulation results of MOS switches with improved switching times in Figs. 8 and 10 based on a 0.18 μm 70V BCD process : (a) PMOS gate driver and (b) NMOS gate driver.

(a) PMOS 게이트 구동 스위치

Simulation condition	ON/OFF	S2	S4	S6	S8	S10	S12	Δt
Slow	ON	55.08ns	55.99ns	54.17ns	51.55ns	48.63ns	55.41ns	7.38ns
	OFF	38ns	37.6ns	38ns	38.5ns	39.2ns	47.5ns	9.9ns
Fast	ON	12.79ns	12.44ns	11.74ns	11.64ns	11.16ns	11.61ns	1.63ns
	OFF	9.9ns	9.7ns	9.7ns	9.8ns	9.9ns	11ns	1.3ns

(b) NMOS 게이트 구동 스위치

Simulation condition	ON/OFF	S2	S4	S6	S8	S10	S12	Δt
Slow	ON	55.08ns	55.99ns	54.17ns	51.55ns	48.63ns	55.41ns	7.38ns
	OFF	38ns	37.6ns	38ns	38.5ns	39.2ns	47.5ns	9.9ns
Fast	ON	12.79ns	12.44ns	11.74ns	11.64ns	11.16ns	11.61ns	1.63ns
	OFF	9.9ns	9.7ns	9.7ns	9.8ns	9.9ns	11ns	1.3ns

그림 11은 ESS 배터리 셀의 스위칭 시간이 개선된 PMOS 게이트 구동 스위치 중 상단에 위치한 S1의 slow 조건에서 모의실험 결과를 보여주고 있으며, 그림 12는 ESS 배터리 셀의 스위칭 시간이 개선된 NMOS 게이트 구동 스위치 중 상단에 위치한 S2의 slow 조건에서 simulation모의실험 결과를 보여주고 있다.

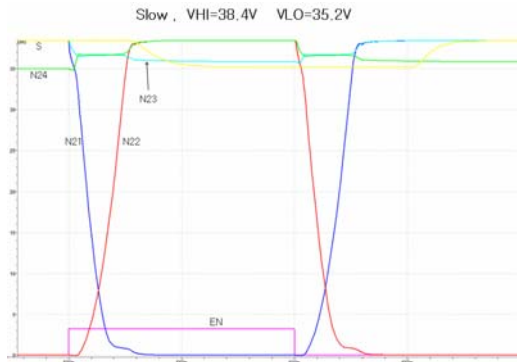


그림 11. ESS 배터리 셀의 스위칭 시간이 개선된 PMOS 게이트 구동 스위치 중 상단에 위치한 S1의 slow 조건에서 모의실험 결과.

Fig. 11. Simulation result in slow condition of S1 located at top of PMOS gate drive switch with improved switching time of ESS battery cell.

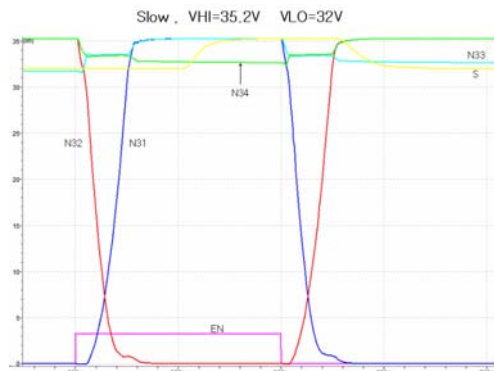


그림 12. ESS 배터리 셀의 Switching time이 개선된 NMOS 게이트 구동 스위치 중 top에 위치한 S2의 slow 조건에서 simulation 결과.

Fig. 12. Simulation result in slow condition of S2 located at top of NMOS gate drive switch with improved switching time of ESS battery cell.

그림 13은 0.18 μm 70V BCD 공정을 이용하여 설계된 게이트 구동 칩의 레이아웃 이미지를 보여주고 있으며, 구동 칩의 레이아웃 면적은 1860 μm × 2201.5 μm (=4.095mm²)이다.

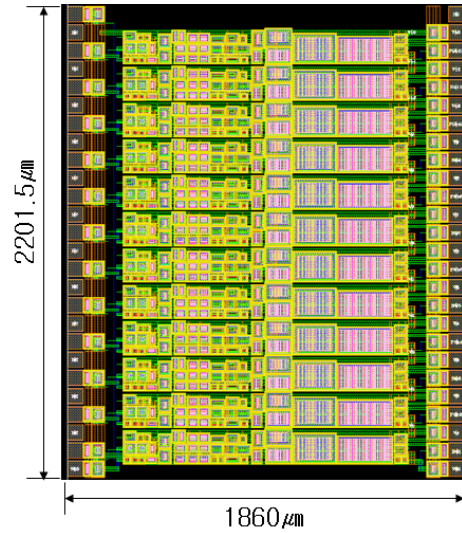


그림 13. 0.18 μm 70V BCD 공정을 이용하여 설계된 게이트 구동 칩의 레이아웃 이미지.

Fig. 13. Layout image of the designed gate driver based on a 0.18 μm 70V BCD process.

III. 결론

전기 선박 등 여러 배터리 셀을 직렬로 연결해서 사용하는 BMS에서 사용 가능 용량을 최대화시키기 위하여 각 셀의 전압을 같도록 맞춰주는 셀 밸런싱 기술이 필요하다. 다중 권선 변압기를 사용하는 능동 셀 밸런싱 회로에서 셀 간 직접적으로 에너지를 전달하는 밸런싱 회로는 임의의 셀에 저장된 에너지를 변압기에 저장하여 목표로 하는 셀에 직접적으로 전달하므로 밸런싱 속도를 빠르게 할 수 있다. 리튬이온 배터리의 단일 셀은 3.2V ~ 4.2V의 공정 전압을 가지고 있으며, PMOS 스위치와 NMOS 스위치를 구동하기 위한 게이트 구동 칩은 PMOS 스위치와 NMOS 스위치 개수 만큼 TLP2748 포토커플러와 TLP2745 포토커플러가 필요하므로 원가가 증가하고 집적도가 떨어진다.

그래서 본 논문에서는 포토커플러를 사용하여 PMOS와 NMOS 스위칭소자를 구동하는 대신 70V의 고전압 소자가 지원되는 BCD 공정기반의 게이트 구동회로를 단일 칩에 집적하므로 원가 감소 및 집적도

를 증가시킬 수 있다. 본 논문에서는 PMOS 게이트 구동회로와 NMOS 게이트 구동회로, 스위칭 시간이 개선된 PMOS 게이트 구동회로와 NMOS 게이트 구동회로를 제안하였다. 스위칭 시간이 개선된 PMOS 게이트 구동회로와 NMOS 게이트 구동회로를 이용하여 EN 신호로부터 PMOS 게이트 구동 스위치 신호 (S1, S3, S5, S7, S9, S11)와 NMOS 게이트 구동 스위치 (S2, S4, S6, S8, S10, S12) 사이의 t_{PD} 를 모의실험하여 Δt 를 계산한 결과 표 2에서 보는 바와 같이 $V_{CELL}=3.2V$, SS (Slow PMOS, Slow NMOS) model parameter, Temp.=85°C의 slow 모의실험 조건에서 PMOS 게이트 구동 스위치의 Δt 는 8.9ns 이고, NMOS 게이트 구동 스위치의 Δt 는 9.9ns로 양호한 결과를 얻었다. 이 모의실험 결과는 ESS 배터리 셀의 MOS 스위치를 구동하는 회로로 사용할 때 스위칭 시간이 개선된 회로를 이용한 MOS 스위치 구동 회로를 사용하므로 Δt 를 개선할 수 있다.

REFERENCES

[1] J. H. Kim, J. W. Shin, C. Y. C, B. H. Cho, "Stable configuration of a Li-ion series battery pack based on a screening process for improved voltage/SoC balancing," IEEE Trans. Power Electronics, vol. 27, pp. 411-424, Jan. 2012.

[2] M. Daowd, N Omar, P Van Den Bossche, J Van Mierlo, "Passive and active battery balancing comparison based on MATLAB simulation," 2011 IEEE Vehicle Power and Propulsion Conference, pp. 1-7, Oct. 2011.

[3] J. Qi, D Dah-Chuan Lu, "Review of battery cell balancing techniques," in Proceedings of the Power Engineering Conference (AUPEC), pp. 1-6, Sep. 2014.

[4] S. J. Lee, M. H. Kim, J. W Baek, J. H. Jung, "Transformer design methodology to improve transfer efficiency of balancing current in active cell balancing circuit using multi-winding transformer," Trans. of the Korean Institute of Power Electronics, pp.

247-255, Aug. 2018.

[5] J. Xu, S Li, C Mi, Z Chen, B Cao, "SOC based battery cell balancing with a novel topology and reduced component count", Energies, vol. 6, pp. 2726-2740, May 2013.

[6] Chang-Yong Lim, Seung-Jung Shin, 'Demand survey of spectrum information and a study on plan for disclosing spectrum information to the public', The Journal of The Institute of Internet, Broadcasting and Communication VOL. 17 No. 1, 2017

저자약력

김 영 희(Young-Hee Kim)

[중신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야>

메모리 IP 설계, SoC 설계

김 홍 주(Hong-Zhou Jin)

[학생회원]



- 2017년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2017년 9월 ~ 현재 : 창원대학교 전자공학과 석·박사과정

<관심분야>

NVM IP 설계

하 윤 규(Yoon-Gyu Ha)

[학생회원]



- 2017년 2월 : 창원대학교 전자공학 학과 (공학사)
- 2017년 3월 ~ 현재 : 창원대학교 전자공학과 석사과정

〈관심분야〉

NVM IP 설계

하 판 봉(Pan-Bong Ha)

[중신회원]



- 1981년 2월 : 부산대학교 전기공학 학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학 학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학 학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉

임베디드 시스템, SoC 설계

백 주 원(Ju-Won Baek)

[정회원]



- 1990년 2월 : 경북대학교 전기공학 학과 (공학사)
- 1993년 2월 : 경북대학교 전기공학 학과 (공학석사)
- 2002년 2월 : 경북대학교 전기공학 학과 (공학박사)
- 2006년 ~ 2008년 과학기술연합대학원대학교 겸임교수
- 1993년 2월 ~ 현재 : 한국전기연구원 책임연구원

〈관심분야〉

전력전자, 직류배전