

광대역 디지털 수신기 동적 범위 확장을 위한 A/D 변환모듈 연구

A/D Conversion Module for Dynamic Range Expansion of Wideband Digital Receiver

고 민 호 · 김 형 주

Min-Ho Go · Hyoung-Joo Kim

요 약

본 논문은 광대역 디지털 수신기의 동적 범위 개선을 위한 A/D 변환 모듈을 설계 및 제작하였다. 동적 범위 확장을 위한 A/D 변환 모듈은 입력신호 레벨에 따라 정상 경로와 증폭 경로로 신호를 분기하여 디지털 신호로 변환하는 방식이다. 제작 및 측정 결과, A/D 변환 모듈의 정상 경로는 입력 레벨 -57 dBm ~ -12 dBm 신호를 디지털 신호로 변환하고, 증폭 경로는 입력 레벨 -30 dBm ~ $+12$ dBm 신호를 왜곡 없이 디지털 신호로 변환하여 69 dB의 입력 동적 범위 특성을 나타내었다. 또한 순시 대역폭 100 MHz에서 일정한 출력 특성을 나타내고 있음을 확인하였다.

Abstract

In this paper, an A/D conversion module was designed and fabricated to improve the dynamic range of wideband digital receivers. The A/D conversion module for expanding the dynamic range converts signals into a digital signal by branching the input signal into the normal path and the amplification path according to the input signal level. Test results of the fabricated module show that the normal path of the A/D conversion module converts an input level of -57 dBm to -12 dBm into a digital signal, and the amplification path converts an input level of -30 dBm to $+12$ dBm into a digital signal without distortion. This translates to an input dynamic range characteristic of 69 dB. Moreover, it is confirmed that the constant output characteristic is exhibited at an instantaneous bandwidth of 100 MHz.

Key words: Dynamic Range, Stacked ADC, Digital Receiver, Radar, Wideband

I. 서 론

최신 레이더 시스템은 다기능(multi-function), 다임무(multi-mission) 추세로 발전함에 따라 높은 수신감도 및 클러터 억압 특성이 요구되고 있으며, 이는 레이더 수신기 설계에 많은 제약을 초래하게 되었다. 고출력 장거리 레이더 시스템의 경우, 80~100 dB 클러터 대 잡음비(clutter-to-noise

ratios: CNR) 특성을 요구하고 있으며, 이러한 표적을 선형적으로 처리하기 위해 상용 아날로그-디지털 변환기(Analog-to-Digital convertor, ADC)의 동적 범위보다 20~40 dB 높은 동적 범위를 처리할 수 있는 수신기를 필요로 한다^[1].

레이더 디지털 수신기의 동적 범위는 적용된 ADC 동적 범위 성능에 많은 영향을 받는다. ADC 최소 신호 레벨과 최대 신호 레벨 범위에 입력되는 수신 신호는 왜곡

한화시스템(Hanwha Systems)

· Manuscript received October 4, 2018 ; Revised November 27, 2018 ; Accepted December 15, 2018. (ID No. 20181004-103)

· Corresponding Author: Min-Ho Go (e-mail: minho0423.go@hanwha.com)

없이 디지털 신호로 변환 가능하지만, 입력 범위를 벗어나는 수신 신호는 비선형 동작으로 인해 신호 왜곡을 초래하게 된다. 일반적으로 ADC 입력 동적 범위보다 넓은 수신 범위를 구현하기 위해서 STC(Sensitivity Time Control), AGC (Automatic Gain Control)와 같은 이득 제어를 통해 수신 입력 범위를 ADC 입력 범위로 조절하는 방법과 특정 레벨 이상의 신호를 제약하는 리미터 방법이 적용되고 있다. 클러터 등 신호 레벨을 특정 레벨 이하로 제한하는 리미터 방식은 진폭 제한으로 인한 비선형 특성에 의한 신호 왜곡을 초래하는 단점을 갖는다. RF AGC 이득제어 방식은 포화 방지를 위한 이득값 설정을 위해 천이시간이 필요하며, 이는 CPI(Coherent Pulse Interval) 구간 동안 감도 저하 및 수신구간 감소를 초래하며, STC 방식은 Low PRF(Pulse Repetition Frequency)을 사용하는 레이더 운용에서 제한적으로 적용할 수 있으며, 단거리 탐지성능 감소 및 펄스압축 부엽이 증가하는 단점을 갖는다. 이러한 단점을 극복하기 위해서 입력 신호를 여러 개의 경로로 분기하여 각 경로별로 ADC를 적용하는 적층 구조(stacked) ADC 방식이 제안되었다^[2].

본 논문에서는 수신 동적 범위 확장을 위해 두 개의 경로를 갖는 A/D 변환 모듈을 설계 및 제작하였다. II장에서는 A/D 변환 모듈의 동작 원리 및 버짓 설계에 대해 간략하게 설명하였고, III장에서 아날로그-디지털(A/D) 변환 모듈의 설계 방법에 대해서 기술하였다. IV장에서는 제작하여 측정된 결과를 정리하였고, 마지막으로 V장에서는 실험 결과를 바탕으로 결론을 맺었다.

II. 동작 및 레벨 버짓

적층구조 ADC를 적용한 A/D 변환 모듈은 동적 범위 확장을 위해 서로 다른 수신이득을 갖는 N 개의 병렬 경로를 구성하여 각 경로 간 이득편차 ΔdB 를 설정하여 입력 신호범위를 증가시킬 수 있으며, 이론적으로 식 (1)과 같이 신호대잡음비(SNR)를 개선시킬 수 있다^{[3],[4]}.

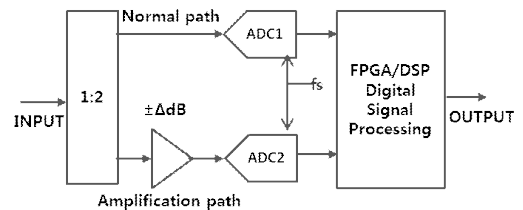
$$SNR(dB) = 10\log_{10}(N) \quad (1)$$

여기서, N =병렬 경로의 개수

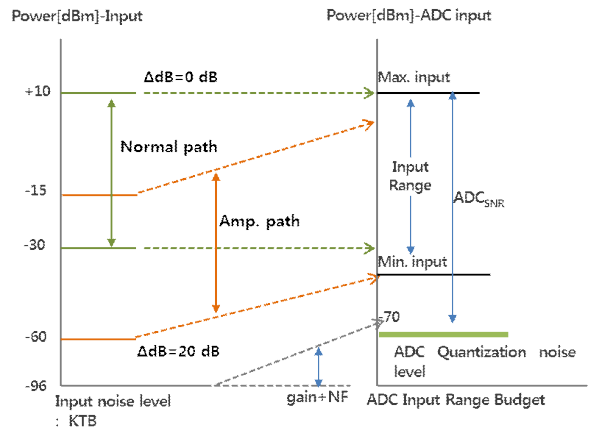
다수의 병렬 경로에서 발생하는 경로 간 잡음 성분은

비상관(uncorrelated) 특성을 갖기 때문에 경로 개수 증가에 따라 SNR 특성이 개선되지만 경로 간 스퓨리어스 성분은 상관(correlated) 특성을 갖기 때문에 병렬 경로의 개수는 제한적으로 구성한다.

본 연구에서는 그림 1(a)와 같이 입력 신호를 손실없이 ADC1으로 인가하는 정상 경로와 입력 신호를 경로 이득 (ΔG) 20 dB 증폭하여 ADC2로 인가하는 증폭 경로로 구성하였다. 입력 신호 범위 $-30 \text{ dBm} \sim +10 \text{ dBm}$ 신호는 정상 경로를 통해 디지털 신호로 변환되고, 입력신호 범위 $-60 \text{ dBm} \sim -15 \text{ dBm}$ 신호는 증폭 경로를 통해 디지털 신호로 변환하여 단일 ADC 입력 범위보다 넓은 입력 동적 범위를 갖도록 구성하였다. A/D 변환 모듈은 ADC의 입력 동적 범위보다 넓은 70 dB 입력 동적 범위를 갖도록 구현할 수 있다. 정상 경로와 증폭 경로 사이에는 15 dB 중첩 영역을 설정하여 신호 손실이 발생하지 않도록



(a) 구성도
(a) Block diagram



(b) 신호레벨 버짓
(b) Signal level budget

그림 1. 동적 범위 확장을 위한 구성도
Fig. 1. Configuration for dynamic range extension.

설정하였다. 그림 1(b)는 신호레벨 버짓 결과를 나타내었다. 정상 경로와 증폭 경로의 신호 레벨 계산은 신호처리 기에서 수행하며, 계산된 신호 레벨을 바탕으로 디지털 신호처리를 수행하기 위한 적절한 경로를 선택하도록 하였다. 입력신호와 클럭신호는 전력분배기(power divider)를 사용하여 각 경로로 분기하여 ADC로 입력하였다.

III. 설 계

정상 경로는 입력신호가 ADC로 직접 입력되는 경로로 단일 중간주파수 신호를 차동 신호(differential signal)로 변환하기 위한 발룬(balun) 및 아날로그 입력 임피던스 50 Ω과 ADC 입력 임피던스를 정합하기 위한 정합회로로 구성된다. 그림 2(a)는 정상 경로의 구성도 및 설계를 위한 등가회로를 나타내었다.

입력 정합회로(matching circuit) 설계를 위해서 ADC 입력 임피던스는 차동 저항과 커패시턴스로 등가적으로 나타내었고, ADC 내부 본딩(bonding) 및 패드(PAD)에 의한

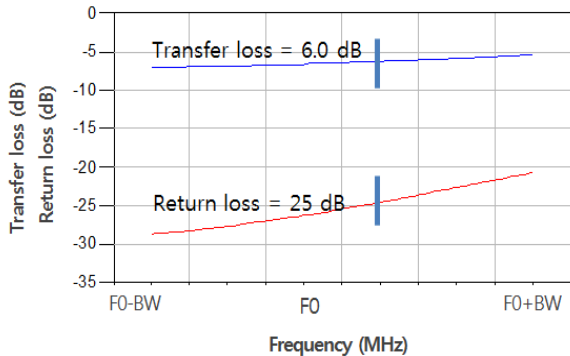
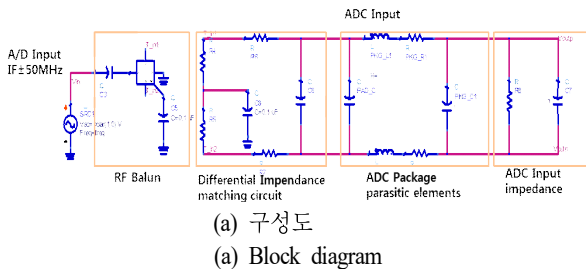


그림 2. 정상 경로 설계
Fig. 2. Normal path design.

기생성분은 병렬 저항 및 직렬 저항/인덕턴스 성분으로 모델링하였다. 차동 구조의 입력 정합회로의 최적화를 통해 그림 2(b)에서 보듯이 순시대역폭 100 MHz에서 반사손실 25 dB 이하, 전달손실 6 dB 이하 특성을 갖도록 설계하였다. 입력 신호의 차동신호 변환을 위한 발룬은 1:1 변환비를 갖는 ADT 1-IWT를 사용하였다.

그림 3(a)는 증폭 경로 구성도를 나타내었다. 증폭 경로는 증폭이득 및 저잡음 특성을 위해 2단 구조의 저잡음 증폭기를 적용하였고, 증폭 경로의 입력 범위에서 2번째 증폭기의 포화 방지하기 위해 손실 PAD를 삽입하였다. 정상 경로와 동일한 방식으로 ADC 입력정합회로를 설계하였고, 입력정합회로의 전달 손실값을 감쇄기로 등가적으로 나타내었다.

입력신호 레벨 증가에 따라 선형적으로 ADC로 입력되는 신호레벨이 증가하므로 특정 입력전력 이상에서 2번째 증폭기의 최대 입력 레벨 이상으로 동작되는 것을 방지하기 위해 리미터를 증폭 경로 전단에 배치하였다. 전력분배기는 입력신호를 정상 경로와 증폭 경로로 분배하는 기능을 수행하며, 저역통과필터는 대역제한을 통해 잡음

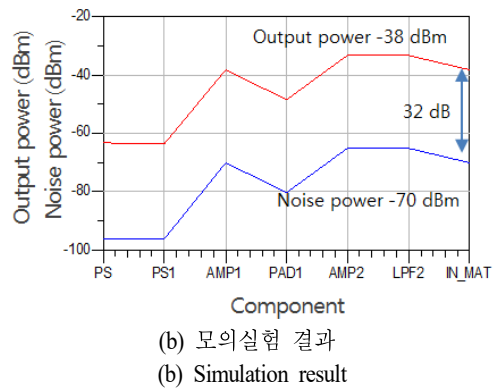
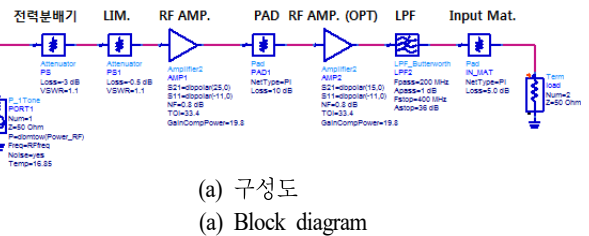


그림 3. 증폭 경로 설계
Fig. 3. Amplification path design.

레벨 억압 및 고조파 신호 제거 기능을 수행한다. 그림 3(b)는 증폭 경로에 대한 모의실험 결과를 나타낸 것으로 증폭 경로는 증폭이득(ΔG) 20 dB, 잡음지수 4.3 dB 및 OIP3 27 dBm 특성을 갖도록 설계하였고, 증폭 경로의 출력 잡음 레벨은 ADC 양자화 잡음보다 6 dB 마진을 갖도록 하였다.

ADC SNR 특성은 클럭 신호의 지터(Jitter) 특성, 슬루 레이트(skew rate) 특성 및 잡음 레벨에 의해 영향을 받는다. 그림 4(a)는 클럭 구동 회로의 구성도를 나타낸 것으로 클럭 구동 경로에 잡음 대역폭 제한 및 고조파 억압을 위해 대역통과필터(BPF)를 구성하였다. BPF에 의해 외부 클럭 펄스의 고조파 성분이 억압되어 클럭 신호의 슬루 레이트가 감소한다. 이를 보상하기 위해 증폭회로를 삽입하였다. 증폭회로는 기본 클럭 주파수의 5차 고조파 성분에서도 동작 가능한 주파수 특성, 잡음 레벨 감소를 위해 낮은 잡음지수 특성 및 외부 클럭 신호에 의해 포화되지 않도록 선형성 특성을 고려하여 선정하였다. 입력 PAD는 외부 주입 신호와의 레벨 조정을 위해 적용하였고, 전력 분배기는 정상 경로와 증폭 경로의 각 ADC에 클럭 신호

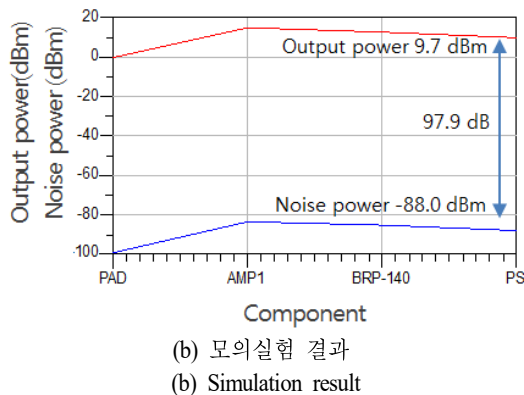
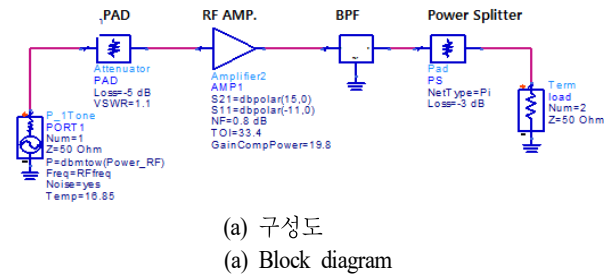


그림 4. 클럭 구동경로 설계
Fig. 4. Clock driving path design.

를 분배하기 위해 적용하였다. 클럭 구동회로의 출력 신호는 차동 구조로 변환하여 ADC 클럭 단자로 인가하여 짝수 고조파 억압 및 공통모드 잡음 성분을 억압할 수 있도록 하였다. 클럭 구동 경로는 이득 10 dB, 잡음지수 6.0 dB, OIP3 28 dBm 및 ADC 입력 잡음 레벨 -88 dBm을 갖도록 설계하였으며, 그림 4(b)는 클럭 구동경로의 신호 레벨 버짓 및 주파수 전달 특성을 나타내었다.

IV. 제작 및 시험

그림 5는 제작된 A/D 변환 모듈 형상을 나타내었다. 다층기판을 적용하여 아날로그 신호, 디지털 신호 및 전원 신호를 분리하여 신호 간 간섭을 최소화하였다. 입력 신호는 전력분배기를 통해 정상 경로와 증폭 경로로 분기되며, 각 경로 간 신호 누설에 의한 영향을 고려하여 이격 설계를 적용하였다. 클럭 신호는 A/D 변환 모듈이 장착되는 디지털 보드에 입력되며, 선로 길이에 따른 ADC 간 지연을 최소화하도록 설계하였다.

제작한 모듈의 성능 시험을 위해 A/D 변환 모듈을 FPGA 디지털 보드에 장착하여 ADC 출력 데이터를 Xilinx사의 Chip Scope를 이용하여 측정하였다. 입력 신호 및 외부 기준 신호는 상용 계측기를 이용하여 주입하였고, 입력 신호 레벨을 가변하면서 ADC 출력 데이터를 측정하여 정상 경로와 증폭 경로의 입력 범위를 확인하였다.

그림 6(a)는 클럭 구동회로의 출력 스펙트럼을 측정한 것으로 BPF에 의해서 고조파 성분은 억압되었으며, CNR

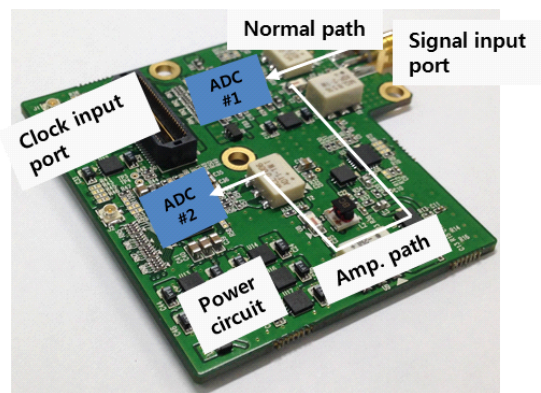
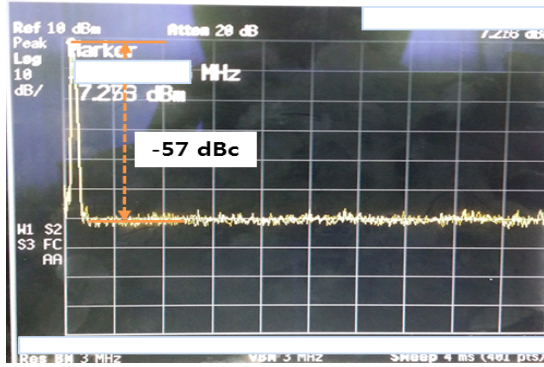
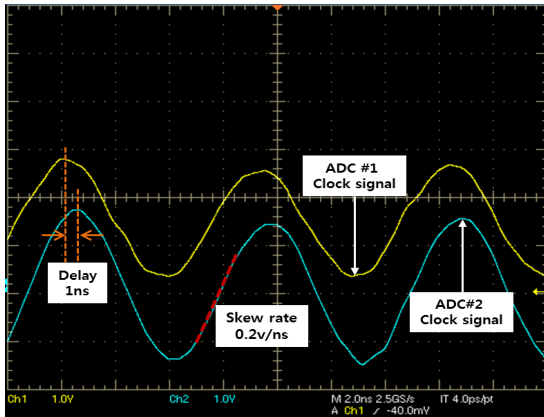


그림 5. 모듈 제작 형상
Fig. 5. Photograph of the fabricated module.



(a) 스펙트럼 측정결과
(a) Spectrum measurement result



(b) 파형 측정 결과
(b) Waveform measurement result

그림 6. 클럭경로 측정 결과
Fig. 6. Measurement result of clock path.

(Carrier-to-Noise Ratio)은 -57 dBc로 모의실험 결과보다 증가된 잡음 레벨 특성을 나타내었다. 잡음 레벨 증가는 FPGA 디지털 보드에 구현된 클럭 구동회로의 아날로그 접지면 제약에 따른 것으로 판단된다. 출력 구동회로의 출력 파형은 그림 6(b)에서 보듯이 0.2 v/ns 슬루레이트 특성의 정현파 형태를 나타내고 있다. 두 클럭 신호간 지연은 1 ns 발생되었고, 두 클럭 간 진폭차이는 발생되었지만 ADC 클럭 구동을 위한 최소 레벨은 충족하고 있음을 확인하였다.

입력 레벨에 따라 정상 경로와 증폭 경로의 입력 레벨 범위를 시험하기 위해서 입력 레벨에 따른 A/D 변환모듈의 출력 코드값을 측정한 결과를 그림 7에 나타내었다. 가

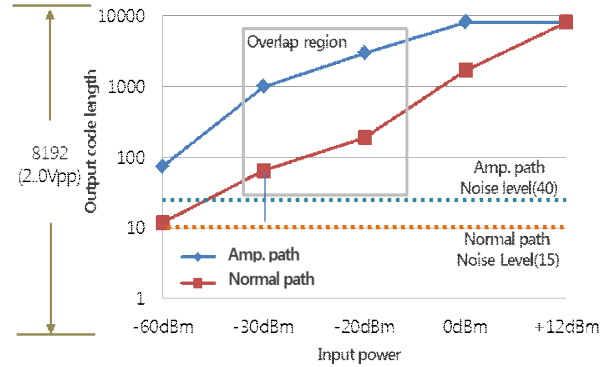


그림 7. 입력 레벨에 따른 A/D 모듈 출력 특성
Fig. 7. Output performance of the A/D module with respect to input level.

로측은 입력 레벨이며, 세로축은 ADC 입력 레벨의 디지털 출력 코드값을 나타낸 것으로 출력 코드 범위는 $0 \sim 8,192$ 값을 갖는다. 정상 경로는 시스템 SNR를 고려했을 때 최소 입력 레벨 -35 dBm, 최대 입력 레벨 $+12$ dBm 영역에서 동작하고 있으며, 증폭 경로는 입력 레벨 -57 dBm ~ -12 dBm을 가지며, 두 영역 간 중첩 영역은 23 dB 특성을 나타내고 있다. 적용한 ADC LSB는 0.00024 V이므로 정상 경로의 잡음 레벨은 출력 코드값 15를 기준으로 0.0037 V($15 \times \text{LSB}$), 증폭 경로의 잡음 레벨은 출력 코드값 40 기준으로 0.0098 V를 나타내었다.

그림 8은 고정된 입력 레벨 기준으로 입력 주파수 범위에 따른 A/D 변환 모듈의 출력 코드값 특성을 나타내었

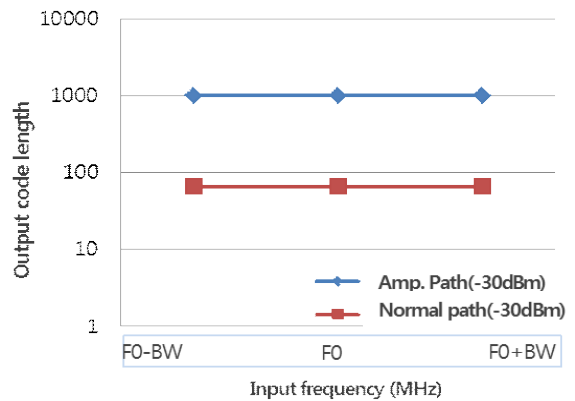


그림 8. 주파수에 따른 A/D 모듈 특성
Fig. 8. A/D module performance with respect to frequency.

다. 입력 레벨 -30 dBm 기준으로 순시 대역폭 100 MHz 범위에서 정상 경로는 출력 코드값 65 , 증폭 경로는 출력 코드값 $1,000$ 을 일정하게 유지하고 있음을 확인하였다.

V. 결 론

본 논문에서는 광대역 수신기의 입력 동적 범위를 확장하기 위해서 정상 경로와 증폭 경로로 구성된 A/D 변환 모듈을 설계 및 제작하였다.

제작한 A/D 변환 모듈은 입력 레벨 -57 dBm ~ -12 dBm 신호는 증폭 경로, 입력 레벨 -30 dBm ~ $+12$ dBm 신호는 정상 경로를 통해 디지털 신호로 변환하여 동적 범위 69 dB 특성을 나타내어 단일 ADC의 입력 범위를 확장할 수 있음을 확인하였다.

하지만 레이다 및 통신 시스템에 적용하기 위해서는 경로 간 이득과 위상편차를 보정 후 단일 데이터로 통합하는 신호처리 기법과 경로 간 누설에 의한 간섭을 최소화하기 위한 하드웨어 구성 및 신호처리 기법에 대한 추가적인 연구가 필요할 것으로 판단된다.

고 민 호 [한화시스템/수석연구원]



1997년 2월: 인하대학교 전자공학과 (공학석사)
 2009년 2월: 인하대학교 전자공학과 (박사)
 2010년 2월: 차세대 항공전자통신인력양성사업단 연구원

2010년 7월~현재: 한화시스템 수석연구원
 [주 관심분야] 광대역 송수신 시스템, 능동위상배열 레이다, MMIC/RFIC

References

- [1] V. Greger-Hansen, S. M. Brocket, and P. E. Cahill, "A stacked A-to-D converter for increased radar signal processor dynamic range," in *Proceedings of the 2001 Radar Conference*, Atlanta, GA, USA, 2001, pp. 169-174.
- [2] S. R. Duncan, V. Gregers-Hansen, and J. P. McConnell, "A stacked analog-to-digital converter providing 100 dB of dynamic range," in *IEEE International Radar Conference*, Arlington, VA, May 2005, pp. 31-36.
- [3] P. M. Cruz, N. B. Carvalho, "Enhanced architecture to increase the dynamic range of SDR receivers," in *IEEE Radio and Wireless Symposium*, Phoenix, AZ, Jan. 2011, pp. 331-334.
- [4] G. Ulbricht, "Dynamic range extension for HF receiver frontend," in *IEEE Radio and Wireless Symposium(RWS)*, Austin, TX, 2013, pp. 226-228.

김 형 주 [한화시스템/센터장]



1989년 2월: 광운대학교 전자통신공학과 (공학석사)
 1992년 2월: 성균관대학교 전자공학과 (공학석사)
 1989년 3월~1998년 2월: 삼성전자 연구원

1998년 3월~2006년 2월: Radionix 이사
 2006년 3월~2008년 12월: M&M Lynx 수석연구원
 2009년 1월~현재: 한화시스템 AESA 레이다개발센터 센터장
 [주 관심분야] 안테나, RF 시스템, 레이다 시스템 등