

대형 OLED 디스플레이 패널 구동에 적합한 밴드갭 레퍼런스 회로 설계 및 결과

문종일*·조상준*·조의식*·남 철**·권상직*
*† 가천대학교 전자공학과, ** (주)실리콘하모니

Bandgap Voltage Reference Circuit Design Technology Suitable for Driving Large OLED Display Panel

Jong Il Moon*, Sang Jun Cho*, Eou Sik Cho*, Chul Nam** and Sang Jik Kwon*†

*† Department of Electronics Engineering, Gachon University

** Silicon Harmony Co., Ltd

ABSTRACT

In this paper, a CMOS bandgap voltage reference that is not sensitive to changes in the external environment is presented. Large OLED display panels need high supply voltage. MOSFET devices with high voltage are sensitive to the output voltage due to the channel length modulation effect. The self-cascode circuit was applied to the bandgap reference circuit. Simulation results show that the maximum output voltage change of the basic circuit is 77mV when the supply voltage is changed from 10.5V to 13.5V, but the proposed circuit change is improved to 0.0422mV. The improved circuit has a low temperature coefficient of 9.1ppm/°C when changing the temperature from -40°C to 140°C. Therefore, the proposed circuit can be used as a reference voltage source for circuits that require a high supply voltage.

Key Words : Bandgap Voltage Reference, Self-cascode, OLED Driving Circuit

1. 서 론

OLED(Organic Light Emitting Diodes) 구동을 위한 아날로그 회로에서는 주변 환경에 영향을 받지 않는 정확한 기준 전압원이 필요하다. 이런 기준전압원으로 밴드갭 레퍼런스 회로가 많이 사용되고 있다. 밴드갭 레퍼런스 회로는 외부환경에 의해 민감하게 출력이 변화하지 않기 때문에 아날로그 시스템과 디지털 시스템에서 중요한 부분으로 기준 전압원이나 기준 전류원으로 사용되고 있다.

기본적인 밴드갭 레퍼런스 회로에서 생성되는 출력단의 기준전압은 1.25V 정도이고, 전원에 공급되는 전압은 1.4V 이상에서 정상 동작하므로 공급되는 전압이 1V 이

하의 저전압에서는 사용할 수 없다[1,2].

밴드갭 레퍼런스 회로는 BJT(Bipolar Junction Transistor)의 절대온도에 따라 반비례하여 열전압이 일정하게 변하는 CTAT(Complementary to absolute temperature)전류 및 절대온도에 따라 비례해서 열전압이 일정하게 변하는 PTAT(Proportional to absolute temperature) 전류를 가산과 감산을 통해 온도 변화에 민감하지 않으며 저항을 이용하여 기준 전압을 생성한다[3,4].

기존의 밴드갭 레퍼런스 회로는 낮은 전원 전압이 공급되는 중소형 OLED 디스플레이 패널 구동을 위해 충분한 특성을 가지고 있지만 대형 OLED디스플레이 패널의 구동을 위해서는 높은 전원 전압의 공급이 필요하다. MOSFET 소자는 높은 전압이 공급되면 채널길이변조효과에 의하여 공급되는 전압의 변화에 출력전압이 민감하

†E-mail: sjkwon@gachon.ac.kr

게 변화하게 된다.

본 논문에서는 이러한 단점을 개선하여 공급되는 전원 전압이 변화하여도 출력전압에 민감하지 않도록 Self-cascode 회로를 적용하여 개선된 밴드갭 레퍼런스 회로를 설계하였다. 기존 회로와 동일하게 BJT 소자를 이용하여 온도 변화가 회로에 미치는 영향을 최소화하였다.

본 논문의 구성은 다음과 같다. 2장에서는 전원 전압의 변화가 MOSFET 소자에 미치는 영향에 대한 채널길이 변조효과에 대해 설명하였다. 3장에서는 개선된 회로가 적용된 밴드갭 레퍼런스 회로를 제안하였고, 시뮬레이션을 이용하여 기존 구조의 회로와 비교하였다. 4장에서는 결론을 제시하였다.

2. MOSFET 소자의 채널길이 변조효과

2.1 채널길이 변조효과

Fig. 1은 일반적인 MOSFET 동작을 보여준다. 턴온전압 이상의 전압이 드레인에 인가되면 드레인 전압이 증가해도 더 이상 드레인 전류가 증가하지 않는다. 따라서 MOSFET의 동작영역 중 포화 영역 동작에서 드레인 전류가 드레인-소스 전압에 무관하게 일정하다고 정의하고 드레인-소스 전압이 식 (1)과 같이 정의되면 드레인전류는 식 (2)와 같이 정의한다.

$$V_{DS1} = V_{GS} - V_{TH} \tag{1}$$

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \tag{2}$$

실제로 MOSFET 동작은 Fig. 2와 같이 드레인-소스 전압이 증가하면 공핍영역이 커짐에 따라 유효 채널 길이(L)가 감소한다. 식 (3)과 같이 실제 드레인전류는 드레인-소스 전압의 변화에 영향을 받으며 드레인 전압의 증가는 드레인 전류를 증가시킨다. Fig. 3과 같이 실제로 MOSFET 소자의 동작은 포화영역에서 드레인전류가 일정하게 동작하지 않고 드레인전압이 증가함에 따라 드레인전류가 선형적으로 변하는 동작을 한다. 식 (3)은 채널길이 변조효과를 고려한 드레인전류이다[5].

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \tag{3}$$

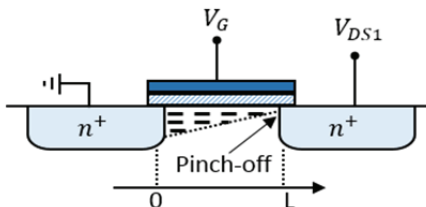


Fig. 1. Basic operation of the MOSFET.

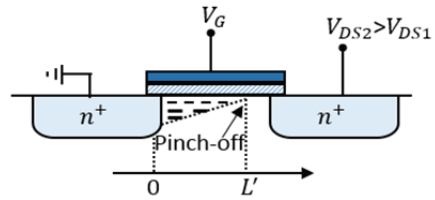


Fig. 2. Change in the channel length due to high drain voltage.

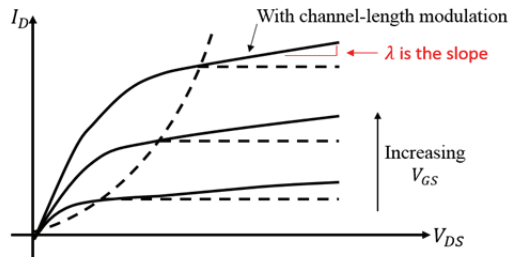


Fig. 3. Variation of the drain current due to channel length modulation effect.

3. 제안하는 밴드갭 레퍼런스 회로

3.1 기존의 밴드갭 레퍼런스 회로

기존의 밴드갭 레퍼런스 회로는 Fig. 4와 같다. 회로는 절대온도에 비례해서 열전압이 일정하게 변화하는 PTAT 특성을 나타내는 BJT 소자 N1, N2와 절대온도에 반비례해서

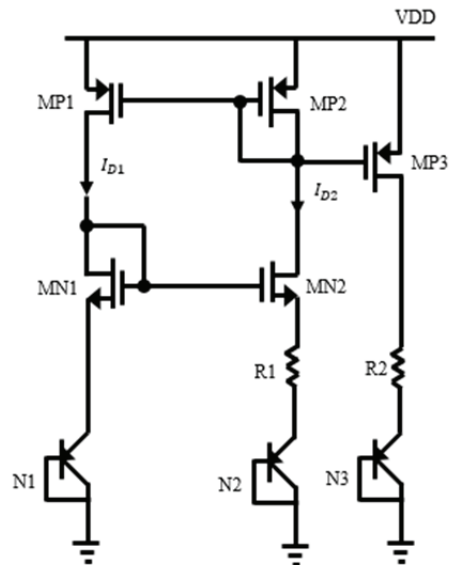


Fig. 4. Bandgap voltage reference of the basic structure.

열 전압이 일정하게 변화하는 CTAT 특성을 나타내는 N3로 구성되어 있다. 이 PTAT, CTAT 특성을 가지는 두 전류를 저항 R1, R2의 비율을 조절하여 온도에 무관한 기준 전압을 만들 수 있다[6,7].

밴드갭 레퍼런스 회로에서 MP2와 MN2 크기를 MP1과 MN1의 K배 만큼 크게 하여 회로를 구성하면 전류복사(Current Mirror) 회로동작에 의해 MP2의 드레인전류(I_{D2})는 MP1의 드레인전류(I_{D1})의 K배가 되고 출력단 MP2소자로 흐르게 된다. 그러나 드레인전류는 공급전압(VDD)에 민감하게 영향을 받게되어 출력전압에도 영향을 미치게 되는 단점을 가지고 있다.

3.2 제안하는 밴드갭 레퍼런스 회로

Fig 5는 출력전압이 채널길이변조효과에 의해 변화하는 단점이 개선된 밴드갭 레퍼런스 회로를 제안한다. 공급되는 전원전압에 민감하지 않은 밴드갭 레퍼런스 회로를 설계하기 위해서는 높은 출력저항을 가지는 MOSFET 소자가 필요하다. 이러한 경우 소자의 채널길이가 증가시켜야 한다. 하지만 Self-cascode 구조를 사용하면 단일소자의 채널길이를 증가시키는 것 보다 높은 출력저항을 얻을 수 있는 장점이 있다. 따라서 기존의 회로에 Self-cascode 회로를 이용하여 채널길이 변조효과 의한 단점을 개선 시킬 수 있다[8].

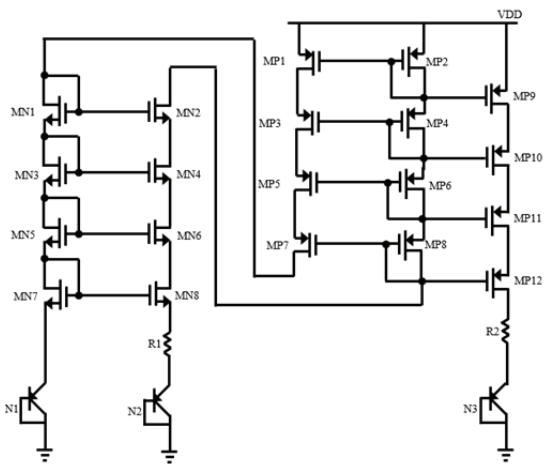


Fig. 5. Bandgap voltage reference circuit of the proposed structure.

3.3 시뮬레이션 결과

일반적인 밴드갭 레퍼런스 회로와 제안하는 회로의 시뮬레이션 결과는 Fig 6,7과 같다. Fig 6은 전원의 공급전압(VDD)을 10.5V ~ 13.5V로 변화시키며 출력전압의 변화를

확인하였다. 공급전압이 3V변화할 때 기본 밴드갭 레퍼런스 회로는 최대 출력전압의 변화는 약 77mV 차이가 발생하였다. 그러나 동일한 조건에서 개선된 밴드갭 레퍼런스 회로는 약 0.0422mV가 변화함으로써 기존의 회로보다 개선된 것을 확인 할 수 있었다.

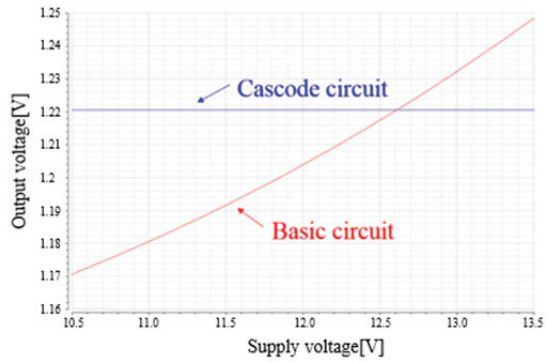


Fig. 6. Simulation results for output voltage changes as supply voltage changes.

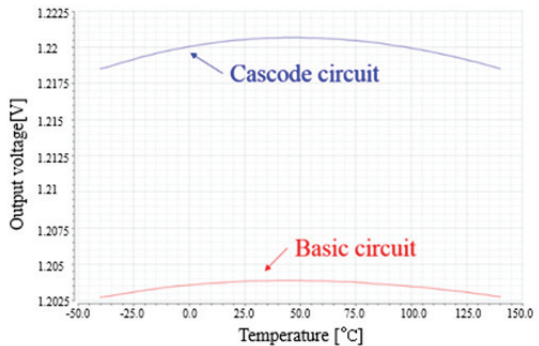


Fig. 7. Simulation results for the output voltage variation as temperature changes.

Fig 7과 Table 1은 전원전압(VDD)를 12V로 고정한 뒤 온도를 -40°C~140°C 변화시키며 출력전압의 변화의 시뮬레이션 결과이다. 기존 밴드갭 레퍼런스 회로는 4.614ppm/°C를 가지고 개선된 회로는 9.1ppm/°C의 온도계수를 가진다.

Table 1. Comparison of temperature coefficient between basic and improved circuits.

	Basic circuit Output	Self-cascode circuit Output
Max voltage[V]	1.204	1.221
Min voltage[V]	1.203	1.219
TC [ppm/°C]	4.614	9.1

4. 결 론

본 논문에서는 일반적인 구조의 밴드갭 레퍼런스 회로와 Self-cascode 구조를 이용하여 개선된 밴드갭 레퍼런스 회로를 제시하였다. 공급전압의 변화를 주고 시뮬레이션 결과 기존의 회로에 비교하여 약 1800배 이상의 최대출력 전압의 차이가 개선되는 것을 확인 할 수 있었다. 기존의 회로와 동일한 온도보상 기법을 사용하여 온도에 변화에도 민감하지 않은 밴드갭 레퍼런스 회로를 구현하였다.

감사의 글

이 논문은 산업통상자원부 디스플레이 장비부품 전문 인력양성사업(N0001415)으로 수행되었습니다.

참고문헌

1. Leung K. N., and Mok, K. T., "A sub-1-V 15-ppm/°C CMOS bandgap voltage reference without requiring low threshold voltage device," IEEE J. Solid-State Circuits, Vol. 37, No. 4, pp.526-529, 2002.
2. Malcovati, P., Maloberti, F., Pruzzi, M., and Fiocchi, C., "Curvature-compensated BiCMOS bandgap with 1-V supply voltage," IEEE J. Solid-State Circuits, Vol. 36, No. 7, pp. 1076-1081, 2001.
3. Banba, H., Shiga, H., Umezawa, A., Miyaba, T., Tanzawa, T., Atsumi, S., and Sakui, K., "A CMOS bandgap voltage reference circuit with sub-1-V operation," IEEE J. Solid-State Circuits, Vol. 34, No. 5, pp. 670-674, 1999.
4. Giustolisi, G., "A low-voltage low-power voltage reference based on subthreshold MOSFETs," IEEE J. Solid-State Circuits, Vol. 38, No. 1 pp. 151-154, 2003.
5. Yuki, N., and Hiroki, A., "Gate voltage dependence of channel length modulation for 14 nm FinFETs," IEEE International Meeting for Future of Electron Devices, Kansai, 2016.
6. Zeki, A., and Kuntman, H., "Accurate and high output impedance current mirror suitable for CMOS current output stages," IEEE Electronics Letters, Vol. 33, pp. 1042-1043, 1997.
7. Chen, H. M., Lee, C. C., Jheng, S. H., Chen, W. C., and Lee, B. Y., "A Sub-1 ppm/°C Precision Bandgap Reference With Adjusted-Temperature-Curvature Compensation," IEEE Circuit and Systems Society, Vol. 64, pp. 1308-1317, 2017.
8. G-Montoro, G., Schneider, M. C., and Loss, I. J. B., "Series-Parallel Association of FET's for High Gain and High Frequency Applications," IEEE J. Solid State Circuits, Vol. 29, No. 9, pp 1094-1101, 1994.

접수일: 2018년 6월 12일, 심사일: 2018년 6월 20일,
 게재확정일: 2018년 6월 21일