

InSb 중적외선 검출기의 Flat-band 전압과 양자효율의 상관관계

김영철*·엄준호*·정 한*·김선호**·김남환**·김영호**†

*† 아이쓰리시스템(주), ** 국방과학연구소

Relation Between Flat-band Voltage and Quantum Efficiency of InSb MWIR Detector

Young-Chul Kim*, JunHo Eom*, Han Jung*, SunHo Kim**,
NamHwan Kim** and Young-Ho Kim**†

*† i3system. Inc, ** Agency for Defense Development

ABSTRACT

InSb (III-V compound semiconductor) is used for photodiode to detect the mid-wavelength infrared radiation. Generally the quantum efficiency of InSb IR FPAs(Focal Plane Arrays) is known to be determined by thickness of InSb and transmittance of anti-reflection coating layer. In this study, we confirmed that the C-V characteristics of detector array affects the quantum efficiency of the InSb IR FPAs. We fabricated the IR FPAs with various V_{fb} (flat band voltage) values and confirmed the tendency between the V_{fb} value and quantum efficiency of the IR FPAs.

Key Words : MWIR Detector, InSb, Quantum Efficiency, Flat-band Voltage

1. 서 론

Infrared Focal-Plane Array(FPA)는 군사 및 민간분야에서 열을 감지하는데 널리 사용된다. InSb는 MWIR(Mid Wavelength Infra-Red, 3~5 μ m) 대역을 감지하는데 우수한 특성을 가지는 재료로서, 최근 해외에서는 InSb를 이용하여 15 μ m 이하 간격 SXGA(Super eXtended Graphics array)급 중적외선대역 적외선 검출기를 제작, 판매하고 있다.[1] 일반적으로 적외선 검출기는 적외선을 감지하는 하이브리드 칩, 냉각기 및 진공 패키지로 구성된다. 이중에 하이브리드 칩은 적외선을 감지하는 검출소자배열과 검출소자배열에서 발생한 신호를 영상으로 변환하기 위한 신호취득회로로 구성된다. 이러한 적외선 검출기의 성능을 평가하는 항목에는 양자 효율(QE, Quantum Efficiency), 등잡음온도차, Modulation

Transfer Function(MTF) 등이 있다. 이중 입사하는 광량에 따른 적외선 검출기의 반응도를 보여주는 양자 효율은 InSb 검출소자배열의 두께 및 비반사막 특성에 영향을 받는 것으로 알려져 있다.[2] 양자 효율을 높이기 위해서는 검출소자배열의 두께를 높이면 되지만, 이에 반하여 MTF 특성이 저하되는 문제가 있다.[2] 따라서, MTF 특성을 고려하여 검출소자배열의 두께를 최적화하여야 한다.

MTF 특성을 고려한 최적화된 조건으로 하이브리드 칩을 제작하였으나, 하이브리드 칩의 양자 효율이 일정하지 않았다. 분석한 결과, 검출소자배열의 두께 및 비반사막의 투과율 뿐만 아니라 비반사막 및 표면 보호막의 Capacitance-Voltage(C-V) 특성이 하이브리드 칩의 양자 효율에 영향을 미치는 것을 알 수 있었다. 본 연구에서는 InSb 검출소자배열 제작에 적용된 표면 보호막의 C-V 특성과 하이브리드 칩의 양자효율과의 관계를 확인하였다.

†E-mail: muppy69@i3system.com

2. 실험 방법

검출소자배열을 제작하기 위해 2인치 InSb wafer를 사용하였다. Fig. 1은 검출소자배열의 제작 공정 흐름도이다. 공정을 위해 align key를 형성한 후, Be⁺ 이온 주입을 통해 접합을 형성하였다. Photo-CVD 장비를 이용하여 표면 보호막인 SiO₂를 증착하였고, Contact 형성 후 전극 형성을 위해 metal을 증착하여 검출소자배열의 제작을 완료하였다.

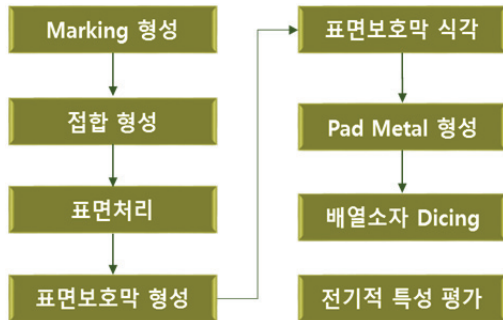


Fig. 1. Process flow for InSb array.

제작된 검출소자배열은 진공상태에서 액체질소를 이용하여 80K으로 냉각한 후에 HP 4194A 장비를 이용하여 C-V 측정을 진행하였다. Fig. 1은 표면 보호막의 C-V 측정 결과이다. C-V 측정을 통해 V_b 값을 획득하였다. 다양한 V_b 값을 갖는 검출소자배열을 제작하였지만, 이 가운데 -0.7V에서 +0.4V의 V_b 값을 갖는 검출소자배열만 하이브리드 칩으로 제작하였다. 검출소자배열의 V_b 값이 너무 (-) 값이거나, 또는 (+) 값이면 다이오드의 누설 전류가 커서 정상적인 하이브리드 칩의 특성을 확인할 수 없기 때문이다.

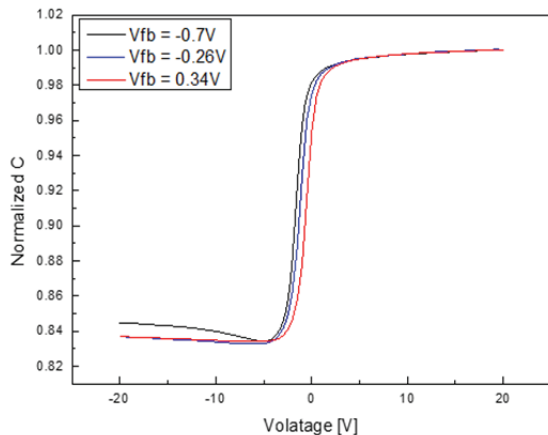


Fig. 2. C-V measurement result of InSb array.

Fig. 3은 하이브리드 칩 제작 방법이다. 검출소자배열과 신호취득회로를 Flip-Chip bonding(FC bonding) 후 InSb의 두께를 약 10 μ m의 두께까지 연마하였다. 그리고 InSb 후면에 photo-CVD 장비를 이용하여 적절한 두께를 갖는 SiO₂ 비반사막을 형성하여 제작을 완료하였다.

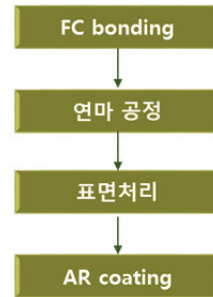


Fig. 3. Process flow for InSb hybrid chip.

Fig. 4는 제작된 하이브리드 칩의 단면도이다. 검출소자배열의 V_b 값에 의한 양자효율을 확인하기 위해 모든 하이브리드 칩의 InSb 두께 및 비반사막 형성은 동일한 조건으로 진행하였다.

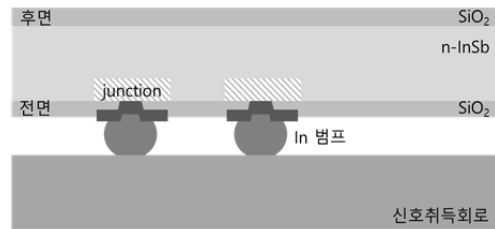


Fig. 4. Schematic cross-section of hybrid chip.

3. 결과 및 고찰

제작된 하이브리드 칩은 dewar에 장착 후 진공 상태에서 액체 질소로 냉각하였다. 반응도 측정을 위해 흑체의 온도를 20, 35 $^{\circ}$ C로 설정하였고, 각각의 온도에서 하이브리드 칩의 출력값을 측정하였다. 각각의 온도에서 측정된 출력값의 차이가 반응도가 된다. 측정 조건 및 결과를 바탕으로 아래의 수식을 통해 양자효율을 계산하였다.[3]

$$I_{ph} = \frac{V_{out} * C_{int}}{T_{int} * Gain} \quad (1)$$

$$QE = \frac{I_{ph}}{Q_{det} * q} * 100 \quad (2)$$

여기서 V_{out}은 하이브리드 칩의 측정된 반응도이고, I_{ph}는

측정된 하이브리드 칩의 반응도를 전류로 환산한 값이며, C_{it} 는 신호취득회로의 capacitance 값이다. T_{in} 는 광신호의 적분시간이고, gain은 신호취득회로의 출력비율이며, Q_{ox} 는 후체에서 발산하는 광량이다.

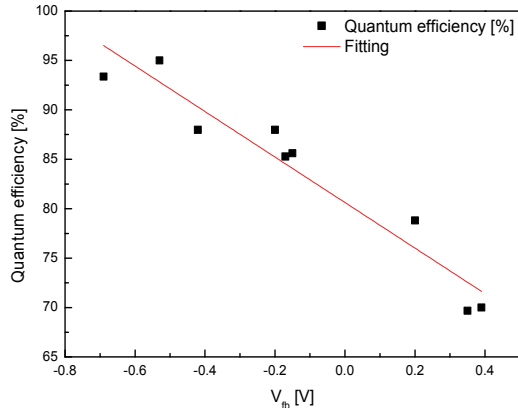


Fig. 5. Quantum efficiency according to V_{fb} .

Fig 5는 검출소자배열의 V_{fb} 에 따른 하이브리드 칩의 양자효율 사이의 관계를 그래프로 나타낸 것이다. 검출소자배열의 V_{fb} 값과 하이브리드 칩의 양자효율이 반비례함을 알 수 있다. 이는 I. Bloom등이 연구한 후면의 비반사막과 InSb 계면의 C-V 특성이 축적(accumulation) 될수록 양자효율이 증가한다는 결과와 동일한 이유로 추정되며[4], 아래의 수식을 통해서도 확인할 수 있다.

$$V_{fb} = \Phi_{MS} - \frac{Q_f + Q_{it} + \gamma(Q_m + Q_{ot})}{C_{ox}} \quad (3)$$

$$D_{it} = \frac{C_{ox}}{q} * \frac{d\Delta V_G}{d\Phi_s} = \frac{C_{ox} * |V_{hys}|}{q} \quad (4)$$

$$SRV(\Delta n) = \frac{(n_s p_s - n_i^2) V_{th}}{\Delta n} \int_{E_v}^{E_c} \frac{D_{it}}{\frac{n_s + n_1 + p_s + p_1}{\sigma_p} + \frac{p_s}{\sigma_n}} dE \quad (5)$$

일반적인 금속-절연막-반도체 구조를 갖는 커패시터의 V_{fb} 는 수식 3과 같이 표현된다. 여기서 Φ_{MS} 는 금속과 반도체의 일함수 차이, Q_f 는 고정 전하(fixed charge), Q_m 은 유동 전하(mobile charge), Q_{ot} 는 산화막 포획 전하(oxide trap charge), Q_{it} 은 계면 포획 전하(interface trap charge)를 의미한다. 수식 4를 통해 계면 포획 전하 밀도인 D_{it} (interface trap charge density)를 계산한 결과를 Fig 6에 나타내었다[5-7]. C_{ox} 는 산화막의 capacitance, V_G 는 gate voltage, Φ_s 는 surface potential, V_{hys} 는 hysteresis 현상으로 나타난 전압차이이다. C-V 측정을 통해 C_{ox} 와 V_{hys} 값을 획득하였고, 이를 이용하여 D_{it} 을 계산하였다.

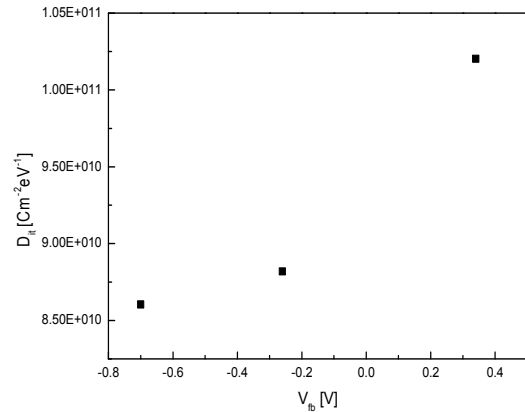


Fig. 6. Interface trap charge density according to V_{fb} .

Fig 6은 V_{fb} 값에 따른 D_{it} 값을 나타낸 그래프로 나타낸 것이다. 검출소자배열의 V_{fb} 값이 증가할수록 D_{it} 의 값도 증가함을 알 수 있다. 또한, 수식 5에서 표현된 것과 같이 D_{it} 와 표면 재결합 속도인 SRV(Surface Recombination Velocity)가 비례함을 알 수 있다.[6] 결론적으로 V_{fb} 와 SRV는 비례 관계이며, SRV의 증가는 양자효율의 감소를 의미한다.

하이브리드 칩의 후면에 입사된 광은 캐리어를 발생시키고, 캐리어는 재결합되거나 포획되지 않고 접합까지 도달하여야 전류신호로 변환되어 양자효율의 증가에 기인하게 된다. 후면에 존재하는 무반사막인 SiO_2 와 InSb 기판 사이의 V_{fb} 값이 작아질수록 계면에 존재하는 D_{it} 는 감소하게 된다. 이로 인해 입사광에 의해 후면 가까이에서 발생된 캐리어가 계면에 존재하는 트랩과 재결합하는 속도가 낮아지게 되고, 캐리어가 검출소자배열 전면의 접합까지 도달하는 확률은 높아지므로 하이브리드 칩의 양자효율은 증가하게 된다. 그리고 InSb는 흡수 계수(absorption coefficient)가 낮으므로, 입사된 광이 후면에서 모두 흡수되지 않고 일부는 전면까지 도달하게 된다. 전면까지 도달한 광에 의해 발생한 캐리어는 후면과 마찬가지로 전면의 C-V 특성에 따라 재결합 속도가 결정되고, 재결합 속도가 감소할수록 양자효율이 증가하게 된다.

4. 결 론

InSb 적외선 검출기의 양자효율과 검출소자배열 제작에 사용된 표면보호막 및 비반사막과 InSb 간 V_{fb} 특성과의 상관 관계를 확인하였다. 이를 위해 다양한 V_{fb} 값을 갖는 검출소자배열을 하이브리드 칩으로 제작하였다. 제작된 하이브리드 칩의 광성능 측정을 통해 양자효율을 계산하였고, 그 결과 검출소자배열의 V_{fb} 값이 감소함에

따라 하이브리드 칩의 양자효율이 증가함을 알 수 있었다. 이는 검출소자배열의 V_b 값이 감소하면 하이브리드 칩에 입사된 광에 의해 발생한 캐리어가 계면에 존재하는 트랩과 재결합하는 속도가 낮아지게 되어 하이브리드 칩의 양자효율이 증가하는 것으로 추정된다. 또한, 계산을 통해 검출소자배열의 V_b 값이 감소할수록 계면 포획 전하 밀도가 감소하고, 이로 인해 표면 재결합 속도가 감소하여 양자효율이 증가하게 됨을 알 수 있었다.

감사의 글

본 연구는 방위사업청과 국방과학연구소의 지원을 받아 수행하였음.

참고문헌

1. Mike Davis, Mark Greiner, "Indium antimonide large-format detector arrays", *Optical Engineering* 50(6), 061016 (June 2011).
2. Fishman T., Nahum V, "3D simulation of detector parameters for backside illuminated InSb 2-D arrays", *Proc. SPIE*. 6660, 666005-1 - 666005-10 (2007).
3. G. C. Holst, "Common sense approach to thermal imaging", *SPIE Optical Engineering Press*, 2000.
4. Ilan Bloom, Yael Nemirovsky, "Surface passivation of Backside illuminated indium antimonide focal plane arrays", *IEEE Trans. Electron Dev.* 40 (2) (1993).
5. Dieter K. Schroder, "Semiconductor material and device characterization", Wiley, New York.
6. Taeseop Lee, Sang-Mo Koo, "Electrical characteristics of 4H-SiC MIS Capacitors With Ni/CNT/SiO₂ Structure", *Journal of IKEEE* 18(4), 2014.12, 620-624.
7. Jung Hyun Park, Jun Kyo Jeong, Yu Jeong Kim, Jung Byung Jun, Ga Won Lee, "Electrical Characteristic Analysis of IGZO TFT with Poly (4-vinylphenol) Gate Insulator according to Annealing Temperature", *Journal of the Semiconductor & Display Technology*, Vol. 16, No. 1. March 2017.
8. K. Yasutake, Z. Chen, S. K. Pang, and A. Rohatgi, "Modeling and characterization of interface state parameters and surface recombination velocity at plasma enhanced chemical vapor deposited SiO₂-Si interface", *Journal of Applied Physics* 75, 2048 (1994).

접수일: 2018년 5월 9일, 심사일: 2018년 6월 18일,
 게재확정일: 2018년 6월 20일