

# 전력절감용 재구성 연산증폭기를 사용한 4차 델타-시그마 변조기 설계

## Design of 4th Order $\Sigma\Delta$ modulator employing a low power reconfigurable operational amplifier

이 동 현\*, 윤 광 섭\*

Dong-Hyun Lee\*, Kwang-Sub Yoon\*

### Abstract

The proposed modulator is designed by utilizing a conventional structure employing time division technique to realize the 4th order delta-sigma modulator using one op-amp. In order to reduce the influence of  $KT/C$  noise, the capacitance in the first and second integrators reused was chosen to be 20pF and capacitance of third and fourth integrators was designed to be 1pF. The stage variable technique in the low power reconfigurable op-amp was used to solve the stability issue due to different capacitance loads for the reduction of  $KT/C$  noise. This technique enabled the proposed modulator to reduce the power consumption of 15% with respect to the conventional one. The proposed modulator was fabricated with 0.18 $\mu$ m CMOS N-well 1 poly 6 metal process and consumes 305 $\mu$ W at supply voltage of 1.8V. The measurement results demonstrated that SNDR, ENOB, DR, FoM(Walden), and FoM(Schreier) were 66.3 dB, 10.6 bits, 83 dB, 98 pJ/step, and 142.8 dB at the sampling frequency of 256kHz, oversampling ratio of 128, clock frequency of 1.024 MHz, and input frequency of 250 Hz, respectively.

### 요 약

제안하는 4차 델타-시그마 변조기는 1개의 연산증폭기를 시분할 기법을 이용하여 4차 델타시그마 변조기를 구현한 구조를 이용하여 설계하였다.  $KT/C$  잡음의 영향을 줄이기 위하여 첫 번째와 두 번째로 재사용하는 적분기의 적분 커패시터 사이즈를 크게 설계하였으며, 세 번째와 네 번째로 재사용하는 적분기의 적분 커패시터 사이즈는 작게 설계하였다. 다른 커패시터 용량을 한 개의 연산증폭기가 로드하기 때문에 안정도 문제를 해결하기 위하여 연산증폭기 단을 가변 하는 방법을 이용하였다. 전력을 절감하기 위하여, 1단으로 연산증폭기가 동작할 때 사용되고 있지 않는 2단을 구성하고 있는 CS증폭기와, 그 출력단에 붙어있는 연속모드 공통모드퍼드백회로 의 전류원을 차단하는 방법을 이용함으로써, 아이디어 적용전과 비교하였을 때, 15%의 전력 절감 효과를 얻었다. 제안한 변조기는 TSMC 0.18 $\mu$ m CMOS N-well 1 poly 6 metal 공정을 이용하여 제작되었으며, 1.8V의 공급전압에서 305.55 $\mu$ W의 전력을 소모하였다. 256kHz의 샘플링 주파수, OSR 128, 1.024MHz의 클럭주파수, 250Hz의 입력 싸인 파형을 공급하였을 때, 최대 SNDR은 66.3dB, 유효비트 수는 10.6bits, DR은 83dB로 측정되었다. Fom(Walden)은 98.4pJ/step, Fom(Schreier)는 142.8dB로 측정되었다.

*Key words : Reconfigurable, Delta-sigma modulator, bio-signal, low power, stage variable operational amplifier*

\* Dept. of Electronics Engineering, INHA University

★ Corresponding author

E-mail : yes5677@naver.com, Tel : +82-32-876-5780

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Manuscript received Dec. 6, 2018; revised Dec. 16, 2018; accepted Dec. 18, 2018

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government Ministry of Education)(2010-0020163)

## I. 서론

4차 산업이 발달함에 따라 사물인터넷, 모바일 디바이스, 인공지능 등 첨단 정보통신기술들이 우리 사회에 밀접히 녹아들고 있다. 특히 사물인터넷은 기존의 전자공학 관련 산업만이 아니라, 헬스케어 분야, 의료 서비스 분야 등에도 폭넓게 활용되고 있다. 특히 생체 이식칩 혹은 생체신호처리용 디바이스가 모바일 기기에 결합되면서 저 전력 저면적 System on Chip(SoC)설계의 필요성이 높아지고 있다.

저 전력 SoC를 설계하고, 생체 신호를 처리하기 위해서는 저 전력 고해상도 ADC가 필요하다. 저 전력 고해상도 ADC를 얻기 위하여 주로 오버샘플링과 노이즈쉐이핑 기법이 사용되는 델타-시그마 변조기를 주로 사용한다. 델타-시그마 변조기의 전력을 낮추기 위한 선행연구로는 연속모드 샘플링 기법을 이용하는 방법이 있다[1]. 연속모드 샘플링 방법을 사용하면 스위치를 이용한 비연속모드 샘플링 방법을 사용할 때에 비해 저 전력에 유리하나, 선형성과 정확성이 떨어지는 단점이 있다. 다른 방법으로는 연산증폭기의 가상접지특성을 인버터를 이용하여 모사하여 저 전력을 구현하는 방법이 있다[3]. 이 방법은 약반전 영역에서 동작하는 인버터를 연산증폭기 대신 사용함으로써 저 전력으로 변조기를 구동할 수 있으나, 연산증폭기의 이득이 한정적이므로 OSR을 높이는데 한계가 존재한다.

다른 선행 연구로는 시분할 기법을 이용하여 고차 델타-시그마 변조기에 사용되는 연산증폭기 개수를 줄여 전력을 절감하는 방법이 있다[2]. 이 방법을 통해 통상적으로 4개의 적분기가 사용되는 4차 델타시그마 변조기를 1개의 연산증폭기만으로 구현하였다. 다만 샘플링과 적분동작을 1/4시간으로 시분할하여 구현하는 만큼 클럭 주파수 속도가 4배 빨라지므로, 고주파수대역에는 적절하지 않다는 단점이 존재한다.

본 논문에서는 저주파 대역의 생체신호 획득을 목표로 ADC를 설계하기 때문에 시분할 기법을 이용하여 저 전력을 얻는 방법을 사용하였다. 한 개의 연산증폭기가 다른 크기의 적분커패시터를 로드하도록 설계하였기 때문에 스위치를 이용하여 연산증폭기 단을 가변하여 안정도 문제를 해결하는 방법을 사용하였다. 2단 연산증폭기에서 1단 연산

증폭기로 단이 가변되어 1개의 연산증폭기가 동작할 때, 2단을 이루고 있는 공통 소스 증폭기의 전류원과 그에 연결되어 있는 연속모드 공통모드 피드백회로의 전류원을 차단하는 방법을 제안하고 적용하여 본 방법을 적용하기 전에 비해 25%의 연산증폭기 전력절감을 구현하였다.

2장에서는 사용하는 델타-시그마 변조기 구조 및 동작모델에 대해 설명하고, 제안하는 전력절감용 연산증폭기 설계의 방법론 및 모의실험 결과에 관하여 나타낸다. 3장에서는 설계된 변조기의 측정 결과에 대하여 다룬다. 4장에서는 설계된 델타-시그마의 성능에 대하여 결론짓는다.

## II. 제안하는 회로 설계

### 1. 재사용구조 4차 델타-시그마 변조기 구조

본 논문에서 사용하는 4차 델타-시그마 변조기의 구조는 1개의 연산증폭기를 시분할 기법을 사용하여 4번 재사용함으로써 4차 델타-시그마 변조기를 구현한 구조이다[2].

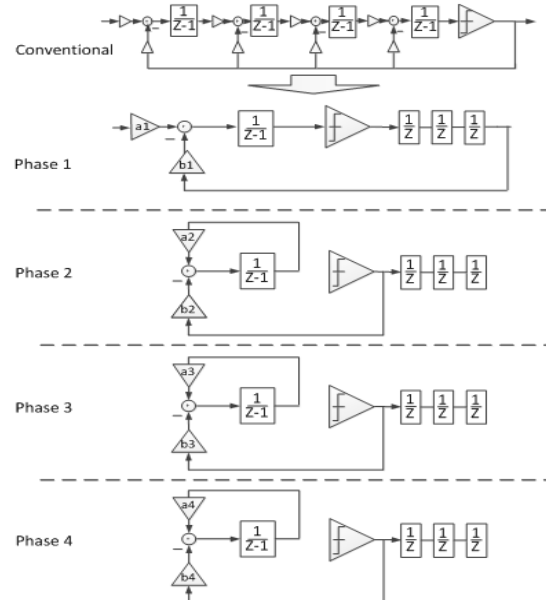


Fig. 1. Block diagram of 4th order delta-sigma modulator using a reconfigurable amplifier[1].

그림 1. 한 개의 재사용 구조를 연산증폭기를 사용한 4차 델타-시그마 변조기 블록 다이어그램[1]

위 구조는 메모리 셀을 추가하여 연산증폭기를 시분할 기법을 사용하여 4번 재사용하는 구조를 사용하였다. 고차 델타-시그마 변조기에서 가장 전

력소모를 많이 차지하는 연산증폭기의 개수를 줄임으로서 4개의 적분기를 사용하는 4차 델타-시그마 변조기와 비교했을 때 전력소모를 1/4 가량 절감하였다. 본 연구에서는 이와 같은 구조를 사용하고, 이 구조에서 나아가 연산증폭기 전력을 추가로 감소시키는 구조를 제안하여 기존 논문에 비해 15%가량 저 전력 구현을 달성하였다.

2. 제안하는 델타-시그마 변조기의 동작 모델

본 논문에서 사용하는 델타-시그마 변조기 구조는 시분할 기법을 사용하여 샘플링과 적분시간을 1/4 로 하여 동작시키는 구조이다. 따라서 적분 동작이 주어진 시간 내에 안정적으로 동작하기 위하여 모의실험결과 오버샘플링비율은 128로 결정하였다. 또한 목표는 생체신호 획득이기 때문에 12비트 이상으로 설정하였으며 본 해상도를 달성하기 위하여 4차 델타-시그마 구조를 사용하였다. 이를 토대로 NTF(Noise Transfer Function)를 계산하면 식 (1)-(5)와 같다. 매트랩(Matlab)을 사용하여 모델링 하여 변조기가 안정적으로 동작할 수 있는 각 적분 커패시터와 샘플링 커패시터의 계수를 결정하였다. 이를 표 1. 에 나타내었다. 실제로 변조기에 사용한 커패시터 용량은 표 2에 나타내었다.

$$NTF(z) = \frac{(z-1)^4}{z^4 + A_0z^3 + A_1z^2 + A_2z + A_3} \quad (1)$$

$$A_0 = b_4 - 4 \quad (2)$$

$$A_1 = 6 + a_4b_3 - 3b_4 \quad (3)$$

$$A_2 = 3b_4 - 2a_4b_3 + a_3a_4b_2 - 4 \quad (4)$$

$$A_3 = a_4b_3 - b_4 - a_3a_4b_2 - a_2a_3a_4b_1 + 1 \quad (5)$$

Table 1. Integration and feedback capacitor coefficient(of delta-sigma modulator).

표 1. 델타-시그마 변조기의 적분 및 피드백 계수

Parameter	Value	Parameter	Value
a1	0.11	b1	0.11
a2	0.11	b2	0.11
a3	0.4	b3	0.2
a4	0.4	b4	0.2

연산증폭기가 첫 번째와 두 번째 적분기로 사용될 때 에는 적분커패시터 크기를 20pF로 설계하였고, 세 번째와 네 번째 적분기로 동작할 때는 적분 커패시터 크기를 1pF으로 설계하였다. 그 이유는

첫 번째 단 적분기의 커패시터 크기만이 KT/C잡음에 가장 큰 영향을 미치고 그 뒷단의 적분기로 갈수록 영향이 미비해지기 때문이다.

Table 2. Capacitor Capacity Used in the ΣΔ modulator.

표 2. 델타-시그마 변조기에 사용된 커패시터 용량

Capacitor	Value	Capacitor	Value
CI1	20pF	CS1	2.2pF
CI2	20pF	CS2	400fF
CI3	1PF	CF1	2.2PF
CI4	1PF	CF2	200fF

3. 제안하는 전력 절감용 단 재구성 연산증폭기 회로 설계

본 연구에서는 1개의 연산증폭기를 시분할 기법을 이용하여 4번 재사용하는 구조를 사용한다. 이때 연산증폭기가 첫 번째와 두 번째 적분기로 재사용될 때 20pF의 적분커패시터를 로드하고, 세 번째와 네 번째로 적분기로 재사용될 때는 1pF을 로드한다. 따라서 선행 연구에서는 다른 용량의 커패시터에 의한 안정도문제를 해결하고자 연산증폭기 단을 가변 하여 사용함으로써 이 문제를 해결하였다. 즉 연산증폭기가 첫 번째와 두 번째 적분기로 동작할 때는 2단 연산증폭기로 동작하고, 세 번째와 네 번째 적분기로 동작할 때는 1단 연산증폭기로 동작하게 된다[2].

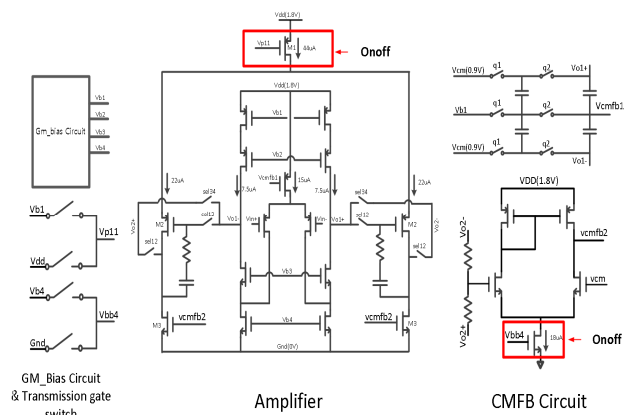


Fig. 2. Proposed circuit schematic of operational amplifier. 그림 2. 제안하는 단이 가변되는 연산 증폭기의 회로도

본 연구에서는 그림 2에 나타난 바와 같이 연산 증폭기가 단을 가변하여 2단 연산증폭기에 1단 연

산증폭기로 동작하는 구간에서, 사용되지 않는 공통 소스 증폭기와 2단 연산증폭기 출력단에 연결된 연속모드 공통모드 피드백회로의 전류원을 도통, 차단 클럭 전압을 사용하여 게이트 전압을 조정함으로써, 전력을 차단하는 방법을 제안하고 적용함으로써 연산증폭기의 전력을 절감하는 방법을 사용하였다.

1단 연산증폭기는 폴디드-캐스코드 연산증폭기를 사용하였으며 출력 단에는 스위치드 커패시터 공통모드 피드백회로 회로를 사용하였다. 2단을 구성하고 있는 증폭기는 공통소스단 증폭기이며 출력단에 연속모드 공통모드 피드백회로를 사용하였다. 스위치드 커패시터 공통모드 피드백회로 회로는 전력을 거의 소모하지 않는다는 장점이 존재하지만, 적분과정을 4번에서 5번 거쳐야 동작하므로, 전류원이 차단되었다, 도통되었다하며 동작하는 공통 소스 연산증폭기의 경우에는 연속모드 공통모드 피드백회로를 사용해야만 한다.

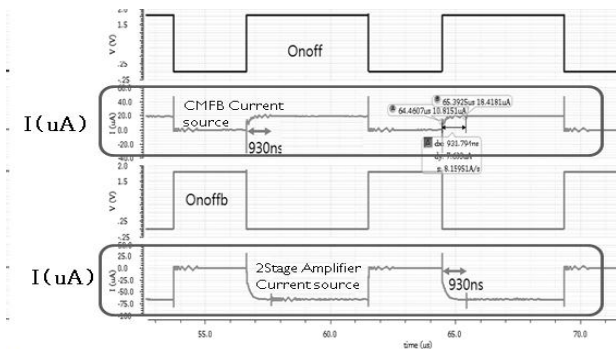


Fig. 3. Simulation result of current source operation time when voltage is applied.

그림 3. 전압 인가시 전류원 동작시간 확인 모의실험 결과

그림 3은 전류원에 전류를 공급하고 안정적으로 연산증폭기와 연속모드 공통모드 피드백회로가 동작하는 시간을 모의 실험한 결과이다. 모의실험결과 930ns 후에 전류원이 정상적으로 동작하는 것을 확인하였다. 그림 4는 연산증폭기가 2단 연산증폭기로 동작하는 구간을 나타내는 클럭신호인 SEL12와 연산증폭기가 1단 연산증폭기로 동작하는 SEL12B 파형 그리고 전류원 게이트 전압을 구동하여 전류원을 켜주는 도통-차단 클럭을 나타내었다.

그림 3에서 930ns의 시간이 흐른 후 전류원이 정상 동작하는 것을 확인하였다. 따라서 본 연구에서는 공정상의 오차를 고려하여 실제로 연산증폭기

가 1단 연산증폭기에서 2단 연산증폭기로 바뀌어 사용되기 980ns 일찍 전류원의 전류를 공급하는 도통, 차단 클럭을 설계하여 연산증폭기가 안정적으로 2단으로 동작하도록 하였다.

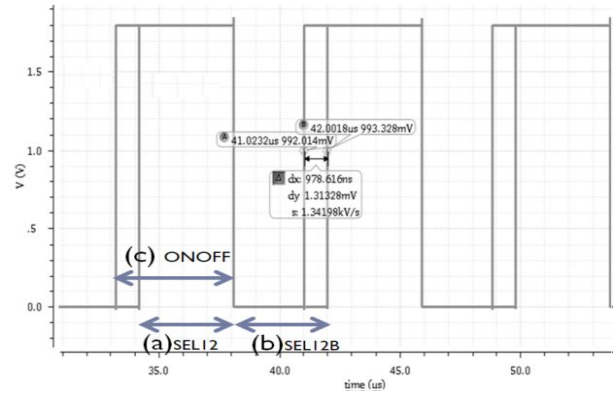


Fig. 4. (a) SEL12clock (b) SEL12Bclock (c) ONOFFclock.

그림 4. (a) SEL12파형 (b) SEL12B파형 (c) ONOFF파형

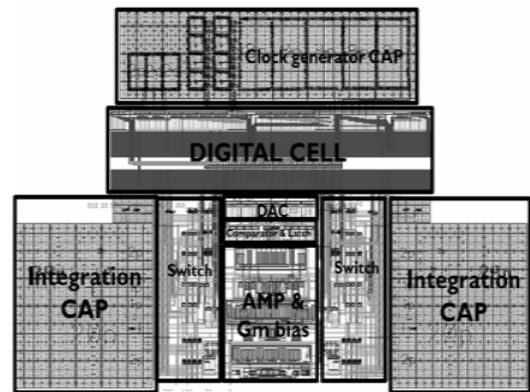


Fig. 5. Layout of proposed 4th order  $\Sigma\Delta$  modulator.

그림 5. 설계한 4차 델타시그마 변조기 레이아웃

### III. 실험 및 고찰

본 델타-시그마 변조기는 TSMC 0.18um 1poly 6metal 공정을 사용하여 설계되었다. 스펙트라 (Spectre)툴을 사용하였으며, 내부 내장 툴을 사용하여 FFT 모의실험을 진행하였다. 출력 단 1비트 스트림의 샘플 수는 4096개로 하고, 해닝 윈도우를 통하여 신호누설을 억제한 후 FFT를 진행하였다. 모의실험과 측정에 사용되는 입력주파수는 250Hz의 짜인 파형을 인가하였으며 오버샘플링 비율은 128이 되도록 설정하였기 때문에, 샘플링주파수 256kHz에서 1.024MHz의 클럭주파수를 인가하였다. 그림 6은 레이아웃을 기반으로 기생저항과 기

생커패시터를 추출하여 후 모의 실험한 결과를 FFT하여 나타낸 것이다.

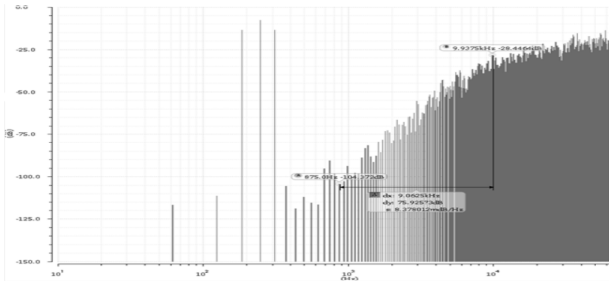


Fig. 6. FFT of 4th order  $\Sigma\Delta$  modulator post-simulation Result.  
그림 6. 설계된 4차 델타시그마 변조기에 대한 후 모의실험 FFT 결과

후 모의실험 결과 ENOB은 10.7비트로 나타났다. 그 이유는 기생저항만을 추출하여 후 모의 실험한 결과 아날로그 라인과 디지털 라인사이에서 기생 커패시터의 발생으로 인하여 간섭현상으로 인한 분해능 저하로 분석되었다.

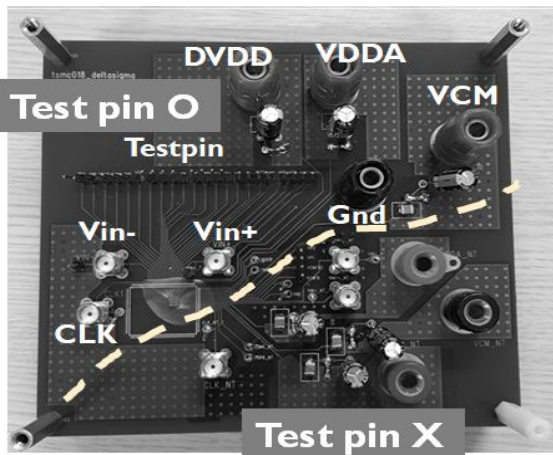


Fig. 7. Performance verification PCB for delta-sigma modulator.  
그림 7. 제작한 변조기의 측정용 PCB

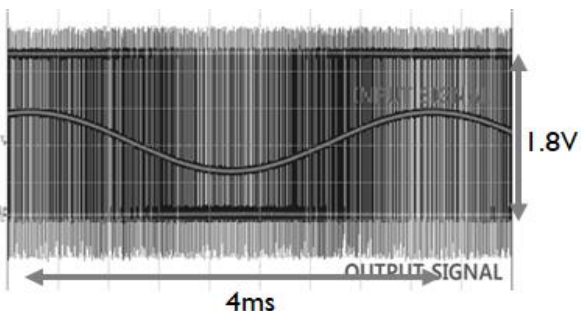


Fig. 8. Output Waveform of delta-sigma modulator.  
그림 8. 설계된 델타-시그마 변조기의 출력파형

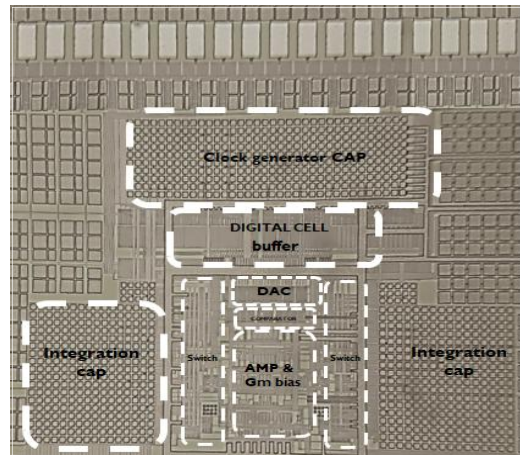


Fig. 9. Micro chip photograph.  
그림 9. 제작된 변조기의 칩 사진

그림 7은 설계된 변조기의 성능을 측정하기 위하여 설계한 측정용 PCB 사진이다. 그림 8은 설계된 변조기의 출력 파형을 측정한 것이다. 그림 9는 제작된 칩을 현미경으로 촬영한 사진이며, 그림 10.은 모델레이션 된 변조기 출력을 로직에널라이저로 추출 후 메틸랩으로 FFT한 측정 결과값이다. 그림 11은 측정된 다이내믹 레인지 값을 나타내었다. 결과값은 10.6비트로 측정되었으며, DR는 83dB, 소모 전력은 305.55uW로 측정되었다. 아날로그 전력은 251.55uW로 측정되었으며, 디지털 전력은 54uW로 측정되었다.

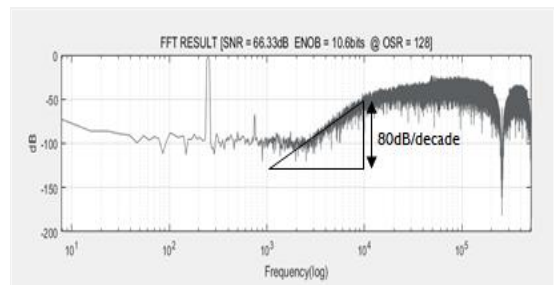


Fig. 10. FFT of Output waveform measurement.  
그림 10. 측정된 변조기 출력 FFT 결과

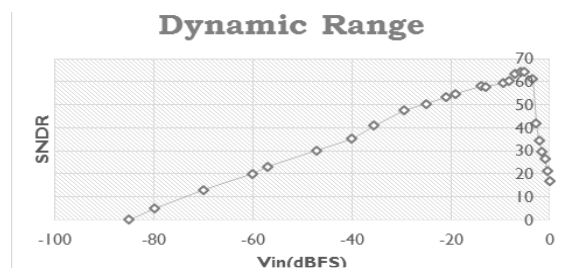


Fig. 11. Measurement of dynamic range.  
그림 11. 다이내믹레인지 측정결과

#### IV. 결론

본 논문에서는 생체신호 중 근전도를 타겟으로 하는 전력절감용 재구성 연산증폭기를 사용한 4차 델타-시그마 변조기를 설계하였다. 제안하는 변조기는 1개의 연산증폭기를 4번 재사용하여 4차 델타-시그마 변조기를 구현하는 구조를 사용하였으며, KT/C 잡음을 줄이기 위하여 KT/C잡음에 영향을 크게 주는 첫 번째와 두 번째로 재사용되는 적분기의 적분커패시터는 20pF로 크게 설정하였고, KT/C잡음에 영향이 미비한 세 번째와 네 번째 적분기의 적분커패시터는 1pF로 값을 작게 설정하였다. 한 개의 연산증폭기로 다른 크기의 커패시터를 로드 해야 하기 때문에 위상여유가 바뀌게 되어 안정도에 문제가 생기게 된다. 이를 해결하기 위하여 커패시터의 용량에 따라서 연산증폭기의 단을 가변하여 사용하는 방법을 사용하였다. 또한 본 연구에서는 연산증폭기가 1단 연산증폭기로 단을 가변하여 동작할 동안 사용되지 않는 2단 공통 소스단 증폭기의 전류원과 그에 연결된 공통모드피드백 회로의 전류원을 차단하는 방법을 적용하여, 본 방법을 적용하기 전과 비교하였을 때 25%의 연산증폭기 전력을 절감하였으며, 이는 변조기에 적용 하였을 때는 아이디어 적용 전과 비교하였을 때 15%의 전력 절감효과를 얻었다.

제안한 변조기는 TSMC 0.18 $\mu$ m CMOS n-well 1 poly 6 metal 공정을 이용하여 제작되었다. 1.8V의 공급전압에서 250Hz의 입력주파수, 128배의 오버샘플링비율, 샘플링주파수 128kHz, 클럭주파수 1.024MHz를 입력하였을 때 소모 전력은 305.55 $\mu$ W로 측정되었으며, 최대 SNDR은 66.3dB, 유효비트수는 10.6bits, DR은 83dB로 측정되었다. Fom(Walden)은 98.4pJ/step, Fom(Schreier)는 142.8dB로 측정되었다.

#### References

- [1] J. Garcia, S. Rodriguez and A. Rsus, "A Low-Power CT Incremental 3rd Order  $\Sigma\Delta$  ADC for Biosensor Applications," *IEEE Tran. on Circuit and Systems I*, vol.60, no.1, pp.25-36, 2013. DOI:10.1109/TCSI.2012.2215753
- [2] J. H. Song, D. H. Lee and G. S. Yoon, "Design of Low Power 4th order delta-sigma modulator with Single Reconfigurable Amplifier," *Journal of The Institute of Electronics and Information Engineers* Vol.54, NO.5, pp.24-32, 2017. DOI:10.1145/3194554.3194641
- [3] J. H. Choi, G. S. Yoon, "Design of an Inverter-based 3rd Order  $\Sigma$  CMOS Modulator using a 1.5 bit Comparator and Analog Adder," *Journal of Semiconductor Technology and Science*, vol.18, No.1, pp.1598-1657, 2018. DOI:10.5573/JSTS.2018.18.1.049
- [4] S.Richards and G. C. Temes, *Understanding Delta Sigma data converters*, Wiley Interscience, 2005.

#### BIOGRAPHY

##### Dong-Hyun Lee (Member)



2017 : BS degree in Electrical Engineering, Inha University.  
2018 : Study for MS degree in Electrical Engineering, Inha University.

His main interests are mixed signal analog circuit design. Especially highly efficient, low power Delta-sigma ADC.

##### Gwang-Sub Yoon (Member)



1981 : BS degree in Electrical Engineering, Inha University.  
1983 : Study for MS degree in Electrical Engineering, Inha University.  
1989 : PhD degree in Electrical Engineering, Inha University.

1989~1992 : Senior Design Engineer, Silicon System Inc, Tustin Calif, U.S.A.

1992~ : Professor, INHA University