

전력 무결성을 위한 온 칩 디커플링 커패시터

조승범 · 김사라은경[†]

서울과학기술대학교 나노IT디자인융합대학원

On-chip Decoupling Capacitor for Power Integrity

Seungbum Cho, and Sarah Eunkyung Kim[†]

Graduate School of Nano-IT Design Convergence, Seoul National University of Science and Technology

(Received September 15, 2017: Corrected September 19, 2017: Accepted September 22, 2017)

Abstract: As the performance and density of IC devices increase, especially the clock frequency increases, power grid network integrity problems become more challenging. To resolve these power integrity problems, the use of passive devices such as resistor, inductor, and capacitor is very important. To manage the power integrity with little noise or ripple, decoupling capacitors are essential in electronic packaging. The decoupling capacitors are classified into voltage regulator capacitor, board capacitor, package capacitor, and on-chip capacitor. For next generation packaging technologies such as 3D packaging or wafer level packaging on-chip MIM decoupling capacitor is the key element for power distribution and delivery management. This paper reviews the use and necessity of on-chip decoupling capacitor.

Keywords: Decoupling capacitor, Power integrity, Power network management, Passive devices, Dielectric constant

1. 서 론

트랜지스터(transistor)의 밀도가 높아지고, 작동 속도가 빨라지고, 크기가 작아짐에 따라서 전력 네트워크(network)의 총 전류는 증가하고, 전이 시간(transition time)은 짧아지고, 노이즈 범위(noise margin)는 작아지며, 또한 공급 전압(supply voltage)의 감소를 야기한다. 증가한 전류는 옴(ohmic) 전압 강하(voltage drop)를 발생시키고, 빠른 전이 시간은 유도(inductive) 전압 강하를 발생시킨다. 이러한 전력 강하는 칩의 전력 무결성(power integrity) 유지에 문제를 일으키고,^{1,2)} 이를 해결하기 위해서는 전자패키징의 전력 네트워크 구조 내 저항(resistance), 인덕터(inductor) 그리고 커패시터(capacitor)와 같은 개별 수동소자 연구가 필요하다.^{3,4)} 이는 전통적인 IC(integrated circuit) 소자 뿐 아니라 전기자동차와 같은 응용분야에서도 매우 중요해지고 있다.⁵⁾

수동소자들은 전자소자 시스템의 소형화에 중요한 기여를 해왔으며, 전자패키징 분야에서 기판(substrate)이나 보드(PCB)의 가격 절감과 소자 성능 향상을 위해서 더욱 활발히 연구되고 있다. 그 중 노이즈(noise)나 리플(ripple)

이 거의 없는 최상의 전력 전달을 위해서는 높은 정전용량(capacitance)과 임피던스(impedance) 발생이 적은 짧은 전류 경로를 가지는 디커플링 커패시터(decoupling capacitor, DECAP)의 개발이 매우 중요한 요소라 하겠다.⁶⁾ 디커플링 커패시터는 전원 공급 망(grind)으로 주입되는 무선 주파수(radio frequency) 에너지를 제거하고, 부품을 전력을 공급하는 국부전원의 역할을 하며, 기판에서 전파되는 전류 서지(current surge)의 피크(peak)를 줄이는 기능을 한다. Fig. 1은 패키지 내 디커플링 커패시터의 위치를 보여주고 있고, Fig. 2는 칩에서 멀리 위치한 순서와 크기별로 디커플링 커패시터 종류를 설명하고 있다. 일반적으로 디커플링 커패시터는 voltage regulator capacitor, board capacitor, package capacitor, 그리고 on-chip capacitor로 분류한다.

전력 망 신뢰성이나 노이즈 조절을 위한 방법으로 디커플링 커패시터 삽입은 와이어 확장이나 망 토폴로지(grid topology) 최적화 방법보다 효과적이고,¹⁾ MCM-D나 MCM-L과 같은 멀티 칩 모듈(multi-chip-module) 패키지 구조에 내장형(embedded)으로 많이 사용되었다.⁸⁻¹⁰⁾ 그러나, Fig. 3에서 보듯이 공명 주파수(resonant frequency)보다 높은 주파수 영역에서는 기생 임피던스 때문에 총 임

[†]Corresponding author

E-mail: eunkyung@seoultech.ac.kr

© 2017, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

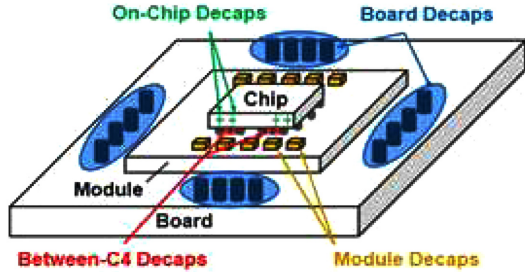


Fig. 1. Location of decoupling capacitors in a package⁷⁾.

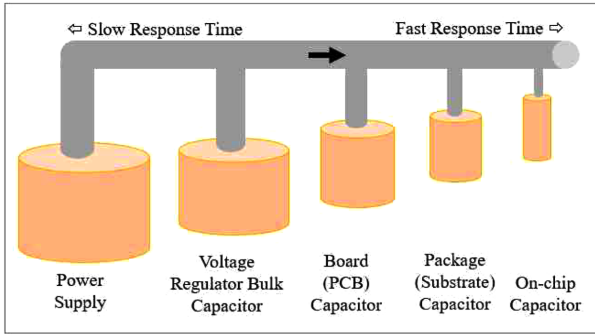


Fig. 2. Hierarchical placement of decoupling capacitors.

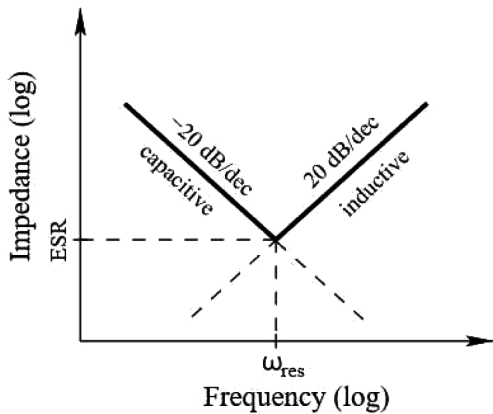


Fig. 3. Frequency dependent impedance profile in decoupling capacitor systems¹⁾.

피턴스가 증가하는 현상이 발생한다. 증가한 임피던스 때문에 정전용량이 큰 디커플링 커패시터가 필요하며, 디

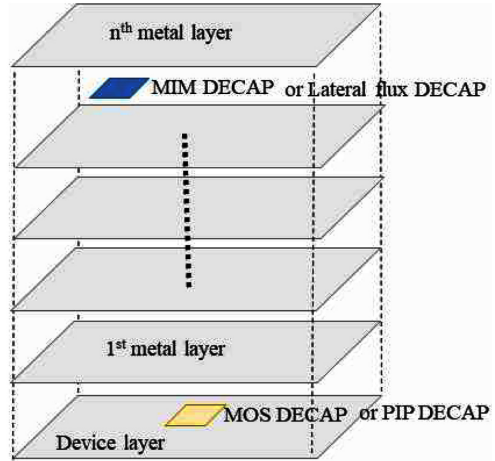


Fig. 4. Types of on-chip decoupling capacitors.

커플링 커패시터 중 온 칩 디커플링 커패시터를 많이 사용하는 것이 효과적이다.¹⁾ SiP(system in package)과 같은 차세대 고성능 패키지 구조에서는 온 칩 디커플링 커패시터가 더욱 중요한 요소가 될 것이다.¹¹⁾

2. 온 칩 디커플링 커패시터 종류

가장 널리 사용되고 있는 온 칩 디커플링 커패시터의 종류는 아래와 같다.¹⁾

- Polysilicon-insulator-polysilicon (PIP) decoupling capacitor
- Metal-oxide-semiconductor (MOS) decoupling capacitor
- Metal-insulator-metal (MIM) decoupling capacitor
- Lateral flux decoupling capacitor

Fig. 4에서 4 종류의 온 칩 디커플링 커패시터의 칩 내 위치를 설명하였고, Table 1에서는 90 nm 기술의 각 온 칩 디커플링 커패시터의 정전용량밀도(capacitance density) 등 커패시터 특성을 예로 나타내었다.

CMOS를 기반으로 하는 대부분의 반도체 소자는 트랜지스터 전력 조절을 위해서 MOS 디커플링 커패시터를 이용한다. MIM 디커플링 커패시터는 Fig. 5나 Fig. 6과 같이 두 개의 금속 배선 사이에 위치하거나 Fig. 7(a)과 같

Table 1. Four types of on-chip decoupling capacitors in a 90 nm CMOS technology¹⁾

Feature	PIP capacitor	MOS capacitor	MIM capacitor	Lateral flux capacitor
Capacitance density (fF/μm ²)	1-5	10-20	1-30	10-20
Bottom plate capacitance (%)	5-10	20-30	2-5	1-5
Linearity (ppm/volt)	50-150	300-500	10-50	50-100
Quality factor	5-15	1-10	50-150	10-50
Parasitic resistance (mΩ)	500-2000	1000-1000	50-250	100-500
Leakage current (A/cm ²)	10 ⁻¹⁰ -10 ⁻⁹	10 ⁻² -10 ⁻¹	10 ⁻⁹ -10 ⁻⁸	10 ⁻¹⁰ -10 ⁻⁹
Temperature dependence (ppm/°C)	150-250	300-500	50-100	50-100
Process complexity	Extra steps	Standard	Standard	Standard

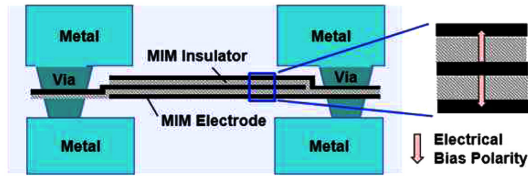


Fig. 5. Schematic of MIM capacitor at metal interconnects⁷⁾

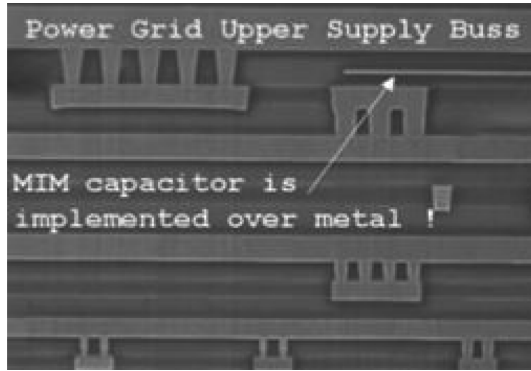
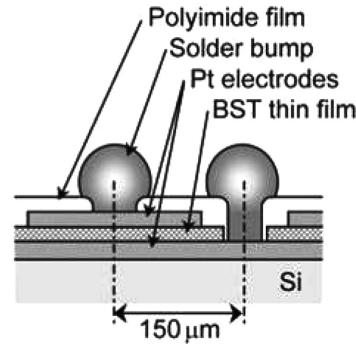


Fig. 6. Example of MIM capacitor at metal interconnects¹⁷⁾

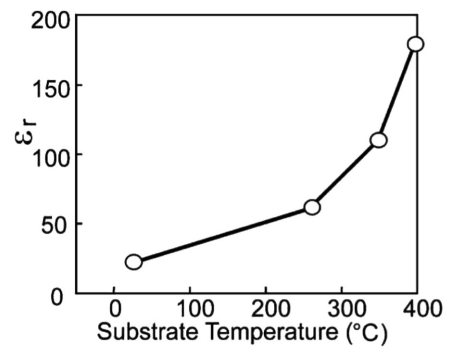
이 범프 층에 위치한다. 최근에는 정전용량이 높은 박막 커패시터가 많이 보고되고 있다. 배선 M11 층과 M12 층 사이에 위치한 Intel의 14 nm 기술의 MIM 디커플링 커패시터는 22 nm 기술의 MIM 디커플링 커패시터보다 2배의 정전용량 향상을 보였다고 보고되었다.¹²⁾ Ando 그룹은 등가 산화물 두께(equivalent oxide thickness, EOT)가 0.8 nm인 HfO₂ 유전체를 이용한 MIM 디커플링 커패시터를 제조하였고, 정전용량 밀도가 43fF/μm²이었고, 누설전류 밀도(leakage current density)가 전압 1V, 온도 125°C에서 5fA/μm²이었다고 발표하였다.⁷⁾ Fig. 7(a)은 범프 층에 Pt/BST/Pt를 이용하여 박막 디커플링 커패시터를 제조한 단면 도식도를 보여주고 있으며, BST 유전체 두께는 100 nm이었고, 범프 피치(pitch)는 150 μm, 범프 지름은 80 μm이었다. Fig. 7(b)에서는 박막 BST 커패시터가 스퍼터 증착 시 기판 온도가 높을수록 유전율이 올라가는 것을 보여주고 있다.¹³⁾ 유전율이 30에서 200으로 넓은 분포를 가지는 것은 디커플링 커패시터 제조에 매우 유용하나, 칩 레벨의 디커플링 커패시터 공정에서는 낮은 증착 온도가 매우 중요한 요소라 하겠다.

3. 박막 디커플링 커패시터

보드나 기관에서 디커플링 기능, 바이패싱(bypassing) 기능, 또는 종료결정(termination determining) 기능을 하는 기존의 벌크(bulk) 커패시터들은 박막 커패시터로 대체 가능하다. 박막 커패시터가 삽입되는 내장형 보드는 기존 패키지 구조와 비교하여 전기적 성능이 향상되고, 가격을 줄일 수 있으며, 소형화를 할 수 있다는 장점이 있



(a) Schematic drawing of Pt/BST/Pt MIM capacitor



(b) Effect of deposition temperature on the dielectric constant of BST decoupling capacitor

Fig. 7. Example of MIM capacitor at bumps¹³⁾

어서 그 동안 많은 개발이 되어 왔다. 그러나 아직은 제조 문제, 각 커패시터를 통합하는 구조적 문제, 그리고 유전체 재료 문제, 등 해결해야 할 과제들이 있다. 디커플링 커패시터에 사용되는 박막 유전체 소재가 충족해야 할 요구사항들은 아래와 같다.^{3, 13-15)}

- 고 유전율(dielectric constant)
- 다양한 고분자 소재와 호환되는 저손실(low loss) 유전체
- 포토리소그래피나 식각 공정 사용 가능
- 화학적 안정성
- 전극 금속의 확산 방지
- 저온 공정

산화물 계열의 유전체 외 에폭시에 BaTiO₃나 SrTiO₃와 같은 고 유전율 세라믹으로 혼합된 복합 소재나 잉크 계열 복합 소재도 연구가 되고 있다. 예로 Al 나노 입자와 에폭시 기반의 diglycidyl ether 고분자 복합 소재는 약 3.5의 유전율을 가지는 일반 고분자 소재에 비하여 유전율이 52.3~82.1로 상당히 높은 수준으로 보고되었다.¹⁶⁾

고성능, 고밀도 소자의 개발로 온 칩 박막 디커플링 커패시터 중 MOS 디커플링 커패시터만으로는 전력 조절이 충분하지 못하기 때문에 MIM 디커플링 커패시터 사용이 더욱 요구되고 있다. 배선 사이나 범프 사이에 제조해야 하는 MIM 디커플링 커패시터는 앞서 언급한 유전

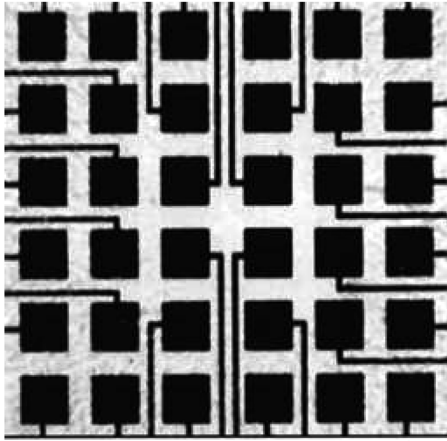


Fig. 8. Image of the 6×6 capacitor array³⁾

체 소재의 요구사항 중 특히 공정 온도가 낮아야 하고, 유전율이 높아야 한다. MIM 디커플링 커패시터에 사용되는 대부분의 고 유전율 박막인 HfO_2 , ZrO_2 , TiO_2 , ZrTiO_4 등은 이론적으로 유전율 30을 넘기가 어렵다.¹¹⁻¹⁴⁾ 유전율 향상을 위해서 PLZT, $\text{Mn-Bi}_4\text{Ti}_3\text{O}_{12}$, $\text{Bi}_{24}\text{Fe}_2\text{O}_{39}$, BST 등 다른 유전체 소재들도 연구되고 있다.^{13, 22-24)} 박막 유전체의 유전율이 낮은 이유는 박막 공정에서 발생하는 유전체 내 결함(defect)들이 누설전류(leakage)를 발생시키고, 전력 소모를 높이며, 노이즈와 수명에도 영향을 미치기 때문이다.²⁰⁾ 박막 커패시터의 경우 높은 정전용량을 위해서 Fig. 8과 같은 어레이(array) 배열로 제조되기도 한다. 이와 같이 고성능 소자에서는 박막 디커플링 커패시터의 유전체 소재 뿐 아니라 커패시터 디자인도 같이 연구되어야 한다. 전력/접지(power/ground) 면(plane)을 디자인할 때 일반적으로 럼프드 커패시터(lumped capacitor) 모델을 많이 사용하지만, 클럭 주파수(clock frequency)가 GHz 이상의 고 주파수 대역으로 증가하면 커패시터에서 디커플링되는 반지름이 작아지고, 전력/접지 면의 거동이 더욱 복잡해진다. 그렇기 때문에 새로운 패키지 레벨의 디커플링 커패시터의 크기, 수, 그리고 위치를 최적화하는 디자인 연구의 필요성이 높아지고 있다.^{25, 26)} 그러나 차세대 칩 레벨의 디커플링 커패시터 디자인 연구는 아직 부족한 면이 많다. 앞으로 IC 소자의 전력 무결성 유지를 위해서는 디커플링 커패시터 중 온 칩 디커플링 패시터가 더욱 중요해질 것이며, 특히 고주파수 대역에서 발생하는 전력 네트워크의 높은 기생 임피던스 조절에는 온 칩 디커플링 커패시터가 가장 효과적이라 하겠다.²⁷⁾

4. 3D 패키징 응용

칩을 적층하는 3D 패키징 구조는 기존의 2D 패키징 구조와 비교하여 동일한 칩 면적에서 패키지 핀(pin) 당 높은 공급 전류를 가진다. 특히 TSV(through Si via)를 전력/접지 망에 사용하는 3D 적층 구조의 경우 TSV에 전류 밀

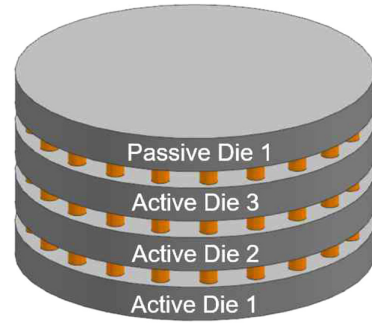


Fig. 9. Schematic drawing of passive chip stacking in 3D structure

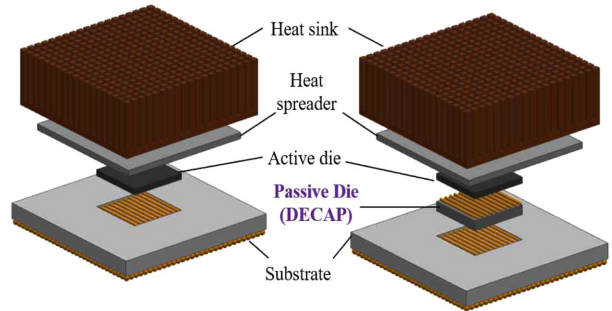


Fig. 10. Schematic drawing of passive device²⁷⁾

도가 높아져서 EM(electromigration) 저하가 생기고, 전압 강하에 의한 전력 분배 문제가 발생한다. 전력 무결성 유지를 위한 TSV의 EM이나 전류 군집(current crowding)에 대한 연구는 공정보다는 디자인 연구가 활발하다.²⁸⁻³¹⁾ 그리고 2D 구조보다 3D 적층 구조에서는 칩에 MOS 디커플링 커패시터를 삽입하는데 공간적 어려움이 있기 때문에 MOS 디커플링 커패시터와 함께 MIM 디커플링 커패시터를 사용해야 하고, 정전용량도 2D 구조보다 큰 MIM 디커플링 커패시터를 삽입해야 한다. 하지만, 온 칩 MIM 디커플링 커패시터는 배선 또는 범프 사이에 위치하기 때문에 라우팅 차단(routing blockage)과 어레이 배열 문제 등 3D 적층 구조에서 설계가 더 복잡하고 어렵다. 디커플링 커패시터의 설계와 공정을 용이하면서 3D 적층 구조의 장점을 살리기 위한 방법으로 수동소자 전용 칩 구조가 제안되기도 했다. 저가 공정으로 수동소자 전용 칩을 제조한 후 Fig. 9와 같이 3D 웨이퍼 적층 또는 칩 적층 구조에 삽입하거나, Fig. 10과 같이 패키지 레벨에서 능동소자와 기판 사이에 삽입하는 것이다.³²⁻³⁴⁾ 특히 3D 패키징 구조에서 수동소자 전용 칩 삽입 방법은 온 칩 디커플링 커패시터 활용을 극대화할 수 있는 장점이 있다. 수동소자 전용 칩 제조는 라우팅과 같은 디자인 문제 해결에도 도움이 될 뿐 아니라 트랜지스터와 배선이 없는 bare Si 웨이퍼에 수동소자만 제조할 수 있기 때문에 커패시터 공정에 매우 유리하다. 다소 높은 온도에서 유전체 공정을 진행하여도 무관하며, 고 유전율 유전체 소재의 선택에도 제약이 적고, 총 정전용량을 높이는 디자인

도 가능하게 된다. 금속이 아닌 탄소 나노섬유(carbon nanofiber)와 같은 소재를 전극으로 이용하기에도 용이하다.⁶⁾ 3D 패키징과 같은 차세대 패키지 구조에 온 칩 디커플링 커패시터의 적용은 IC 소자의 전력 망 네트워크 조절에 매우 중요한 요소이다.

5. 결 론

IC 소자의 성능과 밀도가 증가하고, 특히 클록 주파수가 높아지면서 전력 망 네트워크 무결성 유지는 더욱 심각해지고 있다. 전력 무결성 관리를 위해서는 수동소자에 관한 연구가 매우 필요하며, 그 중 디커플링 커패시터는 핵심 요소 중 하나이다. 디커플링 커패시터 중 온 칩 MIM 디커플링 커패시터는 3D 패키징과 같은 차세대 패키지 구조의 전력 분배나 전달에서 핵심 요소가 될 것이며, 디커플링 커패시터 활용을 극대화할 수 있는 공정과 디자인 측면에서 더 많은 연구가 이루어져야 한다.

감사의 글

이 연구는 서울과학기술대학교 교내연구비의 지원으로 수행되었습니다(과제번호: 2017-0614).

References

1. M. Popovich, "High Performance Power Distribution Networks with on-Chip Decoupling Capacitors for Nanoscale Integrated Circuits(in USA.)", in Ph.D. Thesis, Univ. Rochester, NY (2007).
2. M. Popovich, and E. G. Froed,am, "Decoupling Capacitors for Multi-Voltage Power Distribution Systems", IEEE Trans. VLSI Systems., 14(3), 217 (2006).
3. S. Ramesh, B. A. Shutzberg, and C. Huang, "Dielectric Nanocomposites for Integral Thin Film Capacitors: Materials Design, Fabrication and Integration Issues", IEEE Trans. Adv. Packag., 26(1), 17 (2003).
4. T. Lenihan, L. Schaper, and Y. Shi, "Embedded Thin Film Resistors, Capacitors and Inductors in Flexible Polyimide Films", Proc. 46th Electron. Compon. Technol. Conf., 119 (1996).
5. F. Wang, and Y. Wang, "Development and Utilization of Integral Thin Film Capacitors", Procedia Environ. Sci., 18, 871 (2013).
6. A. M. Saleem, G. Goransson, and V. Des,aros, "CMOS Compatible on-Chip Decoupling Capacitor Based on Vertically Aligned Carbon Nanofibers", Solid State Electron., 107, 15 (2015).
7. T. Ando, E. Carther, and P. Jamison, "CMOS Compatible MIM Decoupling Capacitor with Reliable sub-nm EOT High-k Stacks for the 7 nm Node and Beyond", Proc. IEEE Int. Electron Devices Meeting (2016).
8. G. Carchon, K. Vaesen, and S. Brebets, "Multilayer Thin-Film MCM-D for the Integration of High-Performance RF and Microwave Circuits", IEEE Trans. Compon., Packag., Manuf. Technol., 24(3), 510 (2001).
9. P. Chahal, R. R. Tummara, and M. G. Allen, "A Novel Integrated Decoupling Capacitor for MCM-L Technology", IEEE Trans. Compon., Packag., Manuf. Technol., Part B., 21(2), 184 (1998).
10. D. DimosI, S. Llockwood, and R. Schwartz, "Thin-Film Decoupling Capacitors for Multichip Modules", IEEE Trans. Compon., Packag., Manuf. Technol., Part B., 18(1), 174 (1995).
11. Y. Rao, and C. Wong, "Material Characterization of a high-dielectric-constant polymer-ceramic Composite for Embedded Capacitor for RF Applications", J. Appl. Polym. Sci., 92(4), 2228 (2004).
12. K. Fischer, M. Agostimelli, and C. Allen, "Low-k Interconnect Stack with Multi-Layer Air Gap and Tri-Metal-Insulator-Metal Capacitors for 14nm High Volume Manufacturing", Proc. IEEE Int. Intercon. Technol. Conf., (2015).
13. K. Kurhara, T. Shioga, and J. D. Banecki, "Electrical Properties of Low-Inductance Barium Strontium Titanate Thin Film Decoupling Capacitors", J. Eur. Ceram. Soc., 24(6), 1873 (2004).
14. G. Banhegyi, "Comparison of Electrical Mixture Rules for Composites", Colloid. Polym. Sci., 264(12), 1030 (1986).
15. B. Lestriez, A. Maazouz, and J. Gerard, "Is the Maxwell-Sillars-Wagner Model Reliable for Describing the Dielectric Properties of a core-shell particle-epoxy System?", Polymer., 39(26), 6733 (1998).
16. J. Xu, and C. Wong, "Characterization and Properties of an organic-inorganic Dielectric Nanocomposite for Embedded Decoupling Capacitor Applications", Composites, Part A., 38(1), 13 (2007).
17. P. Zhou, K. Sridharan, and S. S. Sapatnekar, "Optimizing Decoupling Capacitors in 3D Circuits for Power Grid Integrity", IEEE Design & Test of Computers., 26(5), 15 (2009).
18. M. Kang, K. Cho, and S. Nahm, "Effects of Vanadium Substitution on the Electrical Performance of Amorphous SrBi₂Ta₂O₉ Thin-Film Capacitors", Scr. Mater., 7745 (2014).
19. T. Bertaud, C. Bermond, and S. Blonkowski, "Electrical Characterization of Advanced MIM Capacitors with ZrO₂ Insulator for High-Density Packaging and RF Applications", IEEE Trans. Compon., Packag., Manuf. Technol., 2(3), 502 (2012).
20. S. Cimno, A. Padovani, and L. Larcher, "A Study of the Leakage Current in TiN/HfO₂/TiN Capacitors", Microelectron. Eng., 95, 71.(2012).
21. J. H. Han, S. Han, and W. Lee, "Improvement in the Leakage Current Characteristic of Metal-Insulator-Metal Capacitor by Adopting RuO₂ Film as Bottom Electrode", Appl. Phys. Lett., 99(2), 022901 (2011).
22. B. Ma, D. Kwon and M. Narayanan, "Dielectric Properties of PLZT Film-on-Foil Capacitors", Mater Lett., 62(20), 3573 (2008).
23. J. Choi, C. Choi, and K. Cho, "Effect of Oxygen Vacancy and Mn-Doping on Electrical Properties of Bi₄Ti₃O₁₂ Thin Film Grown by Pulsed Laser Deposition", Acta Mater., 57(8), 2454 (2009).
24. X. Zhu, E. Defay, and Y. Lee, "High Permittivity Bi₂Fe₂O₃₉ Thin Films Prepared by a Low Temperature Process", Appl. Phys. Lett., 97(23), 232903 (2010).
25. J. Wang, J. Lu, and Y. Li, "Placement of Decoupling Capacitor on Packages Based on Effective Decoupling Radius", 18th IEEE Electron. Packag. Technol. Conf. (2016).
26. J. Y. Choi, and M. Swaminathan, "Decoupling Capacitor Place-

- ment in Power Delivery Networks using MFEM”, IEEE Trans. Compon., Packag., Manuf. Technol., 1(10), 1651 (2011).
27. M. Popovich, and E. G. Fredman, “Impedance Characteristics of Decoupling Capacitors in Multi-Power Distribution Systems”, Proc. 11th IEEE Int. Conf. Electronics, Circuits Systems., (2004).
28. X. Zhao, M. R. Scheuermann, and S. K. Lim, “Analysis and Modeling of DC Current Crowding for TSV-Based 3-D Connections and Power Integrity”, IEEE Trans. Compon., Packag., Manuf. Technol., 4(1), 123.(2014).
29. Y. C. Tan, C. M. Tan, X. W. Zhang, T. C. Chai, and D. Q. Yu, “Electromigration performance of through silicon via (TSV), a modeling approach”, Microelectron. Rel., 50(9-11), 1336 (2010).
30. L. H. Allen, and M. Y. Zhang, “Solutions to current crowding in circular vias for contact resistance measurements”, J. Appl. Phys., 70(1), 253 (1991).
31. M. B. Healy, and S. K. Lim, “Distributed TSV topology for 3-D powersupply networks”, IEEE Trans. Very Large Scale Integr. Syst., 20(11), 2066 (2012).
32. K. Oh, J. Ma, and S. Kim, “Interconnect Process Technology for High Power Delivery and Distribution”, J. Microelectron. Packag. Soc., 19(3), 9 (2012).
33. G. Schrom, P. Hazucha, and J. Hahn, “Feasibility of Monolithic and 3D-Stacked DC-DC Converters for Microprocessors in 90 nm Technology Generation”, Proc. Int. Symp. Low Power Electron. Design., 263 (2004).
34. J. Sun, J. Lu, and D. Giuliano, “3D Power Delivery for Microprocessors and High-Performance ASICs”, Appl. Power Electron. Conf., 127 (2007).



- 조승범
 - 서울과학기술대학교, 나노IT디자인융합대학원 나노IT융합공학
 - e-mail: mcdevice@naver.com
-



- 김사라은경
 - 서울과학기술대학교, 나노IT디자인융합대학원 나노IT융합공학
 - E-mail: eunhyung@seoultech.ac.kr
-