

BCD 공정기반의 고속 EEPROM IP 설계

김일준*, 박헌*, 하판봉*, 김영희**

Design of High-Speed EEPROM IP Based on a BCD Process

RiJun Jin*, Heon Park*, Pan-Bong Ha*, Young-Hee Kim**

요약 본 논문에서는 읽기 모드에서 BL (Bit Line)의 전압을 DL (Data Line)에 전달하는 시간을 줄이기 위해 기생하는 커패시턴스가 큰 distributed DB 센싱 방식 대신 기생하는 커패시턴스가 작은 local DL 센싱 방식을 제안하였다. 그리고 읽기 모드에서 NMOS 스위치를 빠르게 ON 시키는 BL 스위치 회로를 제안하였다. 또한 BL 노드 전압을 VDD-VT로 선 충전하는 대신 DL 클램핑 회로를 사용하여 0.6V로 클램핑 하고 차동증폭기를 사용하므로 읽기 모드에서 access 시간을 35.63ns로 40ns를 만족시켰다. 0.13 μ m BCD 공정을 기반으로 설계된 512Kb EEPROM IP의 레이아웃 면적은 923.4 μ m \times 1150.96 μ m(=1.063mm²)이다.

Abstract In this paper, a local DL (Data Line) sensing method with smaller parasitic capacitance replacing the previous distributed DB sensing method with large parasitic capacitance is proposed to reduce the time to transfer BL (Bit Line) voltage to DL in the read mode. A new BL switching circuit turning on NMOS switches faster is also proposed. Furthermore, the access time is reduced to 35.63ns from 40ns in the read mode and thus meets the requirement since BL node voltage is clamped at 0.6V by a DL clamping circuit instead of precharging the node to VDD-VT and a differential amplifier are used. The layout size of the designed 512Kb EEPROM memory IP based on a 0.13 μ m BCD is 923.4 μ m \times 1150.96 μ m (=1.063mm²).

Key Words : BCD process, Dual Program Voltage, EEPROM, High-Speed, Local DL Sensing

1. 서론

무선충전기 (wireless charger), USB type-C 등의 MCU (Micro Controller Unit)에서 25MHz 이상의 고속 읽기 동작 특성을 가진 비휘발성 메모리가 요구되고 있다[1-3]. 실시간 정보 갱신, 보안 데이터 저장, 명령코드 저장 등의 기능을 하는 MCU용 1Mb 이하의 내장형 비휘발성 메모리는 EEPROM IP (Intellectual Property)가 주로 사용되고 있다[4-7].

Split 게이트 EEPROM 셀을 사용하는 EEPROM IP는 지우기 (erase)와 프로그램 동작을 위하여 HV (High Voltage)인 VPP (=14.5V) 전압이 사용하는

대신 듀얼 프로그램 전압 (dual program voltage)인 $\pm 7.25V$ 를 이용하여 플로팅 게이트 트랜지스터 (floating gate transistor)를 지우거나 프로그램하는 방식이 사용된다[8]. 단일 프로그램 전압을 이용하는 대신 듀얼 프로그램 전압인 $\pm 7.25V$ 를 이용하여 HV 소자의 사용 없이 설계하므로 HV 소자에 관련되는 마스크 3장을 제거할 수 있다[3].

고속의 EEPROM을 구현하기 위해 distributed DL (Data Line) 구조를 적용하면서 기준전압 (reference voltage)을 사용한 차동증폭기 형태의 DL 센싱 회로가 제안되었다[7]. 그런데 512Kb의 대용량 EEPROM IP에서는 distributed DB 구조도

This research is financially supported by Changwon National University in 2017-2018.

*Department of Electronic Engineering, Changwon National University

**Corresponding Author : Department of Electronic Engineering, Changwon National University (youngkim@changwon.ac.kr)

Received October 13, 2017

Revised October 16, 2017

Accepted October 25, 2017

기생하는 커패시턴스 때문에 40ns의 access 시간을 만족시키기는 어렵다.

본 논문에서는 듀얼 프로그램 전압인 $\pm 7.25V$ 를 이용하여 split 게이트 EEPROM 셀을 지우기와 프로그램 동작을 수행하는 512Kb EEPROM IP를 설계하였다. 설계된 EEPROM IP에서는 distributed DB 센싱 방식 대신 local DL 센싱 방식을 제안하였다. 그리고 대기 (stand-by) 상태에서 BL_DISb (BL DISable bar) 신호는 3.3V의 DC 전압을 공급하여 쓰기 모드용 NMOS 스위치를 항상 ON시켜 놓은 상태에서, 읽기 모드로 진입하면 선택되는 BLSW_SEL 신호에 의해 읽기 모드용 NMOS 스위치를 빠르게 ON 시키는 BL 스위치 회로를 제안하였다. 또한 BL 노드 전압을 $VDD-VT$ 로 선충전하는 대신 DL 클램핑 (clamping) 회로를 사용하여 0.6V로 클램핑하고 차동증폭기를 사용하므로 읽기 모드에서 access 시간을 35.63ns로 40ns를 만족시켰다. 0.13 μm BCD 공정을 기반으로 설계된 512Kb EEPROM IP의 레이아웃 면적은 $923.4\mu m \times 1150.96\mu m (=1.063mm^2)$ 이다.

2. 제안하는 고속 EEPROM IP 설계

0.13 μm BCD 공정을 사용하여 설계된 512Kb EEPROM IP의 주요 특징은 표 1과 같다. EEPROM 셀은 split 게이트 EEPROM 셀을 사용하고 있으며, 행 (row) 방향으로 CG (Control Gate)와 SG (Select Gate)가 라우팅 되어 있으며, 열 (column) 방향으로 BL (Bit-Line)과 SL (Source Line)이 라우팅 되어 있다[6]. 사용되는 VDD 전압은 2.2V~5.5V의 넓은 동작 전압 범위를 가지며, 동작 모드는 정상 (normal) 모드로 읽기, 페이지 지우기 (page erase), 페이지 버퍼 로드 (page buffer load), 페이지 프로그램 (page program)이 있으며, write-verify-read 모드로 erase-verify-read와 program-verify-read 모드가 있다. 그리고 test time reduction mode와 cell stress test mode를 지원하고 있다. EEPROM 셀 어레이는 512행 \times 1,024열로 구성되어 있다. 페이지 버퍼 사이징은 1Kb이므로 페이지 지우기와 페이지 프로그램은

1Kb 단위로 수행되는 반면, 페이지 버퍼 로드와 읽기 동작은 I/O가 32bit이므로 32bit 단위로 수행된다.

표 1. 512Kb EEPROM의 주요특징.

Table 1. Major specifications of 512Kb EEPROM memory IP.

Items	Target Specifications	
VDD	Read	2.2V ~ 5.5V
	Write	2.2V ~ 5.5V
	Write-Verify-Read	4.5V ~ 5.5V
V.LV	Read	1.35V ~ 1.65V
	Write	1.35V ~ 1.65V
	Write-Verify-Read	1.35V ~ 1.65V
Function	Normal Mode	Read / Page Erase / Page Buffer Load / Page Program / Reset / Stand-By
	Write-Verify-Read	Erase-Verify-Read / Program-Verify-Read
	Others	Test Time Reduction / Cell Stress Test
Memory Density	512Kb	
Cell Array	512Rows \times 1024Columns	
I/O	32bit	
Page Size	128bytes	
Temperature Range	-40~85 $^{\circ}C$	
Write Time	2ms	
Cycle Time	40ns	
Endurance	10K Cycles	
Data Retention	10Years	

그림 1은 8개로 분리된 distributed DB 구조를 나타내었다. 동작 속도에 영향을 미치는 DB의 기생하는 커패시턴스 성분은 주로 DB의 도선 커패시턴스 (interconnect capacitance) 및 그림 2의 BL 스위치 회로에서 5V NMOS 트랜지스터에 있는 접합 커패시턴스 (junction capacitance), 게이트 오버랩 커패시턴스 (gate overlap capacitance) 성분으로 구성되어있다. 512행 \times 1,024열의 셀 어레이로 구성된 대용량 EEPROM IP에서 distributed DB 방식에서 DB 노드의 기생하는 커패시턴스를 줄이는 기술이 필요하다.

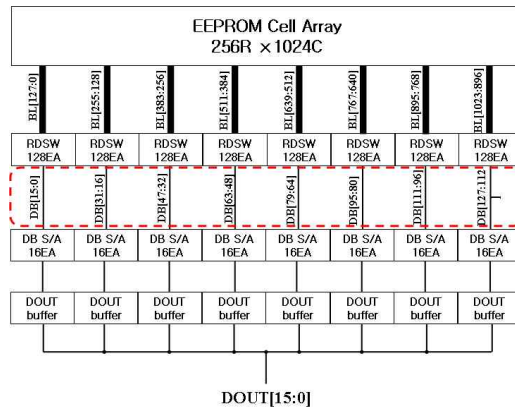


그림 1. Distributed DB 구조[7].
Fig. 1. Distributed DB structure[7].

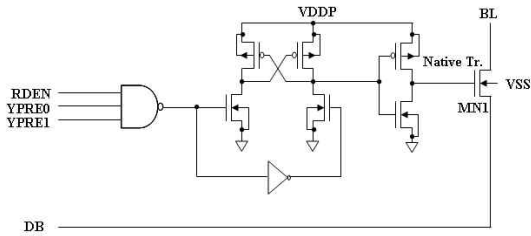


그림 2. 기존의 BL 스위치 회로[7].
Fig. 2. The conventional BL switching circuit[7].

그림 3은 32열마다 DL S/A가 하나씩 있는 local DL 센싱 구조를 보여주고 있다. 그림 1의 distributed DB 구조에 비해 그림 3의 제안된 구조는 DB 노드의 기생하는 커패시턴스를 1/4 수준으로 줄일 수 있다.

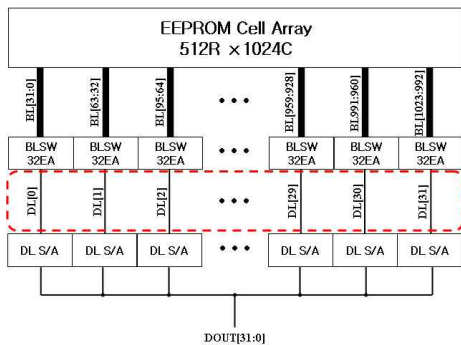
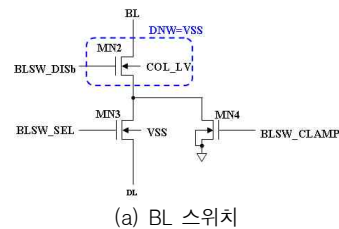


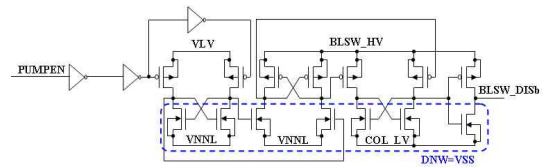
그림 3. 제안된 local DL 센싱 구조.
Fig. 3. The proposed local DL sensing structure.

그림 4는 제안된 BL 스위치 회로를 보여주고 있다. 그림 2의 기존의 BL 스위치 회로는 지우기 모드에서 BL에 14.5V의 고전압이 걸리므로 MN1 트랜지스터는 HV의 native 트랜지스터가 사용된다. 그런데 본 논문에서 BL 전압은 프로그램 모드와 지우기 모드에서 각각 -7.25V와 7.25V가 인가되므로 5V 트랜지스터를 사용하는 BL 스위치를 OFF 시키기 위해서는 그림 4(b)의 BL 스위치 disable 회로를 사용하여야 한다. BL 스위치 disable 회로는 프로그램 모드와 지우기 모드에서 각각 0V, -7.25V를 공급하므로 그림 4(a)의 쓰기 모드용 NMOS 트랜지스터인 MN2 트랜지스터를 OFF 시켜준다. 그리고 읽기 모드에서 BL_DISb(

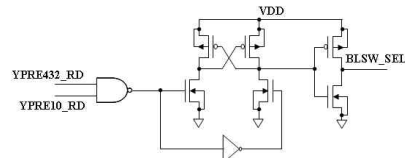
BL DISable bar) 신호는 3.3V의 DC 전압을 공급하므로 MN2는 항상 ON 상태를 유지한다. 그림 4(c)는 BL 스위치 선택회로로 읽기 모드에서 열어드레스인 A[5:0]를 디코딩하여 32 BL 중 한 BL을 선택한다. 본 논문의 BL 스위치 회로는 대기 상태에서 BL_DISb 신호는 3.3V의 DC 전압을 공급하므로 MN2는 항상 ON시켜놓은 상태에서, 읽기 모드로 진입하면 선택되는 BLSW_SEL 신호에 의해 BL을 ON시키도록 하므로 BL 선 충전 시간을 줄여 access 시간을 빠르게 하였다.



(a) BL 스위치



(b) BL 스위치 disable 회로



(c) BL 스위치 선택회로

그림 4. 제안된 BL 스위치 회로.
Fig. 4. The proposed BL switching circuit: (a) BL switch, (b) BL switch disabling circuit, and (c) BL switch select circuit.

그림 5는 기존의 차동증폭기 형태의 DB S/A 회로를 보여주고 있으며, PMOS 풀-업 (pull-up) 트랜지스터(MP1)와 S/A (Sense Amplifier) based D Flip-Flop 회로로 구성되어있다. S/A based D Flip-Flop 회로의 입력 단에는 DL이 연결되고 차동 입력으로는 0.75·VDD의 기준전압인 VREF가 인가되어 DL 전압과 VREF 전압의 전압차가 발생

하여 SAENb (S/A ENable bar) 신호에 의해 차동 증폭기가 동작하여 입력전압 차를 증폭시켜 출력 단인 RD 노드로 내보내게 된다[7]. 차동증폭기의 출력은 DL 전압이 VREF 전압 이상일 때에는 VDD를 출력하고, DL 전압이 VREF 전압 이하일 때에는 0V가 출력되게 된다[7]. 그림 5의 DL S/A 회로는 BL을 VDD-VT 전압으로 선 충전하므로 지워진 셀을 읽을 때 0V로 방전하는데 시간이 많이 걸린다.

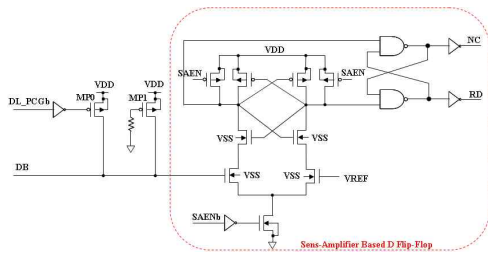


그림 5. 기존의 DL S/A 회로[7].
Fig. 5. The conventional DL S/A circuit[7].

그래서 본 논문에서는 BL을 VDD-VT 전압으로 precharging하는 대신 DL 클램핑 회로를 사용하여 BL 전압을 0.6V로 클램핑하므로 읽기 모드에서 access 시간을 34.2ns로 40ns를 만족시켰다. 설계된 512Kb EEPROM IP는 그림 6의 차동증폭기 형태의 DL S/A 회로를 사용하였다.

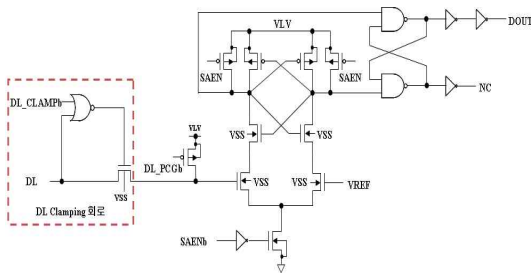


그림 6. 제안된 DL S/A 회로.
Fig. 6. The proposed DL S/A circuit.

3. 레이아웃 및 모의실험 결과

그림 7은 0.13 μ m BCD 공정을 기반으로 설계된 512Kb EEPROM IP의 레이아웃 이미지를

보여주고 있으며, 레이아웃 면적은 923.4 μ m × 1150.96 μ m (=1.063 μ m²)이다.

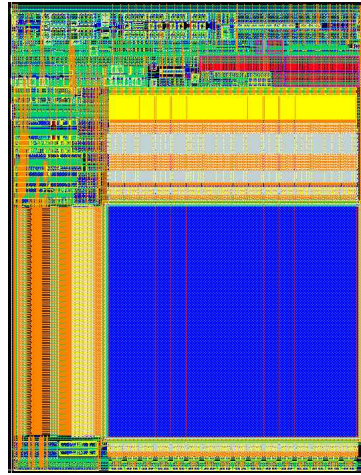


그림 7. 설계된 512Kb EEPROM IP의 레이아웃 이미지.
Fig. 7. The layout image of the designed 512Kb EEPROM memory IP.

그림 8은 읽기 모드에서 지워진 EEPROM 셀과 프로그램된 EEPROM 셀을 연속적으로 모의실험한 결과를 보여주고 있으며, 모의실험 조건은 VDD=2.2V, VLV=1.35V, SS (slow NMOS slow PMOS) model parameter, Temp.=125 $^{\circ}$ C에서 진행되었다. DL과 BL은 그림 8에서 보는바와 같이 DL_CLAMPb 신호에 의해 0.6V로 클램핑 되는 것을 볼 수 있다. 그리고 SG 신호가 3.3V로 활성화되면서 첫 번째 읽기 모드 싸이클에서 EEPROM 셀의 ON 전류에 의해 DL과 RD 전압은 방전 된다. EEPROM 셀의 데이터가 RD 노드에 충분히 전달되면 SAEN 신호가 high로 활성화되면서 센싱 데이터를 DOUT 포트에 출력하는 것을 볼 수 있다. 읽기 모드에서 지워진 EEPROM 셀과 프로그램된 EEPROM 셀의 access 시간은 각각 35.63ns와 34.51ns로 모두 40ns의 스펙을 만족한다.

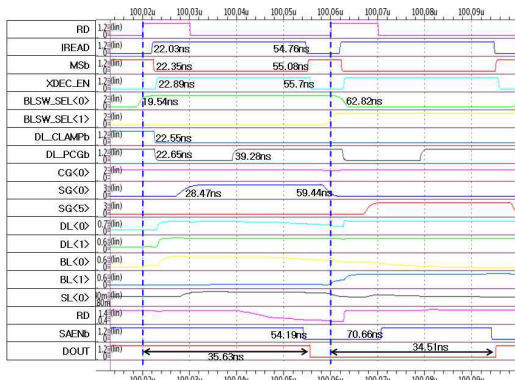


그림 8. 읽기 모드에서의 모의실험 결과 파형.
Fig. 8. Simulation results in the read mode.

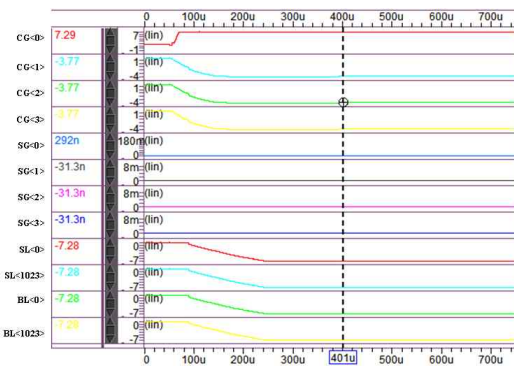


그림 10. Page program mode에서의 모의실험 결과 파형.
Fig. 10. Simulation result in the page program mode.

그림 9와 그림 10은 page erase 모드와 page program 모드에서의 모의실험 결과를 보여주고 있으며, selected CG, unselected CG, selected SG, unselected SG, BL의 전압이 동작 모드별 cell bias 조건에서처럼 나오는 것을 볼 수 있다. 모의 실험 조건은 VDD=2.2V, VLV=1.35V, slow NMOS slow PMOS 모델 파라미터, Temp.=125°C에서 진행되었다.

4. 결론

무선 충전기, USB type-C 등의 MCU에서 고속의 읽기와 쓰기 동작 특성을 가진 비휘발성 메모리가 요구되고 있으며, 1Mb 이하의 비휘발성 메모리 IP는 EEPROM IP가 주로 사용되고 있다.

Split 게이트 EEPROM 셀을 사용하는 EEPROM IP는 지우기와 프로그램 동작을 위하여 HV인 VPP 전압이 사용하는 대신 듀얼 프로그램 전압인 ±7.25V를 이용하여 플로팅 게이트 트랜지스터를 지우거나 프로그램하는 방식이 사용된다. 이와같이 단일 프로그램 전압을 이용하는 대신 듀얼 프로그램 전압인 ±7.25V를 이용하므로 HV 소자에 관련되는 마스크 3장을 제거할 수 있다.

본 논문에서는 듀얼 프로그램 전압인 ±7.25V를 이용하여 split 게이트 EEPROM 셀을 지우기와 프로그램 동작을 수행하는 512Kb EEPROM IP를 설계하였다. 설계된 EEPROM IP에서는 읽기 모드에서 BL의 전압을 DL에 전달하는 시간을 줄이기 위해 기생하는 커패시턴스가 큰 distributed DB 센싱 방식 대신 기생하는 커패시턴스가 작은 local DB 센싱 방식을 제안하였다. 그리고 대기 상태에서 BL_DISb 신호는 3.3V의 DC 전압을 공급하여 쓰기 모드용 NMOS 스위치를 항상 ON시켜놓은 상태에서, 읽기 모드로 진입하면 선택되는 BLSW_SEL 신호에 의해 읽기 모드용 NMOS 스위치를 빠르게 ON 시키는 BL 스위치 회로를 제안하였다. 또한 BL 노드 전압을 VDD-VT로 선

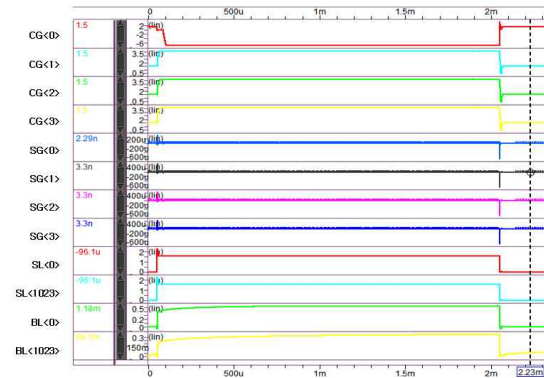


그림 9. Page erase mode에서의 모의실험 결과 파형.
Fig. 9. Simulation result in the page erase mode.

충전하는 대신 DL 클램핑 회로를 사용하여 0.6V로 클램핑하였다. 제안된 기술을 적용한 512Kb EEPROM IP의 모의실험 결과 읽기 모드에서 지워진 EEPROM 셀의 access 시간을 35.63ns로 40ns를 만족시켰다. 0.13 μ m BCD 공정을 기반으로 설계된 512Kb EEPROM IP의 레이아웃 면적은 923.4 μ m \times 1150.96 μ m (=1.063mm²)이다.

REFERENCES

[1] F. Xu, X. Q. He, L. Zhang, "Key Design Techniques of A 40ns 16K Bits Embedded EEPROM Memory", *Communication, Circuits and System*, vol. 2, pp. 1516-1520, June 2004.

[2] A. Conte, G. L. Gudiceo, G. Palumbo, A. Signorello, "A High-Performance Very Low-Voltage Current Sense Amplifier for Nonvolatile Memory", *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 507-514, Feb. 2005.

[3] H. Park, R. J. Jin, Y. J. Kang, M. H. Kim, P. B. Ha, Y. H. Kim, "Design of 512Kb EEPROM IP Using Dual Program Voltage," *Proceedings of ICIECT*, pp. 176-183, July 2017.

[4] S. Kawai, A. Hosogane, S. Kuge, T. Abe, K. Hashimoto, T. Oishi, N. Tsuji, K. Saka kibaba, K. Noguchi, "An 8kB EEPROM-E mulation DataFLASH Module for Automot ive MCU," *IEEE International Solid-State Circuits Conference*, 2008, pp. 508-509.

[5] G. S. Cho, D. H. Kim, J. H. Jang, J. H. Lee, P. B. Ha, Y. H. Kim, "Design of a S mall-Area, Low-Power, and High-Speed 128-KBit EEPROM IP for Touch-Screen Controllers," *Journal of the Korean Institu te of Maritime Information and Communic ation Sciences*, vol. 13, no. 12, 2009, pp. 2 633-2640.

[6] M. Hatanaka, H. Hidaka, G. Palumbo, "Val ue Creation in SOC/MCU Applications by E mbedded Non-Volatile Memory Evolutions",

Asian Solid State Circuits Conference, pp. 38 -42, Nov. 2007.

[7] Y. H. Kim, H. Park, M. H. Park, P. B. H a, Y. H. Kim, "Design of a Fast 256Kb EE PROM for MCU", *JKIICE*, vol. 19, no. 3, pp. 567-574, March 2015.

[8] H. Park, R. J. Jin, P. B. Ha, Y. H. Kim, "D esign of a cell Verification Module for Large -density EEPROM Memories" *KIIECT*, vol. 10, no. 2, pp 176-183, April 2017

저자약력

김 일 준(RiJun Jin)

[정회원]



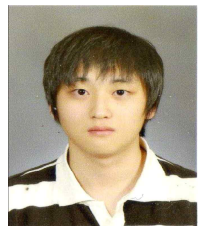
<관심분야>

NVM IP 설계

- 2002년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2004년 6월 : 연변대학교 전자정보통신학과 (공학석사)
- 2014년 9월 ~ 현재 : 창원대학교 전자공학과 박사과정

박 현(Heon-Park)

[정회원]



<관심분야>

Non-Volatile memory 설계

- 2010년 8월 : 경상대학교 전자공학과 (공학사)
- 2014년 2월 : 창원대학교 전자공학과 (공학석사)
- 2014년 3월 ~ 현재 : 창원대학교 전자공학과 (공학박사)

하 판 봉(Pan-Bong Ha)

[중신회원]



- 1981년 2월 : 부산대학교 전기 공학과 (공학사)
- 1983년 2월 : 서울대학교 전자 공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자 공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야>

임베디드 시스템, SoC 설계

김 영 희(Young-Hee Kim)

[중신회원]



- 1989년 2월 : 경북대학교 전자 공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야>

메모리 IP 설계, SoC 설계