

채널 길이의 변화에 따른 단일 게이트 피드백 전계효과 트랜지스터의 메모리 윈도우 특성 Effect of Channel Length Variation on Memory Window Characteristics of single-gated feedback field-effect transistors

조진선*, 김민석**, 우솔아**, 강현구**, 김상식**★
Jinsun Cho*, Minsuk Kim**, Sola Woo**, Hyungu Kang**, Sangsig Kim**★

Abstract

In this study, we examined the simulated electrical characteristics of single-gated feedback field effect transistors (FBFETs) and the influence of channel length variation of the memory window characteristics through the 3D device simulation. The simulations were carried out for various channel lengths from 50 nm to 100 nm. The FBFETs exhibited zero SS (< 1 mV/dec) and a current I_{on}/I_{off} ratio $\sim 1.27 \times 10^{10}$. In addition, the memory windows were 0.31 V for 50 nm-channel-length devices while no memory windows were observed for 100 nm-channel-length devices.

요약

본 연구에서는 3차원 소자 시뮬레이션을 통하여 단일 게이트 피드백 전계효과 트랜지스터의 전기적 특성과 채널 길이에 따른 메모리 윈도우 특성 변화를 확인하였다. 소자의 채널 길이는 50 nm에서 100 nm까지 변화시켜가며 시뮬레이션을 수행하였다. 시뮬레이션 결과 0에 가까운 문턱전압이하 기울기 (< 1 mV/dec)와 $\sim 1.27 \times 10^{10}$ 의 I_{on}/I_{off} 비율을 얻었다. 또한 메모리 윈도우를 확인한 결과 채널 길이 50 nm의 소자는 0.31 V의 메모리 윈도우가 생성되었으나 채널 길이 100 nm의 소자는 메모리 윈도우가 생성되지 않았다.

Key words : Feedback field-effect transistors, memory window, trigger voltage, channel length, simulation

* Dept. of Semiconductor Systems Engineering, Korea University

** Dept. of Electrical Engineering, Korea University

★ Corresponding author

e-mail:sangsig@korea.ac.kr, tel: 02-3290-3245

※ Acknowledgment

This work was partly supported by the National Research Foundation of Korea (NRF) Grant funded by the Korean Government (MSIP) (NRF-2013R1A2A1A03070750, NRF-2015R1A2A1A15055437), and the Brain Korea 21 Plus Project in 2017. This material is based upon work supported by the Ministry of Trade, Industry & Energy (MOTIE, Korea) under Industrial Strategic Technology Development Program. (10067791, 'Development of fabrication and device structure of feedback Si channel 1T-SRAM for artificial intelligence').

Manuscript received Sep.4, 2017; revised Sep.18, 2017; accepted Sep.21, 2017

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

반세기동안 반도체 산업은 높은 집적도 및 성능 향상을 위해 금속-산화막-반도체 전계효과 트랜지스터 (MOSFET)의 회로선폭을 끊임없이 감소시켜왔다[1]. 하지만 이러한 노력에도 불구하고 MOSFET 소자의 집적도 향상으로 단일 칩의 전력소모가 증가하였다. 이러한 한계를 극복하기 위해 터널링 전계효과 트랜지스터 (TFET) [2], 충격 이온화 금속-산화막-반도체 전계효과 트랜지스터 (IMOS) [3], 피드백 전계효과 트랜지스터 (FBFET) [4]와 같은 초저전력 구동이 가능한 새로운 소자들이 제안되었다. 새로운 구동 원리를 이용한 소자들 중 피드백 전계효과 트랜지스터의 경우 높은 on-current와 0 mV/dec에 가까운 낮은 문턱전압이하 기울기 (subthreshold swing) 값을 구현할 수 있기 때문에 이를 초저전력 소자로 활용하는 연구가 진행되고 있다.

특히 피드백 전계효과 트랜지스터는 우수한 스위칭 특성뿐만 아니라 전하의 축적에 의한 이력곡선 (hysteresis loop)을 보이므로 메모리 소자로서의 활용 가능성이 제시되고 있다[5]. 단일 소자의 채널 영역에 전하를 축적하기 때문에 1T-DRAM 소자로서의 활용이 연구되고 있으며 [6], 읽는 과정에서 축적된 전하를 잃지 않는 특성을 활용해 SRAM 소자로서의 연구도 진행되고 있다[7]. 소자의 메모리 동작은 이력곡선에 의한 드레인-소스 전류 변화를 기반으로 하며, 이력곡선에 의한 메모리 윈도우의 크기는 메모리 소자의 동작 전압을 결정하는 중요한 특성이다. 특히 초저전력 메모리 소자의 경우 좁은 메모리 윈도우에서 충분한 전류 감지 폭을 요구한다. 따라서 본 연구에서는 technology computer-aided design (TCAD) 3D 시뮬레이션을 활용하여 단일 게이트 피드백 전계효과 트랜지스터의 채널 길이 변화에 따른 메모리 윈도우의 특성을 알아보려고 한다.

II. 소자 구조 및 시뮬레이션 방법

본 시뮬레이션 연구에서 활용한 단일 게이트 피드백 전계효과 트랜지스터의 구조는 그림 1과 같다. 채널 물질은 CMOS 공정에서 주로 활용되는 실리콘을 사용하였으며, 게이트 절연막은 유전상수 (dielectric constant)가 9.3인 Al_2O_3 를 사용하였다. 그리고 게이트 물질은 일함수 (work function)가 5.65 eV인 백금 (platinum, Pt)을 활용하여 gate-all-around (GAA)

나노선 형태로 구조를 설정하였다. 소자의 크기는 그림 1에 표기된 것처럼 채널 지름 (T_{Si}) 10 nm, 게이트 절연막 두께 (T_{Ox})를 2nm로 설정하였고, 채널 길이 (L_{CH})는 50 nm부터 100 nm까지 변경하여 설정하였다. 순방향 피드백 루프를 형성하기 위하여 드레인 영역에 p -타입으로, 도핑된 채널 영역과 소스 영역에 n -타입으로 고농도 도핑을 형성하였다. 진성 채널 영역은 p -타입 기판을 가정하여 p -타입으로 저농도 도핑을 형성하였다. 드레인 영역, 도핑된 채널 영역, 진성 채널 영역, 소스 영역 도핑 농도는 각각 5×10^{19} , 5×10^{19} , 2×10^{15} , $5 \times 10^{19} \text{ cm}^{-3}$ 로 균일하게 형성하였다.

본 연구는 3차원 소자 시뮬레이터인 Silvaco 사의 Atlas [8] (5.20.2.R)를 활용하여 시뮬레이션을 수행하였다. 단일 게이트 피드백 전계효과 트랜지스터는 구조가 사이리스터 (thyristor)와 유사하며, p - n - p 와 n - p - n 양극성 접합 트랜지스터 (BJT)가 연결된 구조이다. 또한 금속-산화막-반도체 구조를 포함한다. 따라서 정확한 시뮬레이션 계산을 위해 BJT와 MOSFET 시뮬레이션에 활용되는 Fermi-Dirac, Lombardi (CVT) Model, field dependent mobility, bandgap narrowing, concentration-dependent lifetime, Auger recombination과 같은 시뮬레이션 모델을 활용하였으며, 시뮬레이션 온도는 상온인 300 K으로 설정하여 데이터를 측정하였다.

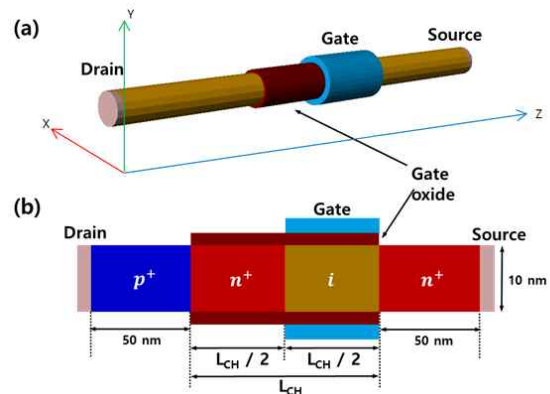


Fig. 1. (a) Structure of simulated 3D nanowire FBFET device and (b) cross-sectional view of the FBFET device.

그림 1. (a) 시뮬레이션된 3D nanowire FBFET 소자 구조와 (b) FBFET 소자의 단면도

III. 시뮬레이션 결과 및 고찰

단일 게이트 피드백 전계효과 트랜지스터의 동작은 채널 영역에서의 순방향 피드백 루프에 의해 결정된다[4].

게이트에 음의 전압을 가하면, 채널 영역 내 캐리어가 존재하지 않게 되어 전류가 흐르지 않는다. 하지만 게이트에 순방향 게이트 트리거 전압 이상의 전압을 가하면, 채널 영역 내에 전자가 주입되어 채널이 형성된다. 이때, 드레인에 $V_{DS} = 1$ V의 순방향 전압을 가하면 전자는 소스에서 드레인으로 표동(drift)하여 전류가 흐른다. 이때 채널 영역 내에 존재하는 정공과의 전기적인 인력에 의해 채널 영역에 전자가 축적된다. 채널 영역 내에 축적된 전자로 인해 게이트 전압이 감소해도 전류가 흐르는 상태가 유지되며, 게이트에 역방향 게이트 트리거 전압 이하의 전압이 가해지면 축적된 전자가 채널 밖으로 빠져나가 전류가 흐르지 않게 된다. 이처럼 채널 영역 내 전하 축적에 의한 이력 특성으로 메모리 윈도우가 생성된다[5].

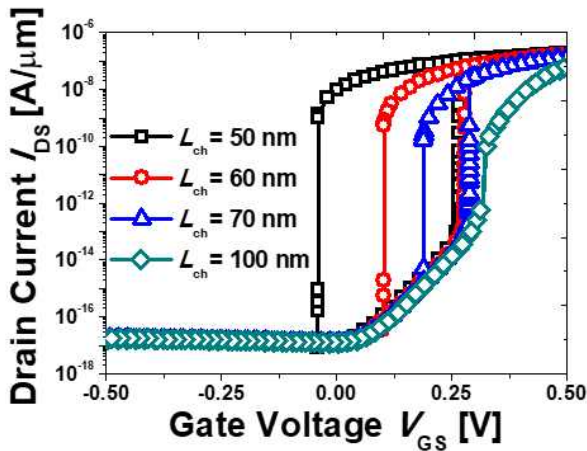


Fig. 2. I_{DS} - V_{GS} curves of the 3D nanowire FBFET as a function of the channel length
그림 2. 채널 길이에 따른 3D nanowire FBFET의 I_{DS} - V_{GS} 그래프

그림 2는 $V_{DS} = 1$ V에서 단일 게이트 피드백 전계효과 트랜지스터의 스위칭 특성과 메모리 윈도우 특성을 보여준다. 문턱전압이하 기울기는 문턱전압이하 영역에서부터 아래와 같은 식으로 계산할 수 있다[9].

$$SS (mV/dec) = \frac{dV_{GS}}{d(\log I_{DS})} \times 1000$$

문턱전압이하 기울기를 계산한 결과 채널 길이 50, 60, 70, 100 nm에서 3.17×10^{-7} , 5.43×10^{-7} , 2.31×10^{-7} , 1.53 mV/dec의 매우 낮은 문턱전압이하 기울기를 얻었으며, $\sim 1.85 \times 10^{-17}$ A/ μ m의 낮은 off-current 수치를 보였다. On-current의 경우 $\sim 2.35 \times 10^{-7}$ A/ μ m의 수치를 얻었고, $\sim 1.27 \times 10^{10}$ 로 높은 I_{on}/I_{off} 비율을 확인하였다. 이렇게 얻은

I_{DS} - V_{GS} 그래프에서 단일 게이트 피드백 전계효과 트랜지스터의 순방향 및 역방향 게이트 트리거 전압을 추출하였으며, 두 값의 차로 메모리 윈도우의 크기를 계산하였다.

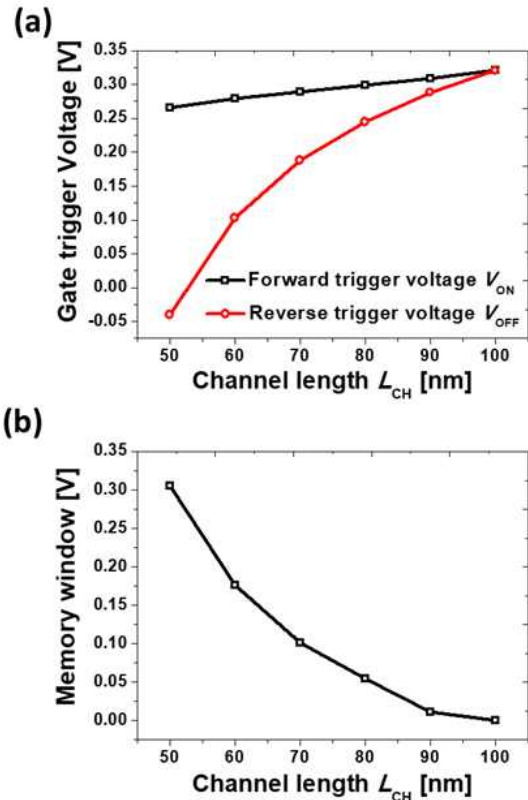


Fig. 3. (a) Gate trigger voltage and (b) Memory window of the 3D nanowire FBFET as a function of the channel length

그림 3. 채널 길이에 따른 3D nanowire FBFET의 (a) 게이트 트리거 전압과 (b) 메모리 윈도우

채널 길이에 따른 순방향 및 역방향 게이트 트리거 전압을 그림 3 (a)에 나타내었다. 순방향 및 역방향 게이트 트리거 전압은 채널 길이 증가에 따라 증가하는 경향을 보였으며, 순방향 게이트 트리거 전압의 경우 채널 길이가 50 nm에서 100 nm로 증가함에 따라 0.27 V에서 0.32 V로 약 0.05 V 증가하였다. 역방향 게이트 트리거 전압의 경우 채널 길이가 50 nm에서 100 nm로 증가함에 따라 -0.04 V에서 0.32 V로 약 0.36 V 증가하였다. 이는 게이트 길이가 짧을수록 순방향 피드백이 강하게 활성화되어 채널 영역 내에 많은 전자를 축적시키기 때문으로 사료된다[10]. 게이트 길이의 감소는 소자 구조 내 p - n - p 와 n - p - n 양극성 접합 트랜지스터의 베이스 길이를 감소시키고, 양극성 접합 트랜지스터의 전류 이득은 베이스

길이에 반비례하므로[11] 게이트 길이의 감소는 소자의 전류 이득을 증가시킨다[12]. 즉, 게이트 길이가 감소하면 소자의 전류 이득이 증가해 많은 전자가 채널로 유입되어 순방향 피드백이 강화된다. 이와 반대로 게이트 길이의 증가는 소자의 전류 이득을 감소시켜 전자 축적을 약화시키고, 특히 채널 길이 100 nm 이상에서는 이력 특성이 사라지는 것을 확인할 수 있었다.

결과적으로 메모리 윈도우의 크기는 채널 길이가 50 nm일 때 0.31 V에서 채널 길이 100 nm일 때 0 V로 채널 길이에 반비례적인 관계를 가지는 것을 확인할 수 있었다.

IV. 결론

본 연구에서는 단일 게이트 피드백 전계효과 트랜지스터의 메모리 특성에 미치는 채널 길이의 영향을 TCAD 3D 시뮬레이션을 통해 확인하였다. 채널 길이의 증가에 따라 메모리 윈도우의 크기가 감소함을 확인하였고, 이는 순방향 게이트 트리거 전압의 변화보다 역방향 게이트 트리거 전압에 의존하는 경향을 보였다. 채널 길이에 따라 조절 가능한 메모리 윈도우와 높은 I_{on}/I_{off} 비율을 가지는 소자의 특성을 활용하여 단일 게이트 피드백 전계효과 트랜지스터를 초저전력 메모리 소자로 활용할 수 있을 것이다.

References

- [1] Thompson, Scott E., and Srivatsan Parthasarathy. "Moore's law: the future of Si microelectronics." *Materials today*, vol. 9, no. 6 pp. 20-25, 2006.
DOI: [https://doi.org/10.1016/S1369-7021\(06\)71539-5](https://doi.org/10.1016/S1369-7021(06)71539-5)
- [2] Ionescu, Adrian M., and Heike Riel. "Tunnel field-effect transistors as energy-efficient electronic switches." *nature*, vol. 479, no. 7373, pp. 329-337, 2011.
- [3] Gopalakrishnan, Kailash, Peter B. Griffin, and James D. Plummer. "Impact ionization MOS (I-MOS)-Part I: device and circuit simulations." *IEEE Transactions on electron devices*, vol. 52, no. 1, pp. 69-76, 2005.
DOI : 10.1109/TED.2004.841344
- [4] Padilla, Alvaro, et al. "Feedback FET: A novel transistor exhibiting steep switching behavior at low bias voltages." *Electron Devices Meeting, 2008. IEDM 2008. IEEE International. IEEE*, 2008.
DOI : 10.1109/IEDM.2008.4796643
- [5] Kim, Minsuk, et al. "Steep switching characteristics of single-gated feedback field-effect transistors." *Nanotechnology*, vol. 28, no. 5, 055205, 2016.
- [6] El Dirani, H., et al. "Competitive 1T-DRAM in 28 nm FDSOI technology for low-power embedded memory," *SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2016 IEEE. IEEE*, 2016.
DOI : 10.1109/S3S.2016.7804402
- [7] Wan, Jing, et al. "A systematic study of the sharp-switching Z 2-FET device: from mechanism to modeling and compact memory applications." *Solid-State Electronics*, vol. 90, pp. 2-11, 2013.
DOI : <https://doi.org/10.1016/j.sse.2013.02.060>
- [8] Manual, *ATLAS User'S. "Device simulation software."* Silvaco Int., Santa Clara, CA, 2008
- [9] Choi, Woo Young, et al. "Tunneling field-effect transistors (TFETs) with subthreshold swing (SS) less than 60 mV/dec." *IEEE Electron Device Letters* vol. 28, no. 8, pp. 743-745, 2007.
DOI : 10.1109/LED.2007.901273
- [10] Cho, Min Hee, "Thin-Body SOI Capacitorless DRAM Cell Design Optimization and Scaling," Doctor thesis, University of California, Berkeley, 2012.
- [11] DIMITRIJEV, Sima, *Principle of Semiconductor Devices 2/E*, Oxford University Press, 2012
- [12] Yeung, Chun Wing, "Steep On/Off Transistors for Future Low Power Electronics", Doctor thesis, University of California, Berkeley, 2014.