

TEM 셀에서 PCB 패턴이 EMI 측정에 미치는 영향 및 PCB 설계 가이드라인 제시

Effects of PCB Patterns on EMI Measurement in TEM Cell and Proposal of PCB Design Guidelines

최민경*, 신영산*, 이성수*
Minkyung Choi*, Youngsan Shin*, Seongsoo Lee*

Abstract

Recently, semiconductor integration density enormously increases and its interconnection width is significantly narrowed, which leads to EMI (electromagnetic interference) problems on chip level. Chip manufacturer exploits TEM cell (transverse electromagnetic cell) to measure EMI on chip level, which requires PCB (printed circuit board) for measurement purpose. However, it is often neglected to consider that PCB patterns and other factors can affect on EMI measurement. In this paper, several test patterns are designed for different PCB design variables, and effects of PCB patterns on EMI measurement in TEM cell are analyzed. Based on these analyses, PCB design guidelines are also proposed to minimize the effects on EMI measurements.

요약

최근 반도체의 집적도가 증가하고 배선 폭이 미세해짐에 따라 칩 수준의 EMI(electromagnetic interference)가 문제로 대두되고 있다. 이에 따라 칩 제조사는 칩 수준의 EMI를 측정하기 위해 TEM 셀(transverse electromagnetic cell)을 사용하고 있다. 이를 위해 측정용 PCB(printed circuit board)를 제작하여야 하지만, PCB의 배선 패턴 등이 EMI 측정에 영향을 미칠 수 있다는 점이 간과되고 있다. 본 논문에서는 PCB 설계 변수를 변화시켜가며 테스트 패턴을 제작한 다음 TEM 셀의 EMI 측정에 미치는 영향을 분석하였다. 또한 이를 바탕으로 EMI 측정에 미치는 영향을 최소화하기 위한 PCB 설계 가이드라인을 제시하였다.

Key words: TEM Cell, PCB, EMI, IEC61967-2, Design Guideline

1. 서론

반도체 기술이 발달함에 따라 반도체 칩의 크기와 배선 폭은 급격하게 감소하고 집적도와 소자 숫자는 크게 증가하고 있다. 이에 따라 전자회로의 동작에 영향을 주고 신뢰성을 떨어뜨리는

EMI(electromagnetic interference)[1]-[4]가 심각한 문제로 대두되고 있다. 지금까지는 EMI 문제를 기기 및 모듈 수준에서만 고려하였지만, 반도체 회로의 미세화가 급격하게 진행되면서 최근에는 칩 수준에서 발생하는 EMI 문제도 무시할 수 없을 정도로 심각해지고 있다[5].

* School of Electronic Engineering, Soongsil University

★ Corresponding author (e-mail: sslee@ssu.ac.kr, tel: 02-820-0692)

※ Acknowledgment

“This research was supported by the MOTIE(Ministry of Trade, Industry & Energy) (10080649) and KSRC(Korea Semiconductor Research Consortium) support program for the development of the future semiconductor device.”

Manuscript received Sep. 18, 2017; revised Sep. 26, 2017; accepted Sep. 28, 2017.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

칩 수준 EMI를 해결하기 위해 칩 제조사들은 IEC(International Electrotechnical Commission)에서 칩 수준 EMI 측정을 위해 제정한 국제 표준인 IEC 61967-2[6]의 TEM 셀(transverse electromagnetic cell)[7]-[9] 등을 이용하여 EMI를 측정한다. TEM 셀 측정의 경우 측정 대상 IC를 장착한 PCB를 IEC 61967-2 표준에 맞게 설계해야 한다. IC가 배치된 아래층(bottom layer)은 접지면(ground plane)으로 사용되고, 이 층에는 EMI 방출원으로 작용할 수 있는 어떠한 다른 IC도 배치하면 안 된다[6].

측정 대상 IC를 구동하기 위한 다른 소자와 부품들은 모든 위층(top layer)에 위치하게 된다. 이러한 이유로 위층의 구동 소자와 아래층의 측정 대상 IC를 연결해주는 비아(via)와 마이크로스트립 라인(microstrip line)이 위층과 아래층 모두에 생성되게 된다. 이들로 인해 원하지 않는 EMI가 추가로 발생되며, 이러한 EMI가 측정 대상 IC의 EMI에 더해져 장비에서 측정되기 때문에 해당 IC의 EMI만을 정확히 측정하는데 어려움이 있다. 또한 구동 소자들의 위치, 마이크로스트립 라인의 길이 등 설계 방법에 따라 같은 IC라도 측정되는 EMI 값이 다르기 때문에 해당 IC의 EMI만을 정확히 측정하는데 어려움이 있다[8].

본 논문에서는 PCB 설계 시에 고려되는 설계 변수 중에서 EMI에 큰 영향을 미칠 것으로 생각되는 것들을 골라서 이들을 변화시켜가며 테스트 패턴을 제작하고 TEM 셀의 EMI 측정에 미치는 영향을 분석하였다. 또한 이를 바탕으로 EMI 측정에 미치는 영향을 최소화하기 위한 TEM 셀 측정용 PCB 설계 가이드라인을 제시하였다.

II. PCB 설계 시 고려할 요소

그림 1은 IEC 61967-2에서 TEM 셀 측정 환경을 나타낸 것이다. 측정하고자 하는 IC가 PCB의 아래층에 있고 입력 신호와 구동 IC 등은 PCB의 위층에 있기 때문에 그림 1과 같이 비아, 위층 배선(top layer line), 아래층 배선(bottom layer line)이 모두 존재할 수밖에 없다. 본 논문에서는 비아, 위층 배선, 아래층 배선의 세 가지 요소에 대해 테스트 패턴을 제작하고 EMI를 측정하여 분석한 후, 이를 바탕으로 TEM 셀 측정을 위한 PCB를 설계할 때 EMI 측정에 미치는

영향을 최소화하기 위한 PCB 설계 가이드라인을 제시하였다.

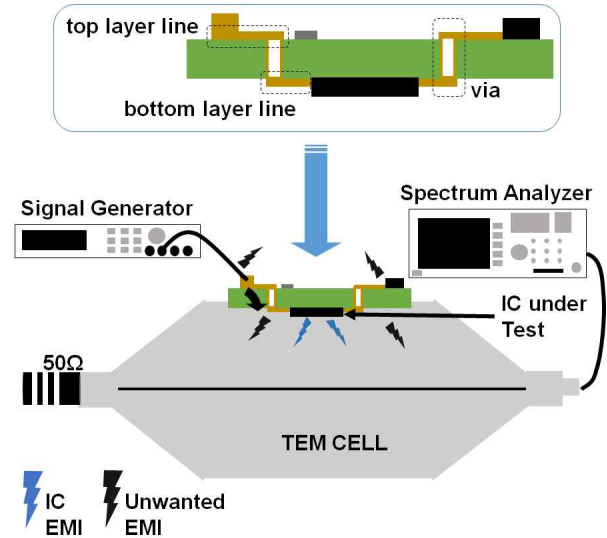


Fig. 1. TEM cell measurement in IEC 61967-2
그림 1. IEC 61967-2의 TEM 셀 측정

Table 1. Via types

표 1. 비아 타입

Via Type	Via Hole	Hole Plate	Clearance
A	0.1 mm	0.5 mm	0.3 mm
B	0.1 mm	0.8 mm	0.3 mm
C	0.1 mm	0.7 mm	0.5 mm
D	0.5 mm	0.9 mm	0.7 mm

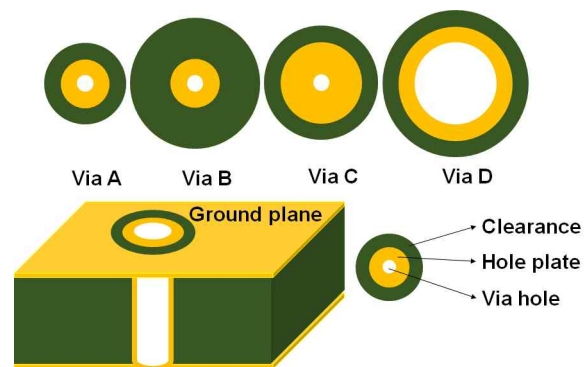


Fig. 2. Shapes and cross-sections of different via types
그림 2. 비아 타입에 따른 모양과 단면도

Table 2. EMI measurement results for various via types

표 2. 비아 타입에 따른 EMI 측정 결과

Via Type	Frequency	EMI
A	624.96 MHz	-84.017 dBm
B	624.96 MHz	-80.458 dBm
C	624.96 MHz	-79.028 dBm
D	624.96 MHz	-76.836 dBm

III. Via 모양에 따른 EMI 분석 및 PCB 설계 가이드라인

비아 설계 방식에 따른 EMI 분석을 위하여 비아 설계 시 고려되는 비아 홀(via hole), 클리어런스(clearance), 홀 플레이트(hole plate)를 변수로 두었다. 홀 플레이트란 비아의 노출된 면에 도금된 부분을 말하며 보통 접지면과 같은 성분으로 도금된다. 클리어런스는 접지면과 비아의 절연의 역할을 한다. 각각의 크기의 변수를 두어 표 1과 같이 4개 타입의 비아를 만들었다. 그림 2는 각 타입에서 비아의 모양과 단면도를 보여준다. A를 기준으로 B는 클리어런스를 0.2 mm 키워준 것이고 C는 홀 플레이트의 반경을 0.2 mm 키워준 것이다. D는 A의 3개 변수와 비율은 똑같지만 전체적인 크기를 0.4 mm씩 키워준다.

인가 주파수는 624.96 MHz로 비아에서의 EMI가 가장 커지는 주파수로 설정하였다. IEC 61967-2에 따라 측정된 결과는 표 2와 같으며, 비아 홀, 클리어런스, 홀 플레이트의 모든 변수가 EMI에 영향을 주었다. 3개 변수 모두 반경이 작을수록 외부에서 비아를 타고 들어오는 EMI를 저감시킨다.

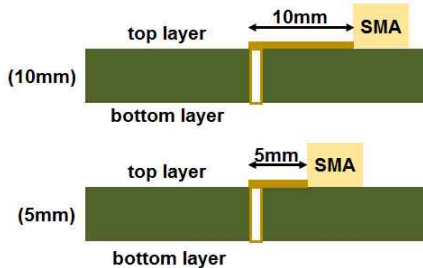


Fig. 3. Cross-sections of top layer lines with different line lengths
그림 3. 위층 배선의 길이에 따른 단면도

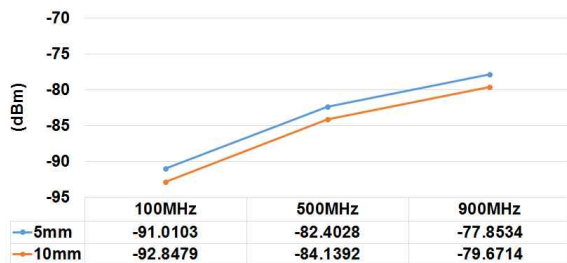


Fig. 4. EMI measurement results of top layer lines with different line lengths
그림 4. 위층 배선의 길이에 따른 EMI 측정 결과

(가이드라인 1) 비아 홀(via hole), 홀 플레이트(hole plate), 클리어런스(clearance)를 최대한 작게 설계한다.

IV. 위층 배선 길이에 따른 EMI 분석 및 PCB 설계 가이드라인

그림 3은 위층의 마이크로스트립 라인 길이에 따른 EMI 분석을 위한 PCB의 단면도를 보여주고 있다. 비아의 위치는 고정하고 SMA 커넥터의 위치를 움직여 위층의 마이크로스트립 라인 길이를 5, 10 mm로 다르게 하였다. 아래층에는 마이크로스트립 라인이 없다.

그림 4는 위층의 마이크로스트립 라인 길이를 다르게 하였을 때 IEC 61967-2에 따른 EMI 측정 결과를 나타내고 있다. PCB에 인가된 주파수는 100, 500, 900 MHz이며, 파워는 15 dBm을 인가하였다. 위층의 마이크로스트립 라인이 길수록 비아를 통해 전달되는 EMI가 작아진다.

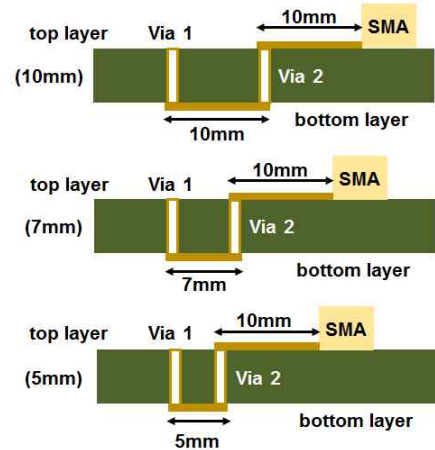


Fig. 5. Cross-sections of bottom layer lines with different line lengths
그림 5. 아래층 배선의 길이에 따른 단면도

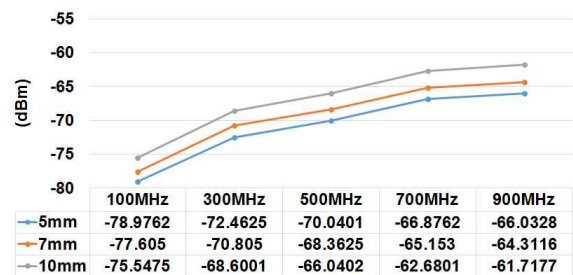


Fig. 6. EMI measurement results of bottom layer lines with different line lengths
그림 6. 아래층 배선의 길이에 따른 EMI 측정 결과

주파수가 높아지면 EMI 방사가 더 잘 되므로, 고주파수 신호를 사용할수록 비아와 소자 사이의 마이크로스트립 라인 길이를 길게 해주는 것이 좋다.

(가이드라인 2) 구동 소자와 비아 사이의 위층 마이크로스트립 라인 (top layer microstrip line) 을 최대한 길게 설계한다.

V. 아래층 배선 길이에 따른 EMI 분석 및 PCB 설계 가이드라인

그림 5는 아래층의 마이크로스트립 라인 길이에 따른 EMI 분석을 위한 PCB의 단면도를 보여주고 있다. PCB에는 두 개의 비아가 존재한다. 위층의 마이크로스트립 라인 길이와 비아1의 위치는 고정하고 비아2와 SMA 커넥터의 위치에 변화를 줘 아래층의 마이크로스트립 라인 길이를 5, 7, 10 mm로 다르게 하였다.

그림 6은 아래층의 마이크로스트립 라인 길이를 다르게 하였을 때 IEC 61967-2에 따른 EMI 측정 결과를 나타내고 있다. TEM 셀에서 측정되는 원치않는 EMI의 주원인인 아래층의 마이크로스트립 라인이 길수록 EMI가 커진다. 주파수가 높아지면 EMI 방사가 더 잘 되므로, 고주파수 신호를 사용할수록 비아와 소자 사이의 마이크로스트립 라인 길이를 짧게 해주는 것이 좋다.

(가이드라인 3) 비아와 비아 사이의 아래층 마이크로스트립 라인(bottom layer microstrip line) 은 최대한 짧게 설계한다.

VI. 결론

TEM 셀 측정용 PCB 설계에 따른 EMI 크기를 측정 및 분석해본 결과, 다음과 같은 PCB 설계 가이드라인을 얻을 수 있었다. 첫째, 신호 연결을 위한 비아는 비아 홀, 홀 플레이트, 클리어런스를 모두 작게 해주어야 외부 EMI가 유입되는 것을 줄일 수 있다. 비아와 연결되는 아래층 마이크로스트립 라인의 길이는 가능한 짧게 설계하는 것이 좋으며 주파수가 올라갈수록 EMI가 커지므로 고주파수를 사용하는 마이크로스트립 라인일 경우 더 짧게 설계해야 한다. 위층 마이크로스트립 라인의 경우 외부 소자와 비아와의 연결은 최대한 길게 해주는 것이 좋으며 주파수가 올라갈수록 EMI가

커지므로 고주파수를 사용하는 마이크로스트립 라인일 경우 더 길게 설계해야 한다.

References

- [1] O. Kwon, J. Son, T. Kim, and J. Song, "Implementation of a High Efficiency SCALDO Regulator Using MOSFET," *j.inst.Korean.electr.electron.eng*, vol. 19, no. 3, pp. 304-310, 2015.
DOI : 10.7471/ikeee.2015.19.3.304
- [2] T. Park, J. Wee, and S. Lee, "A Low EMI Spread Spectrum Clock Generator Using TIE-Limited Frequency Modulation Technique," *j.inst.Korean.electr.electron.eng*, vol. 17, no. 4, pp. 537-543, 2013.
DOI : 10.7471/ikeee.2013.17.4.537
- [3] Y. Moon, W. Lim, T. Kim, and J. Kang, "A Spread Spectrum Clock Generator for SATA II with Rounded Hershey-Kiss Modulation Profile," *j.inst.Korean.electr.electron.eng*, vol. 15, no. 2, pp. 129-133, 2011.
- [4] M. Choi, C. Kim, and S. Lee, "Analysis of the Signal Transmission Characteristics with Curvature of PCB Pads," *j.inst.Korean.electr.electron.eng*, vol. 20, no. 4, pp. 416-419, 2016.
- [5] S. Radu, "An Overview of Chip Level EMC Problems," <http://www.scvemc.org/archive/032010Radu.pdf>
- [6] IEC 61967-2:2005, "Integrated circuits-Measurement of electromagnetic emissions, 150 kHz to 1 GHz-Part 2: Measurement of radiated emissions, TEM cell and wideband TEM cell method," <https://webstore.iec.ch/publication/6185>
- [7] Y. Jung, "Wideband horn antenna including circular-polarizer and straight-type mode-converter for Ka-band," *j.inst.Korean.electr.electron.eng*, vol. 15, no. 4, pp. 299-304, 2011.
- [8] V. Kasturi, "The Influence of Printed Circuit Board Design on TEM Cell Measurements," Master Thesis, University of Missouri, 2007.
- [9] N. Boriraksantikul, "A TEM Cell Design to Study electromagnetic Radiation Exposure from Cellular Phones," Master Thesis, University of Missouri, 2008.