

잡음 제거 회로를 이용한 LDO 레귤레이터

Low Drop Out Regulator with Ripple Cancelation Circuit

김 채 원*, 권 민 주*, 정 준 모*

Chae-Won Kim*, Min-Ju Kwon*, Jun-Mo Jung**

Abstract

In this paper, A low dropout (LDO) regulator that improves the power supply rejection ratio by using a noise canceling circuit is proposed. The noise rejection circuit between the error amplifier and the pass transistor is designed to reduce the influence of the pass transistor on the noise coming from the voltage source. The LDO regulator has the same regulation characteristics as the conventional LDO regulator. The proposed circuit uses 0.18 um process and Cadence's Virtuoso and Specter simulator.

요 약

본 논문에서는 잡음 제거 회로를 이용하여 공급 전원 제거 비를 향상시킨 LDO(Low drop-out) 레귤레이터를 제안하였다. LDO 레귤레이터 내부의 오차증폭기와 패스 트랜지스터 사이에 잡음 제거 회로를 두어 전압 라인에서 들어오는 노이즈에 패스 트랜지스터가 받는 영향을 줄일 수 있게 설계하였으며, 기존의 LDO 레귤레이터와 동일한 레귤레이션 특성을 갖도록 했다. 제안한 회로는 0.18 um 공정을 사용하였고 Cadence의 Virtuoso, Spectre 시뮬레이터를 사용하였다.

Key words : LDO, PSRR, Ripple cancelation, line regulation, load regulation

1. 서론

최근의 스마트폰, 노트북, 웨어러블 기기 등과 같은 배터리 기반 휴대용 전자기기의 사용이 증가하면서, PMIC(Power Management IC)의 중요

성이 높아지고 있다. 아날로그 시장에서 PMIC의 차지하는 비율 또한 증가함에 따라 그에 대한 연구도 증가하고 있다. 배터리를 기반으로 하는 휴대용 전자기기들은 한정된 배터리로 안정적인 동작을 제공해야하기 때문에, PMIC의 안정도에 대한 많은 연구개발이 이뤄지고 있다. PMIC는 동작방식에 따라 스위칭형 레귤레이터와 선형 레귤레이터로 구분할 수 있다. 스위칭형 레귤레이터는 효율이 좋고 발열이 적으며 승압, 강압, 부전압의 변환이 가능하다는 장점이 있지만, 필요한 외장 부품이 많고, 설계가 복잡하며, 노이즈가 심한 단점이 있다. 이에 선형 레귤레이터는 간단한 구조와 작은 면적을 갖으며 노이즈가 작은 장점이 있다. 대다수의 공급 전압은 노이즈를 가지고 있으며 이를 제거해주기 위해 본 논문에서는 기존 선형 레귤레이터와 동일한 동작성능을 보이며 공급 전원 제거비를 향상시킨 선형 레귤레이터를 제안한다.

* Dept. of Electronics and Electrical Engineering, DanKook University

** Dept. of Electronics Engineering, Seokyeong University

★ Corresponding author

e-mail: jjmo@skuniv.ac.kr ,tel: 02-940-7732

※ Acknowledgment

This work was supported by ETRI R&D Program("Development of SiC based Trench type next generation power device", "17ZB1410") funded By the Government of Korea and by the Ministry of Trade, Industry & Energy (10065137, "Boosted Class-DG Audio Power Amplifier with Embedded ADC for Mobile Speaker Protection")

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

II. 본론

1. Low Drop-out 레귤레이터

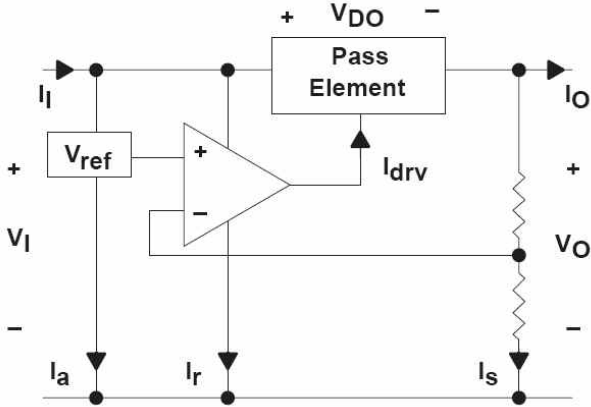


Fig. 1. Block diagram of LDO regulator
그림 1. LDO 레귤레이터의 블록 다이어그램

그림 1은 기본 LDO 레귤레이터의 블록 다이어그램이다. LDO 레귤레이터는 기준 전압 발생기와 오차증폭기, 패스 트랜지스터와 피드백 저항, 부하단으로 구성되어 있다. 기준 전압 발생기는 온도와 입력전압의 변화에 무관하게 특정 범위 내에서 일정한 전압을 제공한다. 기준 전압 발생기에서 발생한 전압은 오차 증폭기로 전달된다. 오차 증폭기는 출력에서 피드백 되는 전압과 기준 전압을 비교하여 패스 트랜지스터의 게이트로 전달하며 패스 트랜지스터를 스위치로서 동작하게 한다. 패스 트랜지스터는 저전압 강하를 일으켜(Low Drop) 부하로 일정한 전압을 제공하게 된다. 출력단의 커패시터는 LDO 동작의 안정도를 확보하기 위해 수 마이크로패럿 단위의 값을 갖게 된다.

2. 제안된 LDO 레귤레이터

그림 2는 본 논문에서 제안하는 LDO 레귤레이터의 블록 다이어그램이다. 기존 LDO 레귤레이터의 오차증폭기 출력단과 패스 트랜지스터 게이트 입력단 사이에 잡음 제거 회로를 추가하였다. LDO의 패스 트랜지스터는 부하 전류를 견뎌내기 위해 크기가 크게 설계된다. 그에 따른

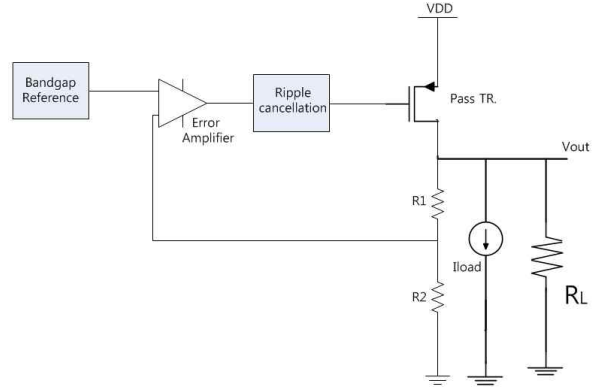


Fig. 2. Proposed LDO regulator
그림 2. 제안된 LDO 레귤레이터

기생 커패시터나 출력 임피던스 등에서 많은 문제점이 생기게 된다. 따라서 공급 전압 제거 비율에도 영향을 끼치게 되는데, 패스 트랜지스터에서의 노이즈를 줄이기 위해 잡음 제거 회로를 추가하였다.

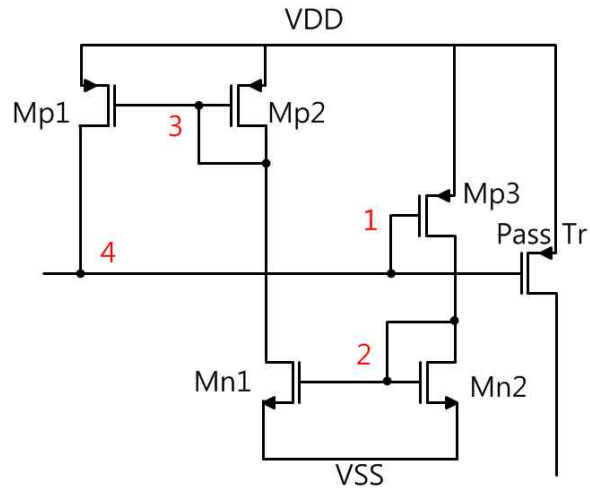


Fig. 3. Ripple cancelation circuit
그림 3. 잡음 제거 회로

그림 3은 제안한 잡음 제거 회로이다. 2개의 NMOS와 3개의 PMOS로 구성되어 있으며 공급 전원 라인과 패스 트랜지스터 사이에서 작용한다. 패스 트랜지스터의 게이트-소스간 전압이 공급 전압 변화에 둔감하게 하여 공급 전압 제거비를 향상 시켰다. 그림 3의 회로에서 공급 전압의 노이즈 때문에 1번 노드의 전압이 상승하면, 2번 노드의 공통 게이트단의 전압이 상승한다. 그 뒤 3번 노드는 공통 소스단의 영향으로 전압이 떨어지고, 감소한 전압은 4번 노드에서 증가하게 된다.

결과적으로 패스 트랜지스터의 게이트-소스 간 전압이 안정적으로 유지되어 공급 전압 제거비가 향상 되었다.

2. 측정 결과

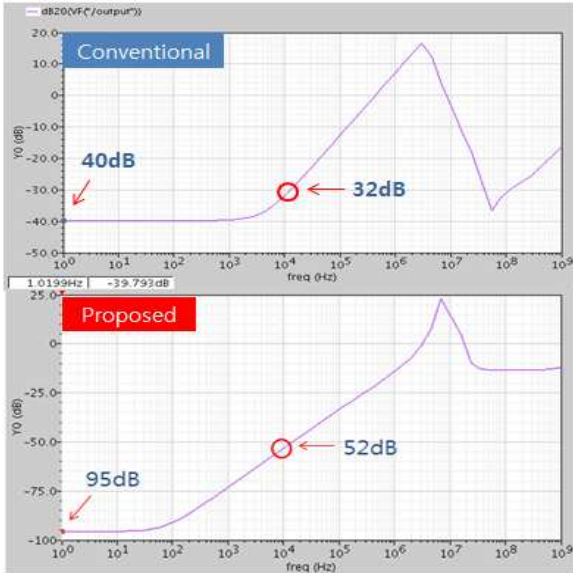


Fig. 4. PSRR simulation results
그림 4. 공급 전압 제거비 시뮬레이션 결과

그림 4는 제안한 회로의 공급 전압 제거비 시뮬레이션 결과이다. 기존 저주파수에서 40dB을 95dB까지 약 55dB 정도 향상시켰다. 1Khz의 주파수에선 약 30dB 정도가 향상된 것을 알 수 있다.

Table 1. PSRR at the operational frequency
표 1. 주파수에 따른 PSRR 측정값

PSRR[dB]	Low frequency	10Khz
Conventional	-40 dB	-32 dB
Proposed	-96 dB	-52 dB

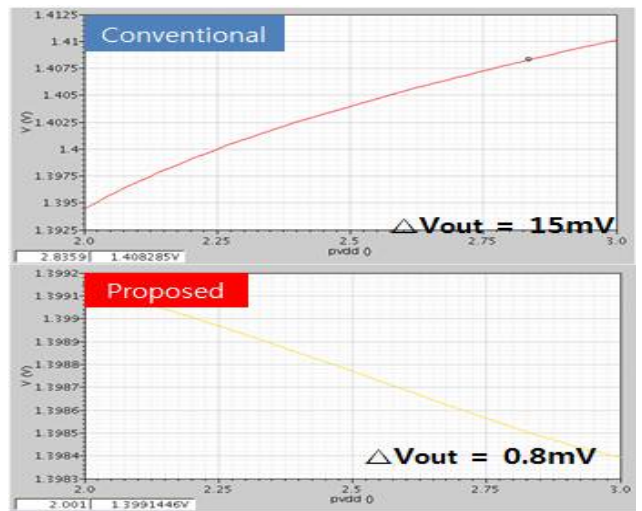


Fig. 5. Line regulation simulation results
그림 5. Line regulation 시뮬레이션 결과

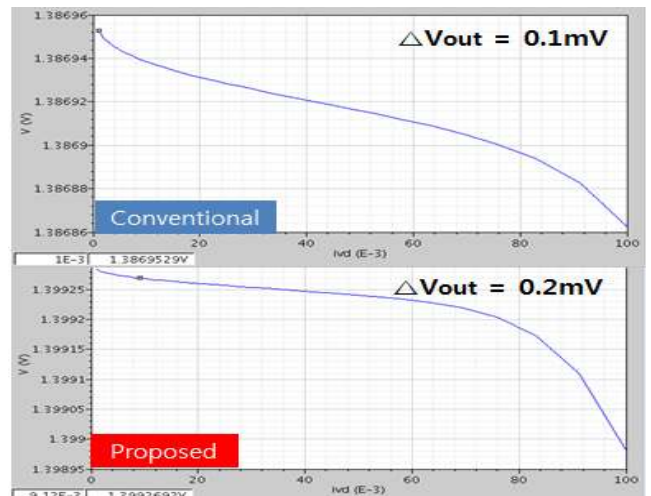


Fig. 6. Load regulation simulation results
그림 6. Load regulation 시뮬레이션 결과

그림 5는 라인 레귤레이션 시뮬레이션 결과이다. 공급 전압을 2V에서 3V로 변화 시켰을 때 기존 LDO 레귤레이터는 15mV의 출력 전압 변동률을 갖는 반면, 제안된 LDO 레귤레이터는 0.8mV의 변동률을 갖는다. 이는 잡음 제거 회로가 라인 레귤레이션 특성에도 영향을 준다는 것을 알 수 있다. 그림 6은 로드 레귤레이션 시뮬레이션 결과이다. 부하 전류가 0에서 100mA 까지 변화할 때 기존 LDO 레귤레이터의 출력 전압변동률은 0.1mV 이고 제안된 LDO 레귤레이터의 출력 전압 변동률은 0.2mV로 기존의 LDO 레귤레이터 회로와 거의 동일한 동작을 하는 것을 알 수 있다.

III. 결론

본 논문에서는 기존 LDO 레귤레이터의 오차증폭기 출력단과 패스 트랜지스터 게이트 입력단 사이에 잡음 제거 회로를 달아 공급 전원 제거비를 향상시킨 LDO 레귤레이터를 제안하였다. 시뮬레이션을 통하여 기존의 LDO 레귤레이터 보다 주요주파수에 대하여 PSRR이 개선되었으므로 제안된 회로가 잡음 제거에 효과적임을 알 수 있다. 그 결과 전원 변동에도 안정적인 동작을 할 수 있는 LDO 레귤레이터를 개발하였다.

References

- [1] Sao-Hung Lu, "A Fast-Recovery Low Drop out Linear Regulator for Any-Type Output Capacitors," *Asian Solid-state circuits conference*, pp. 497-500. Nov 2005. DOI:10.1109/ASSCC.2005.251786
- [2] Liu Zhiming, "A 1.8V LDO voltage regulator with foldback current limit and thermal protection," *Journal of semiconductors*, vol.30, No.8. Aug 2008.DOI:10.1088/1674-4926/30/8/085007
- [3] Vaisband, I. and E.G. Friedman, "Stability of Distributed Power Delivery Systems With Multiple Parallel On-Chip LDO Regulators," *IEEE Transactions on Power Electronics*, Vol. 31, Issue:8, pp. 5625-5634, Aug 2016.DOI: 10.1109/TPEL.2015.2493512