

# 소용량 직류단 커패시터를 가지는 3-레벨 NPC 인버터의 입-출력 전류 품질 향상을 위한 제어 기법

인효철<sup>1</sup>, 김석민<sup>1</sup>, 박성수<sup>2</sup>, 이교범<sup>†</sup>

## A Control Scheme for Quality Improvement of Input-Output Current of Small DC-Link Capacitor Based Three-Level NPC Inverters

Hyo-Chul In<sup>1</sup>, Seok-Min Kim<sup>1</sup>, Seong-Soo Park<sup>2</sup>, and Kyo-Beum Lee<sup>†</sup>

### Abstract

This paper presents a control scheme for three-level NPC inverters using small DC-link capacitors. To reduce the inverter system volume, the film capacitor with small capacitance is a promising candidate for the DC-link. When small capacitors are applied in a three level inverter, however, the AC ripple component increases in the DC-link NPV (neutral point voltage). In addition, the three-phase input grid currents are distorted when the DC-link capacitors are fed by diode rectifier. In this paper, the additional circuit is applied to compensate for small capacitor systems defect, and the offset voltage injection method is presented for the stabilization in NPV. These two proposed processes evidently ensure the quality improvement of the input grid currents and output load currents. The feasibility of the proposed method is verified by experimental results.

**Key words:** Electrolytic capacitor-less, Neutral-point clamped inverter, Neutral-point voltage control

### 1. 서 론

전력 변환 시스템에서 3-레벨 NPC (neutral-point clamped) 인버터는 직류단이 2개의 커패시터로 구성되어  $-V_{dc}/2$ , 0,  $+V_{dc}/2$  의 3개의 극전압 레벨을 출력한다. 4개의 스위치가 직렬로 연결된 구조이기 때문에 2레벨 인버터와 비교하여 절반의 정격내압을 갖는 스위치를 사용할 수 있으며 인버터 출력 전류에 적은 고조파를 포함하므로 중전압, 고전력 분야에 널리 사용된다<sup>[1]</sup>.

그러나 3-레벨 인버터의 직류단 구성을 위해 주로 사용되는 대용량 전해 커패시터는 필름 커패시터에 비해 짧은 수명을 가지므로 인버터의 신뢰성을 저하시키며 상대적으로 큰 크기로 인해 시스템의 부피가 커지는 단점이 있다. 따라서 시스템의 신뢰성을 향상시키기 위해 직류단에 작은 용량의 필름 커패시터를 적용하는 연구가 많이 진행되고

있다. 추가적으로 인버터 시스템에서 소용량의 커패시터는 대용량의 커패시터에 비해 입력 전류에 더 많은 고조파가 포함된다. 고조파의 함유율이 높아지면 인접한 전력기기와 제어장치, 수동소자, 보호 장치 등이 오동작하여 시스템의 신뢰도 하락 및 수명의 단축 문제를 초래한다. 입력 전류 품질 개선을 위해 ac 필터를 사용할 수 있으나 위에서 언급한 것과 같이 대용량의 수동소자는 시스템의 신뢰성을 하락시키는 요인이 될 수 있다<sup>[2]</sup>.

또한 3-레벨 인버터에 사용되는 직류단 커패시터는 제작 허용 오차, 스위치의 특성 불일치, 3상 불평형 등과 같은 이유로 중성점 전압이 변동하여 일정한 극전압을 출력하지 못하며 출력 전류의 품질을 악화시키는 요인이 된다. 또한, 직류단 커패시터의 불안정한 전압은 스위칭 소자와 직류단 커패시터에 전압 스트레스를 주게 되어 커패시터와 스위치 수명을 단축시킬 수 있으므로 시스템의 신뢰도가 하락한다. 이러한 문제는 소용량 커패시터에서 더욱 두드러지며 문제 해결을 위해 DPWM (discontinuous pulse width modulation)을 이용한 기법 등이 제안되었다<sup>[3],[4]</sup>.

본 논문에서는 캐피스 3-레벨 NPC 인버터에서 추가 회로(DSC, dc-link shunt compensator)<sup>[5]</sup>를 적용하여 입력 전류의 품질을 향상 시키고 중성점 전압 안정화 기법을 적용해 출력 전류의 품질을 향상 시킨다<sup>[6]</sup>.

Paper number: TKPE-2017-22-4-12

Print ISSN: 1229-2214 Online ISSN: 2288-6281

<sup>†</sup> Corresponding author: kyl@ajou.ac.kr

Dept. of Electrical and Computer Eng., Ajou University

Tel: +82-31-219-2376 Fax: +82-31-212-9531

<sup>1</sup> Dept. of Electrical and Computer Eng., Ajou University

<sup>2</sup> Dept. of Space Survey Information Tech., Ajou University

Manuscript received Apr. 15, 2017; revised May 4, 2017;

accepted May 16, 2017

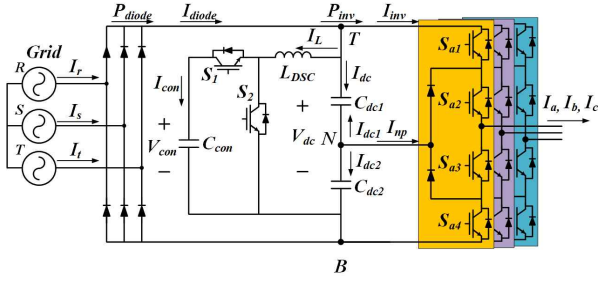


Fig. 1. Three-level NPC inverter with an additional DSC circuit for small capacitor system.

## 2. 커패시 3-레벨 NPC 인버터의 입력 전류 품질 향상

직류단 커패시터는 다이오드 출력 전력,  $P_{diode}$ 와 인버터 입력 전력,  $P_{inv}$ 의 순시적인 전력 오차를 커패시터의 충-방전을 이용해 보상한다. 하지만, 직류단 커패시터 용량의 감소로 인해 순시적인 전력 오차를 보상할 수 없으므로  $P_{diode}$ 와  $P_{inv}$ 가 유사한 값을 가진다. 따라서  $P_{diode}$ 는  $P_{inv}$ 의 변동에 따라 변하며 입력 전류  $I_{r,s,t}$  또한  $P_{inv}$ 에 따라 변동하는 문제점을 가진다. 본 논문에서는 입력 전류 품질 개선을 위해 추가회로를 적용하였다.

그림 1은 제안하는 커패시 3-레벨 NPC 인버터 시스템을 나타낸다. 기존의 대용량 전해 커패시터  $C_{dc1}$ ,  $C_{dc2}$ 를 소용량 필름 커패시터로 대체하고 Buck-Boost 타입의 DC-DC 컨버터를 연결하였다. 추가회로의 제어 블록도는 그림 2와 같다.

입력 전류를 이상적인 정류기 전류 형태로 제어하기 위해서는 다이오드의 출력 전류,  $I_{diode}$ 가 6차 고조파를 포함한 형태로 제어되어야 한다.  $I_{diode}$ 는  $I_L + I_{dc} + I_{inv}$ 와 같으며 인버터 부하에서 사용하는 전력의 양이 일정하다고 가정하면  $I_{inv}$ 는 일정한 값을 갖는다. 또한  $I_{dc}$ 는 소용량 커패시터로 인해 0에 가까운 전류가 흐른다. 따라서 입력 전류의 파형 개선을 위해서는 추가회로로 흐르는 전류  $I_L$ 을 6차 고조파를 포함한 형태로 제어해야 한다.

3상 다이오드 정류기를 사용하였기 때문에 입력 전류의 파형은 6차 고조파를 포함하는 것이 가장 이상적이다. 따라서 보상전류  $I_{comp}$ 는 식 (1)과 같이 직류단 전압의 6차 고조파 성분을 보상하도록 구성된다.

$$I_{comp} = V_{dc}^{6th} \times \alpha \frac{P_{load}}{V_{dc0}^2} \quad (1)$$

여기서,  $V_{dc}^{6th}$ 는 대역 통과 필터(BPF, band pass filter)를 이용해서 직류단 전압  $V_{dc}$ 내에 존재하는 6차 고조파 성분만을 추출한 값이며,  $P_{load}$ 는 인버터의 출력 전력,  $V_{dc0}$ 는  $V_{dc}$ 의 평균값,  $\alpha$ 는 보상 가중치를 나타낸다.

전항보상 성분  $I_{ff}$ 는 다음과 같이 구성되어 있다<sup>[5]</sup>.

$$I_{ff} = P_{inv} \times \alpha \times \frac{\pi^2}{9V_m} \left( \frac{3}{\pi} - \frac{\pi}{6} - \frac{\sqrt{3}}{4} \right) \quad (2)$$

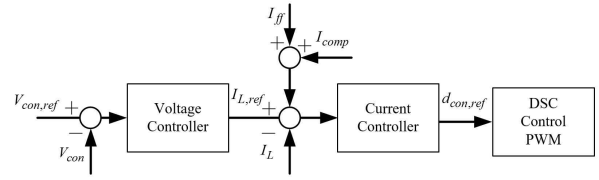


Fig. 2. Control block diagram of DSC

여기서  $I_{ff}$ 는 안정적인 전류제어를 위해 더해지는 성분이며,  $V_m$ 은 6차 성분을 포함한 직류단 전압,  $V_{dc}$ 의 최댓값을 나타낸다.

추가회로는 입력 전류에 영향을 끼치는  $I_L$ 을 6차 고조파를 포함한 형태로 제어하기 위해 부스트 컨버터로서 동작하여 입력 전류의 품질을 개선한다.

## 3. 중성점 전류 저감을 통한 중성점 전압 안정화

추가회로의 제어를 통해 입력 전류의 품질을 개선할 수 있으나, 소용량 커패시터로 인해 불안정한 중성점 전압을 가지므로 출력 전류는 개선되지 않는다. 따라서 출력 전류 품질 개선을 위한 중성점 안정화 제어 기법이 필요하다. 3상 인버터의 지령 전압을  $[-1, 1]$  사이의 값으로 정규화하면 다음과 같다.

$$d_{ref,max} = 2 \times V_{ref,max} / V_{dc} \quad (3)$$

$$d_{ref,mid} = 2 \times V_{ref,mid} / V_{dc} \quad (4)$$

$$d_{ref,min} = 2 \times V_{ref,min} / V_{dc} \quad (5)$$

여기서 아래첨자  $max$ ,  $mid$ ,  $min$ 은 순시적으로 3상 지령 전압의 크기를 비교하여 각각 최대, 중간, 최소를 갖는 상을 나타낸다.

3-레벨 인버터에서 한 상의 지령  $d_{ref,x}(x=max,mid,min)$ 가 0 보다 큰 경우 해당 상은 스위치  $S_1$ 과  $S_3$ 를 제어하는  $P$  스위칭을 하며, 상단 커패시터 전류  $I_{dc1}$ 는 그림 1의  $T$ 점을 향해 흐른다. 반대로  $d_{ref,x}$ 가 0 보다 작은 경우 스위치  $S_2$ 와  $S_3$ 를 제어하는  $N$  스위칭을 하며, 하단 커패시터 전류  $I_{dc2}$ 는 그림 1의  $B$ 점을 향해 흐른다. 이때, 전류의 방향에 따라  $C_{dc1}$ 과  $C_{dc2}$ 는 각각 충-방전을 하며, 한 제어주기 동안 전체 스위칭이  $P$  또는  $N$  스위칭으로 편향되면 상단과 하단 커패시터의 전압이 균등하게 유지되지 않는다. 따라서 추가적인 스위칭을 통해 중성점 전압의 변동을 최소화 시켜야 한다.

중성점에 흐르는 전류  $I_{np}$ 는 상-하단 전류  $I_{dc1}$ 과  $I_{dc2}$ 의 합으로 표현할 수 있다. 중성점에 흐르는 전류는 3상의 정규화 된 지령을 통해 식 (6)과 같이 표현할 수 있다<sup>[6]</sup>.

$$I_{np} = -(d_{ref,max} \times i_{max} + d_{ref,mid} \times i_{mid} + d_{ref,min} \times i_{min}) \quad (6)$$

여기서  $i_{max}$ ,  $i_{mid}$ ,  $i_{min}$ 은  $V_{ref,max}$ ,  $V_{ref,mid}$ ,  $V_{ref,min}$ 에 대응하는 출력 상전류를 나타낸다.

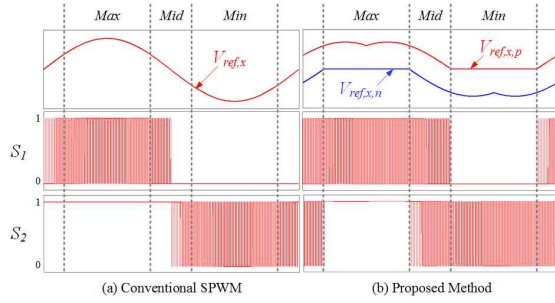


Fig. 3. Comparison of conventional SPWM method and proposed method.

3-레벨 인버터에서 중성점 전압( $V_{dc2} - V_{dc1}$ )의 크기는 중성점 전류의 방향과 크기에 따라 결정된다. 만일  $I_{np} < 0$  일 경우, 상단 커패시터의 전압은 하강하고, 하단 커패시터 전압은 상승하여 중성점 전압이 상승한다.  $I_{np} > 0$  일 경우, 상단 커패시터의 전압이 상승하고, 하단 커패시터 전압이 하강하여 중성점 전압이 하강한다. 따라서 중성점 전압의 변동을 저감시키기 위해 한 제어주기 동안 중성점에 흐르는 전류  $I_{np}$ 의 평균값을 저감시켜야 한다.

정규화 된 지령은 P 스위칭 구간  $[0, 1]$ 과 N 스위칭 구간  $[-1, 0]$ 으로 나누어 표현하면 식 (7)-(9)와 같다.

$$d_{max,p} = 2 \times v_{ref,max} / V_{dc} \quad d_{max,n} = 0 \quad (7)$$

$$d_{mid,p} = 2 \times v_{ref,mid} / V_{dc} \quad d_{mid,n} = 0, \quad \text{if } v_{mid} > 0 \quad (8)$$

$$d_{mid,p} = 0, \quad d_{mid,n} = 2 \times v_{ref,mid} / V_{dc}, \quad \text{if } v_{mid} < 0 \quad (9)$$

$$d_{min,p} = 0, \quad d_{min,n} = 2 \times v_{min} / V_{dc}$$

식 (7)-(9)의 정규화 된 지령에  $I_{np}$ 를 0으로 만들기 위한 옵셋 전압  $v_c$ ,  $v_{c1}$ ,  $v_{c2}$ 을 더하면 식 (10)-(12)로 표현 할 수 있다.

$$d_{max,p} = 2 \times (V_{ref,max} + v_c) / V_{dc} \quad d_{max,n} = 0 \quad (10)$$

$$d_{mid,p} = 2 \times \left( \frac{V_{ref,mid,p}}{2} + v_{c1} \right) / V_{dc} \quad d_{mid,n} = 0, \text{if } V_{ref,mid} > 0 \quad (11)$$

$$d_{mid,p} = 0, \quad d_{mid,n} = 2 \times \left( \frac{V_{ref,mid,n}}{2} + v_{c2} \right) / V_{dc}, \text{if } V_{ref,mid} < 0 \quad (12)$$

$$d_{min,p} = 0, \quad d_{min,n} = 2 \times (v_{min} + v_c) / v_m$$

여기서  $d_{mid,n}$ 과  $d_{min,n}$ 은 음의 값을 가지므로 식 (6)과 식 (10)-(12)를 이용해 중성점 전류를 표현하면 다음과 같다.

$$I_{np} = 2 \times (V_{ref,max} + v_c) / V_{dc} \times i_{max} + 2 \times (v_{c1} - v_{c2}) / V_{dc} \times i_{mid} - 2 \times (V_{ref,min} + v_c) / V_{dc} \times i_{min} \quad (13)$$

3상 인버터의 출력 전류는  $i_{max} + i_{mid} + i_{min} = 0$ 와 같은 관계를 가지므로 식 (13)의  $i_{mid}$ 를 소거하면 식 (14)와 같다.

$$I_{np} = 2 \times (-V_{ref,max} - 2v_{c2}) / V_{dc} \times i_{max} + 2 \times (V_{ref,min} + 2v_{c1}) / V_{dc} \times i_{min} \quad (14)$$

TABLE I  
EXPERIMENT PARAMETER

Parameter	Value
Input grid voltage	220 [Vrms]
Grid Frequency	60 [Hz]
DC-link capacitance, $C_{dc}$	10 [ $\mu$ F]
DSC capacitance, $C_{con}$	15 [ $\mu$ F]
DSC inductor, $L_{DSC}$	1.5 [mH]
Load inductor, $L_{load}$	1.6 [mH]
Load Resistor, $R_{load}$	10 [ $\Omega$ ]

중성점 전류,  $I_{np}$ 가 0이 되기 위해서는 식 (14)의 전압 항이 0이 되어야 한다. 또한 3상 인버터에서 지령 전압에 주입되는 옵셋 전압은 모두 동일한 값을 가져야 하므로  $mid$ 에 주입되는 옵셋 전압은  $max$ ,  $min$ 에 주입되는 옵셋 전압과 같아야 한다. 즉,  $v_{c1} + v_{c2} = v_c$ 를 만족해야 한다. 따라서 이러한 관계를 통해 구한 옵셋 전압은 식 (15)와 같다.

$$v_{c1} = -\frac{v_{min}}{2}, \quad v_{c2} = -\frac{v_{max}}{2}, \quad v_c = \frac{v_{mid}}{2} \quad (15)$$

옵셋 전압이 더해진 최종 지령 전압은 다음과 같다.

$$V_{ref,max,p}^* = \frac{(V_{ref,max} - V_{ref,min})}{2}, \quad V_{ref,max,n}^* = 0 \quad (16)$$

$$V_{ref,mid,p}^* = \frac{(V_{ref,mid} - V_{ref,min})}{2} \quad (17)$$

$$V_{ref,mid,n}^* = -\frac{(V_{ref,max} - V_{ref,mid})}{2}$$

$$V_{ref,min,p}^* = 0, \quad V_{ref,min,n}^* = -\frac{(v_{ref,max} - v_{ref,min})}{2} \quad (18)$$

본 논문에서 제안하는 기법과 SPWM 기법의 지령 전압에 따른 스위칭 파형을 그림 3에 나타내었다. SPWM 기법이  $mid$  영역에서 지령의 크기에 따라 상단 혹은 하단만 스위칭이 되었다. 제안하는 기법은  $mid$  영역에서 추가적인 스위칭을 한다. 추가적인 스위칭은 한 제어주기 동안 중성점 전류  $I_{np}$ 의 평균값을 저감시키고 중성점 전압의 변동폭을 줄여준다. 중성점 전압을 안정하게 제어함에 따라 출력 전류의 품질을 개선할 수 있다.

## 4. 실험

제안하는 기법을 검증하기 위해 10 kW급 3레벨 NPC 인버터로 실험을 진행하였다.  $C_{dc}$ 는  $C_{dc1}$ 과  $C_{dc2}$ 를 직렬 연결한 값이며, 인버터와 추가회로의 스위칭 주파수는 각각 10 kHz, 20 kHz로 진행하였다.

표 1과 같은 파라미터로 구성된 캡리스 3-레벨 NPC 인버터 시스템의 출력 파형은 그림 4와 같다. 소용량 커패시터로 인해 입력 전류의 품질이 악화되었으며 중성점

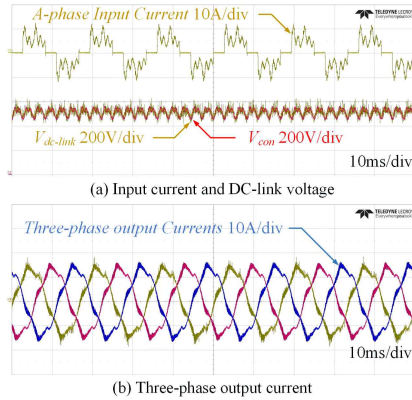


Fig. 4. Experimental output waveforms without proposed algorithm.

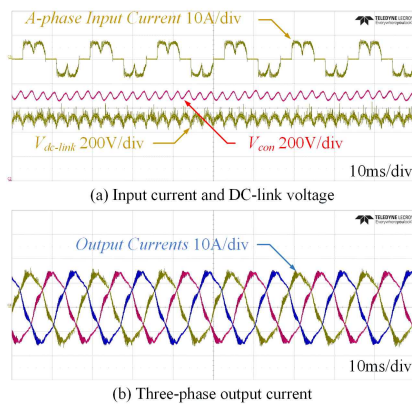


Fig. 5. Experimental output waveforms with proposed DSC control.

전압이 안정화되지 않아 출력 전류의 품질 또한 악화되었다. 입력 전류의 품질 개선을 위해 추가회로를 적용하면 그림 5와 같이 입력 전류의 파형이 6차 고조파를 포함하도록 개선되었다. 하지만 소용량의 커패시터로 인해 중성점 전압이 변동하기 때문에 출력 전류의 품질이 개선되지 않았다. 중성점 안정화 기법의 적용 전과 후를 그림 6에 나타내었다. 중성점 전압 안정화 기법을 적용하였을 때, 상-하단 커패시터 전압의 차이가 감소하였으며, 출력 전류의 품질이 개선됨을 확인하였다.

최종적으로 모든 제어기가 적용 되었을 때, 입력 전류의 전고조파왜율(THD, Total harmonic distortion)은 42.65%에서 34.78%로 개선되었으며, 입력 전류의 국제 규정인 IEC 61000에서 정한 전고조파왜율의 제한치인 37% 이내에 들어오는 것을 확인하였다<sup>[5]</sup>. 출력 전류 전고조파왜율은 11.19%에서 5.06%로 개선되었다.

## 5. 결 론

본 논문은 캡리스 3-레벨 NPC 인버터의 입-출력 전류 품질을 개선하기 위한 제어 기법을 제안하였다. 추가회로 적용을 통해 입력 전류의 품질을 개선하며, 중성점 전압 안정화 기법을 적용하여 출력 전류의 품질이 향상시킨다. 제안하는 알고리즘은 실험을 통해 검증하였다.

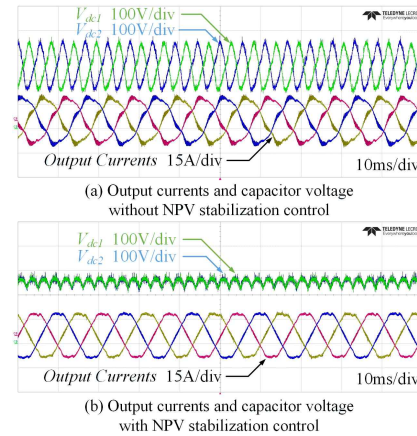


Fig. 6. Experimental output waveforms compared NPV stabilization control.

이 논문은 2016년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초 연구사업임(No.2016R1A2B4010636)

## References

- [1] V. Yaramasu and B. Wu, "Predictive control of a three-level boost converter and an NPC inverter for high-power PMSG-based medium voltage wind energy conversion systems," *IEEE Transactions on Power Electronics*, Vol. 29, No. 10, pp. 5308-5322, Oct. 2015.
- [2] A. Emadi, A. Khaligh, and C. H. Rivetta, "Constant power loads and negative impedance instability in automotive systems: definition, modeling, stability, and control of power electronics converter and motor drives," *IEEE Transactions on Vehicular Technology*, Vol. 55, No. 4, pp. 1112-1125, Jul. 2006.
- [3] J. S. Lee and K. B. Lee, "Time-offset injection method for neutral-point ac ripple voltage reduction in a three-level inverter," *IEEE Transactions on Power Electronics*, Vol. 31, No. 3, pp. 1931-1941, Mar. 2016.
- [4] J. S. Lee, S. Yoo, and K. B. Lee, "Novel discontinuous PWM method of a three-level inverter for neutral-point voltage ripple reduction," *IEEE Transactions on Industrial Electronics*, Vol. 63, No. 6, pp. 3344-3354, Jun. 2016.
- [5] H. Shin, Y. Son, and J. I. Ha, "Grid current shaping method with dc-link shunt compensator for three-phase diode rectifier-fed motor drive system," *IEEE Transactions on Power Electronics*, Vol. 32, No. 2, pp. 1279-1288, Mar. 2016.
- [6] R. Maheshwari, S. Munk-Nielsen, and S. Busquets-Monge, "Design of neutral-point voltage controller of a three-level NPC inverter with small dc-link capacitor," *IEEE Transactions on Industrial Electronics*, Vol. 60, No. 5, pp. 1861-1871, May 2013.