

## 이차원 SnSe<sub>2</sub> 전자소재의 Cl 도핑에 따른 고온 전도 물성 고찰

문승필<sup>1</sup> · 김성웅<sup>2</sup> · 손희상<sup>3</sup> · 김태완<sup>1</sup> · 이규형<sup>4,†</sup> · 이기문<sup>5,†</sup>

<sup>1</sup>한국전력공사 전력연구원, <sup>2</sup>성균관대학교 에너지과학과, <sup>3</sup>광운대학교 화학공학과  
<sup>4</sup>강원대학교 나노응용공학과, <sup>5</sup>군산대학교 물리학과

### Study on the Change of Electrical Properties of two-dimensional SnSe<sub>2</sub> Material via Cl doping under a High Temperature Condition

Seung Pil Moon<sup>1</sup>, Sung Wng Kim<sup>2</sup>, Hiesang Sohn<sup>3</sup>, Tae Wan Kim<sup>1</sup>,  
Kyu Hyoung Lee<sup>4,†</sup>, and Kimoon Lee<sup>5,†</sup>

<sup>1</sup>KEPCO Research Institute, Korea Electric Power Corporation, Naju 58124, Korea

<sup>2</sup>Department of Energy Science, Sungkyunkwan University, 2066, Seobu-ro, Jangan-gu, Suwon-si, Gyeonggi-do 16419, Korea

<sup>3</sup>Department of Chemical Engineering, Kwangwoon University, 20, Gwangun-ro, Nowon-gu, Seoul 01897, Korea

<sup>4</sup>Department of Nano Applied Engineering, Kangwon National University, 1, Gangwondaehak-gil,  
Chuncheon-si, Gangwon-do 24341, Korea

<sup>5</sup>Department of Physics, Kunsan National University, 558, Daehak-ro, Gunsan-si, Jeollabuk-do 54150, Korea

(Received June 8, 2017; Corrected June 22, 2017; Accepted June 26, 2017)

**초 록:** Cl 불순물 도핑에 따른 SnSe<sub>2</sub> 이차원 전자소재의 고온(300~450 K) 전도 물성 변화를 고찰하였다. 고상합성법을 통하여, 도핑이 없는 SnSe<sub>2</sub> 소재와 Cl이 도핑된 SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 소재를 합성하였으며, X선 회절 실험을 통하여, 두 재료 모두 불순물 없는 단일상이 형성되었음을 확인하였다. 비저항의 온도의존성 측정을 통하여, 전기 전도 mechanism이 Cl 도핑에 의해 hopping 전도에서 측퇴 전도로의 전이가 일어남을 관찰할 수 있었으며, 홀효과 측정을 통해 그러한 전도 mechanism의 전이가, Cl의 효과적인 donor 역할에 따른 자유전자의 농도 증가에서 기인한 것임을 확인하였다. 온도에 따른 전자이동도의 변화 분석을 통하여, 도핑이 없는 SnSe<sub>2</sub>의 고온 전기 전도는 grain boundary 산란이 지배적인 영향을 미치는 반도체 전도 특성을 보이는 반면, Cl 도핑에 따라 grain boundary 산란 효과가 저하되는 금속 전도 특성을 보인다는 것을 알 수 있었다.

**Abstract:** We study on the change of electrical properties of two-dimensional (2D) SnSe<sub>2</sub> materials with respect to Cl doping as SnSe<sub>1.994</sub>Cl<sub>0.006</sub> under a high temperature condition. (300~450 K) By the simple solid-state reaction method, non- and Cl-doped 2D SnSe<sub>2</sub> materials are successfully synthesized with negligible impurities as confirmed by X-ray diffraction. From the temperature dependence of resistivity, it is observed that the conduction mechanism is changed from hopping to degenerate conduction with Cl doping. By Hall effect measurement, an increase on electron carrier concentration from  $\sim 7 \times 10^{16}$  to  $\sim 3 \times 10^{18}$  cm<sup>-3</sup> with Cl doping verifies that Cl is an effective electron donor which results in the encouraged carrier concentration. Detailed analysis for temperature dependent Hall mobility reveals that the electrical transports in high temperature regime are governed by the grain boundary-controlled mechanism for non-doped SnSe<sub>2</sub>, which is effectively suppressed by Cl-doping as entering metallic transport regime.

**Keywords:** 2D materials, post-transition metal dichalcogenide, semiconductor, doping, electrical transport

### 1. Introduction

단원자층의 Graphene의 성공적인 구현 이후,<sup>1,2)</sup> 새로운 이차원 소재(2D materials)들에 대한 연구가 각광을 받고

있다.<sup>3-6)</sup> 특히 Nano-sheet화에 따라서 벌크 상태와 상이한 물리적, 화학적, 기계적 특성들이 발현됨으로써, 기존 소재들이 갖고 있던 물성의 근원적인 한계를 극복할 수 있는 신소재군으로 주목 받고 있으며, Graphene과 유사한

<sup>†</sup>Corresponding author

E-mail: khlee2014@kangwon.ac.kr, kimoon.lee@kunsan.ac.kr

© 2017, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

비대칭적인 약한 van der Waals 결합을 갖는 transition metal dichalcogenide(TMD) 등의 소재군 역시 근래에 들어 집중적으로 연구가 되어오고 있다.<sup>3-6)</sup> Graphene과 달리 유한한 band-gap을 갖는 TMD 소재의 경우, 다이오드, 트랜지스터와 같은 능동형 소자의 구현이 가능함과 동시에, 고이동도의 이차원 전하 전도가 용이하다는 면에서, 기존의 Si를 대체할 수 있는 차세대 전자소재로서 가능성을 보이고 있으며, 다양한 형태의 응용 광소자 및 논리회로의 구현 가능성 역시 여러 연구진들을 통해 보고되어 오고 있다.<sup>3-6)</sup>

실질적인 전자소재로의 응용을 위해서는, 기존의 Si 소재가 그러하였듯이, 단일 모조성(parent material) 안에서 부도체/반도체/전도체의 전기적 물성을 광범위한 범위로 제어할 수 있는 소재기술이 핵심적이나,<sup>7)</sup> 현재까지의 이차원 전자소재들은 구성 원소들의 근본적인 전하 국소화(carrier localization) 특성이 강한 연유로, 효과적인 전도물성의 제어가 어려웠다.<sup>8,9)</sup> 특히 화학적인 치환형(substitutional) 도핑에 따라 전자(electron) 혹은 홀(hole) 전하(carrier)를 상대적으로 저가의 공정을 통해 정량적으로 제어가 가능하였던 Si에 비해, Graphene 혹은 TMD 등의 이차원 전자소재의 경우, 치환형 도핑에 대한 합성 및 전도 물성에 대한 연구가 상대적으로 미비하였으며, 그러한 치환형 도핑이 극대화될 수 있는 소재 설계 전략 역시 부재한 상황이다.

본 연구진은 선행 연구를 통하여, Cl 원소의 치환형 도핑을 통해 이차원 SnSe<sub>2</sub> 소재의 광범위한 전자농도 제어가 가능함을 보고한 바 있다.<sup>10)</sup> 이는 기존의 p- 혹은 d-궤도(orbital) 기반 전도를 보이던 이차원 전자소재들과 달리 전도 궤도의 겹침(dispersion)이 용이한 Sn의 5s-궤도 전도를 가질 수 있는 소재 설계 전략에서 기인한 것으로, Se-site를 Cl 원소로 치환함을 통해 효과적인 전자 전하의 주입이 가능함을 보였으며, 그를 통해 ~10<sup>20</sup> cm<sup>-3</sup> 까지 수준의 고농도 전자 도핑을 통한 금속 전도 물성의 발현을 관찰하였다. 하지만 실질적인 전자소자가 작동하는 환경은 상온(300 K)에서 전류 열화에 의해 야기될 수 있는 고온(450 K) 영역이 될 것이며, 그러한 온도 환경 하에서의 전도 물성에 대한 심도 있는 고찰이 필요하다. 본 연구에서는 불순물이 없는 non-doped 상태의 SnSe<sub>2</sub> 및 Cl 불순물이 도핑된 SnSe<sub>2</sub> 소재의 고온 전도 물성 분석을 통해, 실질적인 소자 구동 환경 하에서의 전기 전도 물성을 결정하는 핵심 인자를 논의하고자 한다.

## 2. Experimental

Cl 불순물이 치환형으로 도핑된 SnSe<sub>2</sub> 소재를 고상합성법(solid-state reaction)을 통하여 합성하였다. Chip 형태의 Sn(4N, RND Korea)과 분말형태의 무수화(anhydrous) SnCl<sub>2</sub>(4N5, RND Korea) 원조성을 (1.994)Sn + 0.006SnCl<sub>2</sub> → 2SnCl<sub>0.006</sub>와 같은 화학 조성비에 맞추어 혼합한 뒤, 석영관에

에 진공 봉합하였다. 이를 box형 전기로 (furnace)에 넣고 250°C 온도에서 24시간 동안 열처리 한 후 꺼내어, 다시 grain 형태의 Se(5N, RND Korea)과 2SnCl<sub>0.006</sub> + 3.988Se → 2SnSe<sub>1.994</sub>Cl<sub>0.006</sub>와 같은 화학 조성비에 맞추어 혼합하고, 다시 석영관에 진공 봉합하였다. 재봉합한 샘플을 box형 전기로를 통해 400°C 온도에서 48시간 동안 열처리 한 후, 재분쇄 및 pellet 형태로 압착하여 다시 석영관에 진공 봉합한 뒤 600°C 온도에서 48시간 동안 소결하였다. Cl 불순물이 없는 non-doped 형태의 SnSe<sub>2</sub> 소재는 위와 같은 공정을 통해, SnCl<sub>2</sub>와의 혼합을 제외하고, 역시 화학조성비에 맞추어 Sn chip과 Se grain 간의 혼합을 하여 합성하였다. Pelletizing된 소결체 형태의 샘플을 분쇄하여 분말 X선 회절실험(Powder X-ray Diffraction: PXRD, Empyrean, PANalytical)를 통해, 상형성 여부 및 불순물 존재 여부를 확인하였으며, 소결체 샘플의 가공(10 × 10 × 1 mm<sup>3</sup>)을 통하여 온도에 따른 전기 전도 물성을 측정하였다. 온도에 따른 전기전도도(electrical conductivity,  $\sigma$ ), 전하농도(carrier concentration,  $N_e$ ) 및 홀전하 이동도(Hall mobility,  $\mu_{Hl}$ )는 온도 가변형 van der Pauw법 측정장비를 통해 측정하였으며(HMS-5300, Ecopia), Ag paste 전극 도포 및 후 열처리 공정(200°C, 10분)을 통한 ohmic contact의 형성을 전류-전압(current-voltage) 특성 곡선을 통해 확인하였다.

## 3. Results and Discussion

Fig. 1은 합성된 non-doped SnSe<sub>2</sub> 소재와 Cl이 도핑된

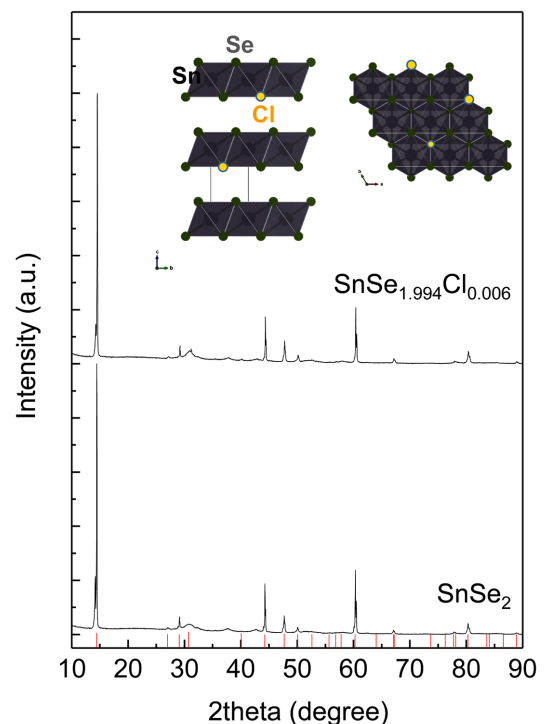


Fig. 1. 고상합성법을 통해 합성된 SnSe<sub>2</sub> 및 SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 조성 소결체의 PXRD 패턴과 그를 통해 구한 결정 구조.

SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 소재의 PXRD 결과를 보여주고 있다. PXRD 실험을 통해 관찰된 peak pattern을 통해 두 소재 모두 불순물상의 형성없이 동일한 *P-3m1* space group의 결정구조로 hexagonal 층상구조를 가지고 있는 것을 알 수 있다.<sup>10,11)</sup> (00l) 면지수에 해당하는 peak들이 여타 면지수 peak들에 비해 크게 나타나는 것을 통하여, 합성된 소재의 분말이 aspect ratio가 큰 층상구조 물질의 특징을 잘 보여주고 있음을 알 수 있으며,<sup>10)</sup>  $2d\sin\theta = n\lambda$ 의 관계식을 통하여(단,  $d$ 는 면간 거리,  $\lambda$ 는 Cu K $\alpha$  X-ray의 파장) (00l) 해당 peak의 위치를 통해 두 조성의 c축 격자상수를 구한 결과, SnSe<sub>2</sub>의 경우는  $c = 6.122362 \text{ \AA}$ , SnSe<sub>1.994</sub>Cl<sub>0.006</sub>의 경우는  $c = 6.129603 \text{ \AA}$ 와 같이 계산되었다.<sup>12)</sup> 이는 X-ray 회절 실험 측정 장비의 오차범위 내의 차이로 사료된다.

Fig. 2는 온도 ( $T$ )에 따른 SnSe<sub>2</sub>와 SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 소결체의 전기전도도 ( $\sigma$ )의 특성 변화 곡선을 보여주고 있다. Cl 불순물이 첨가되지 않은 SnSe<sub>2</sub> 조성의 경우, 온도가 증가할수록  $\sigma$ 가 증가하는 특성을 관찰할 수 있으며,  $1000/T$  대비  $\ln \sigma$  plotting을 통해  $\sigma \sim \exp(-E_a/kT)$ 와 같은 관계식을 만족하는 thermally activation behavior를 따르고 있는 것을 알 수 있다.<sup>7,10)</sup> (단,  $E_a$ 는 activation energy,  $k$ 는 Boltzmann 상수) 이는 온도 증가에 따라 전하 농도가 Arrhenius 관계식에 따라 증가하는 반도체 hopping 전도물성의 대표적인 특징으로서, Cl이 도핑되지 않은 non-doped 상태의 SnSe<sub>2</sub>의 경우, 유한한 band-gap 및 전도 전하의  $E_a$ 를 갖는 반도체 소재임을 보이는 결과이다.<sup>7,10)</sup>  $\ln \sigma$  vs.  $1000/T$  plot의 fitting을 통하여,  $E_a$  값은 300~440 K 온도 구간에서는 0.11 eV, 440~570 K 온도 구간에서는 0.29 eV로, 온도 증가에 따라 증가하는 것으로 나타났다. 이는 온도 증가에 따라 상대적으로 낮은 에너지 준위에 trap되어 있던 전도 전하들이 먼저 여기 되고, 높은 에너지 준위에 trap되어 있는 전도 전하는 440 K 이상 고온에서 유의미하게 여기 되기 시작하고 있음을 내포하는 결과이다. Fig. 2의 inset의 그래프는 Cl이 도핑된 SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 조성의 소결체의 온도

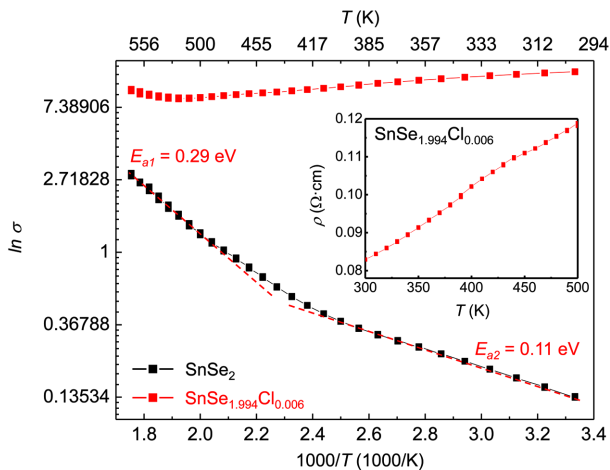


Fig. 2. 온도에 따른 SnSe<sub>2</sub> 및 SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 조성 소결체의 전기전도도 및 비저항의 특성 곡선.

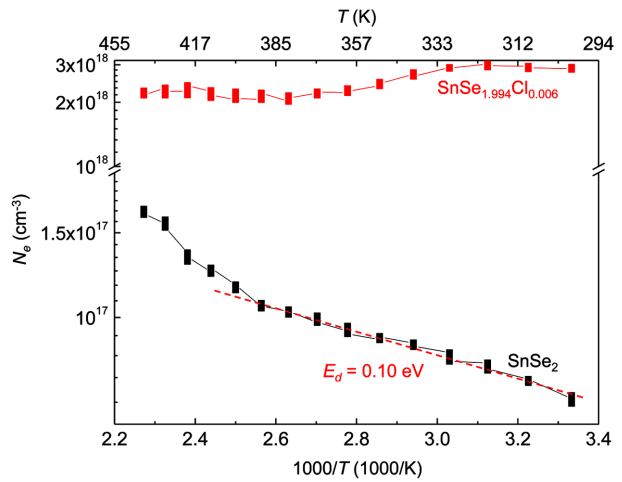


Fig. 3. 온도에 따른 SnSe<sub>2</sub> 및 SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 조성 소결체의 전자 전하 농도의 특성 변화 곡선.

에 따른 비저항 ( $\rho$ ) 특성 변화 곡선을 보여주고 있다. Cl 불순물이 없는 SnSe<sub>2</sub> 조성과는 달리 온도가 증가할수록  $\rho$ 가 선형적으로 증가하는 특성을 관찰할 수 있으며, 이는 온도에 증가에 따라 전자와 격자 산란 간의 scattering이 증가하는 금속성 축퇴(degenerate) 전도물성으로의 전이가 일어났음을 보여주는 결과이다.<sup>7,12)</sup> 동일한 상온(300 K) 조건하에서의  $\sigma$ 값은 non-doped SnSe<sub>2</sub>의 경우, 0.14 S/cm, Cl이 도핑된 SnSe<sub>1.994</sub>Cl<sub>0.006</sub>의 경우, 12.07 S/cm로 90배 가까이 증가하였으며, 이는 역시 Cl 도핑에 따른 반도체에서 금속으로의 전도 물성 전이가 일어났음을 함께 증명하고 있다.

Cl 도핑에 따른 SnSe<sub>2</sub> 이차원 소재의 반도체에서의 금속성으로의 전이가 일어난 원인을 분석하기 위하여, van der Pauw 법을 통해 Hall effect 측정을 수행하였다. Fig. 3는 온도에 따른 Hall effect 측정을 통해 계측한 전하 농도 ( $N_e$ )의 특성 곡선을 보여주고 있다. 450 K 이상의 온도에서는 재현성 있는 Hall 계수의 측정이 이뤄지지 못했으며, 이는 narrow band gap 소재에서 관찰되는 bipolar effect에 의한 mixed conduction이 원인일 것으로 사료된다.<sup>13)</sup> 300~450 K 온도 구간에서, Hall effect 측정에 따른 Hall 계수값은 모두 음의 값이 나왔으며, 이는 SnSe<sub>2</sub> 및 SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 소재의 전도 전하가 전자(electron)임을 보여주는 결과이다.<sup>12)</sup> Cl 불순물이 없는 SnSe<sub>2</sub> 소결체의 경우 온도에 따른  $N_e$ 가 역시 Arrhenius 관계식을 따르는 반도체 전도 물성을 보였으며, 이는 Fig. 2의 결과와 함께 non-doped 조성의 SnSe<sub>2</sub>는 반도체임을 증명하는 결과이다. 반도체의  $N_e$ 의 경우, 불순물 dopant의 이온화 에너지 ( $E_d$ )에 따라  $N_e \sim \exp(-2E_d/kT)$ 의 관계식을 만족하는 것으로 알려져 있으며,<sup>14)</sup> Fig. 3 결과의 fitting을 통해 Cl 불순물이 없는 SnSe<sub>2</sub> 반도체의  $E_d$ 는 0.10 eV 값을 갖는 것으로 알 수 있다. 이는 선행 연구를 통해 보고 되었던 Cl 불순물의  $E_d$ 보다 7~25배 이상 큰 값으로서,<sup>10)</sup> 외부 도핑 인

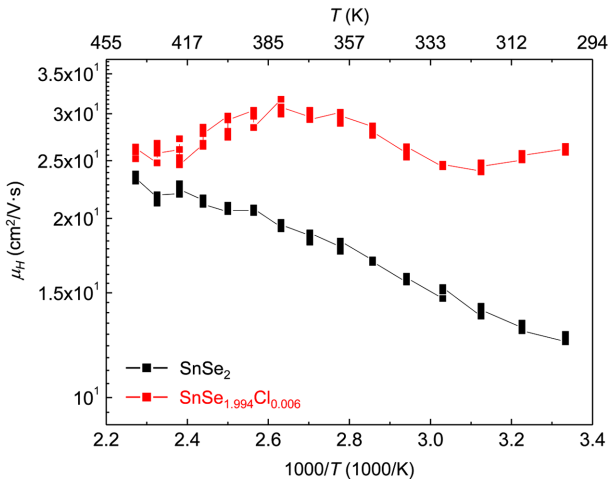


Fig. 4. 온도에 따른 SnSe<sub>2</sub> 및 SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 조성 소결체의 홀전하 이동도의 특성 변화 곡선.

자가 아닌 열역학적으로 불가피하게 형성되는 Se-vacancy 혹은 grain boundary 준위 등에 의한  $E_d$  level인 것으로 사료되며, figure 2의 결과에서 구한 온도에 따른  $E_a$  증가의 결과와 결부하여 보았을 때, 300~450 K 온도 구간에서 실질적으로 여기 되기 시작하는 불순물 준위일 것으로 유추할 수 있다. SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 조성의 소결체의 경우, 상온에서의  $N_e$  값이 SnSe<sub>2</sub> 조성 소결체에 비하여 50배 이상 증가한 것을 측정할 수 있었으며, 이는 Cl이 이차원 SnSe<sub>2</sub>에 효율적으로 전자 전하를 기여함으로써, 반도체에서 금속 전도로의 전이를 일으킨 주된 원인임을 시사하는 결과로 첨가된 Cl 불순물은 SnSe<sub>2</sub> 결정의 층간 공간에 intercalant 로서가 아닌 Sn-site에 정상적으로 치환되어 Se<sup>2-</sup>의 site에 Cl 상태로 치환됨을 통해 전자를 하나 기여할 수 있는 electron donor 로의 역할을 함을 알 수 있다.

온도에 따른  $\sigma$ 와 (Figure 2)  $N_e$  측정 결과 (Figure 3) 및  $\sigma = N_e q \mu_H$ 의 관계식을 통하여,<sup>12,14)</sup> (단,  $q$ 는 단위 전하량) 최종, 온도에 따른 홀전하 이동도 ( $\mu_H$ ) 특성 곡선을 figure 4와 같이 구하였다. Cl 불순물이 없는 SnSe<sub>2</sub> 조성 소결체의 경우, 온도 증가에 따라  $\mu_H$ 가 증가하는 경향을 보이고 있다. 이는 온도 증가에 따른 격자 산란 mode 및 에너지의 증가로  $\mu_H$ 가 감소하는 기존 반도체 전도물성과 상이한 결과로서,<sup>12,14)</sup> 300 K 이하에서 관찰되었던 선행 결과와도 역시 상이한 결과이다.<sup>10)</sup> 이러한 온도 증가에 따른  $\mu_H$ 의 증가 현상은 온도에 따라 산란 확률이 감소하는 grain boundary 산란 효과가 보다 지배적일 관찰되는 현상으로,<sup>15)</sup> 300 K 이하 저온과 달리 고온에서는 불순물 준위 여기 효과보다 grain boundary 산란 효과가 보다 강하게 나타나고 있음을 시사하는 결과이다. 앞선 Fig. 2의 동일한 온도 구간에서의  $\sigma$  경향 추세를 통해 구한  $E_{a2}$ 와 Fig. 3에서 구한  $E_d$  모두 ~ 0.1 eV로 거의 동일한 값을 보이고 있다는 점에 비추어 보았을 때, 결국 이는 고온 전도 물성의 주

요 전하 산란 인자가 되는 grain boundary의 에너지 준위를 유추할 수 있으며, SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 조성의 경우, 온도에 따른 이동도의 변화가 상대적으로 작은 것으로 보아, 그러한 grain boundary 산란 효과를 무시할 수 있는 금속 전도 물성을 보이는 것으로 결론 내릴 수 있다.

#### 4. Conclusion

Cl 불순물 도핑에 따른 SnSe<sub>2</sub> 이차원 전자소재의 고온 영역에서의(300~450 K) 전도 물성 변화를 고찰하였다. 고상합성법을 통하여, Cl 불순물이 없는 SnSe<sub>2</sub> 소재와 Cl이 도핑된 SnSe<sub>1.994</sub>Cl<sub>0.006</sub> 소재를 소결체 형태로 합성하였으며, PXRD 분석을 통해, 두 소재 모두 불순물 없는 *P-3m1* space group의 hexagonal 층상구조 결정상이 형성되었음을 확인하였다.  $\sigma$ 와  $\rho$ 의 온도의존성 측정을 통하여, 전기 전도 mechanism이 Cl 도핑에 따라 반도체 전도에서 금속 전도로의 전이가 일어남을 관찰할 수 있었으며, 홀효과 측정을 통해 그러한 전도 mechanism의 전이가, Cl이 효과적인 donor 역할에 따른 자유전자의 농도 증가에서 기인한 것임을 확인하였다. 온도에 따른 전자이동도의 변화 분석을 통하여, 도핑이 되지 않은 SnSe<sub>2</sub>의 전기 전도는 grain boundary 산란이 지배적인 영향을 미치는 것으로 확인 되었으며, 그러한 산란 효과가 Cl 도핑을 통해 금속 전도 전이와 함께 효과적으로 억제되는 것을 알 수 있었다.

#### 감사의 글

이 논문은 2017년도 정부(교육부)의 재원으로 한국연구재단의 기초연구사업(NRF-2016R1D1A3B03933785)과 국제협력사업(NRF-2017K2A9A2A08000214, FY2017)의 지원을 받아 연구되었음.

#### References

1. K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva, and A. A. Firsov, "Electric field effect in atomically thin carbon films", *Science*, 306, 666 (2004).
2. Y. H. Ko, K. G. Choi, S. W. Kim, D. Y. Yu, J. H. Bang, and T. S. Kim, "Trends of researches and technologies of electronics packaging using graphene", *J. Microelectron. Packag. Soc.* 23(2), 1 (2016).
3. M. Xu, T. Liang, M. Shi, and H. Chen, "Graphene-like two-dimensional materials", *Chem. Rev.* 113, 3766 (2013).
4. M. Chhowalla, H. S. Shin, G. Eda, L. J. Li, K. P. Loh, and H. Zhang, "The chemistry of two-dimensional layered transition metal dichalcogenide nanosheets", *Nature Chem.*, 5, 263 (2013).
5. Q. H. Wang, K. K. Zadeh, A. Kis, J. N. Coleman, and M. Strano, "Electronics and optoelectronics of two-dimensional transition metal dichalcogenides", *Nature Nanotechnol.*,

- 7(11), 699 (2012).
6. B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti, and A. Kis, "Single-layer MoS<sub>2</sub> transistors", *Nature Nanotechnol.*, 6(3), 147 (2011).
  7. R. S. Muller, T. I. Kamins, and M. Chan, "Device Electronics for Integrated Circuits", 3<sup>rd</sup> ed. Wiley (2003).
  8. M. Chhowalla, D. Jena, and H. Zhang, "Two-dimensional semiconductors for transistors", *Nat. Rev. Mater.*, 1, 16052 (2016).
  9. D. Jariwala, V. K. Sangwan, L. J. Lauhon, T. J. Marks, and M. C. Hersam, "Emerging device applications for semiconducting two-dimensional transition metal dichalcogenides", *ACS Nano*, 8(2), 1102 (2014).
  10. S. I. Kim, S. W. Hwang, S. Y. Kim, W.-J. Lee, D. W. Jung, K.-S. Moon, H. J. Park, Y.-J. Cho, Y.-H. Cho, J.-H. Kim, D.-J. Yun, K. H. Lee, I.-T. Han, K. M. Lee, and Y. C. Sohn, "Metallic conduction induced by direct anion site doping in layered SnSe<sub>2</sub>", *Sci. Rep.*, 6, 19733 (2016).
  11. B. Palosz, and E. Salje, "Lattice parameters and spontaneous strain in AX<sub>2</sub> polytypes: CdI<sub>2</sub>, PbI<sub>2</sub>, SnS<sub>2</sub> and SnSe<sub>2</sub>", *J. Appl. Cryst.* 22, 622 (1989).
  12. C. Kittel, "Introduction to Solid State Physics", 8<sup>th</sup> ed. Wiley (2005).
  13. B. C. Shin, C. W. Hwang, S. K. Oh, S. C. Choi, and D. K. Paek, "Thermoelectric properties of the (Pb<sub>1-x</sub>Sn<sub>x</sub>)Te sintered by AC applied hot pressing", *J. Microelectron. Packag. Soc.* 7(4), 1 (2000).
  14. S. O. Kasap, "Principles of Electronic Materials and Devices", 2<sup>nd</sup> ed. McGraw Hill (2002).
  15. L. Liu, R. Liang, J. Wang, and J. Xu, "Ultra-high aspect ratio poly-Si FinFET using an improved spacer formation technique", *Superlattices Microstruct.*, 104, 149 (2017).