

# 계통 연계형 3-레벨 인버터 시스템을 위한 LCL-필터 설계 방법

## Design of an LCL-Filter for Grid-Connected Three-Level Inverter System

박 준 영 \*, 김 석 민 \*, 서 승 규 \*\*, 박 성 수 \*\*\*, 이 교 범\*

Joon Young Park\*, Seok-Min Kim\*, SeungGyu Seo\*\*, Seong-Soo Park\*\*\*, Kyo-Beum Lee\*

### Abstract

This paper proposes a design method of an LCL-filter for grid-tied three-level inverter systems. The demand for three-phase PWM inverters in applications such as wind or solar power generation systems has been increase in recent years. To reduce harmonic components caused by switching operation, such inverters are connected to the grid via an LCL filter. Although there are research results for designing LCL-filter, the modulation method should be fully considered to make the filter perform desired cancellation ability with minimized size. This paper presents the design methodology for an LCL-filter that is optimized for SVM switching operations. The simulation and experimental results verify the validity of the LCL-filter designed with proposed method in this paper.

### 요 약

본 논문은 계통 연계형 3-레벨 인버터 시스템을 위한 LCL-필터 설계 방법을 제안한다. 최근 풍력 및 태양광과 같은 신재생에너지 발전 시스템을 위한 3상 PWM 인버터의 수요가 증가하고 있다. 이러한 PWM 인버터는 스위칭 동작에 의해 발생하는 고조파 성분을 제거하기 위하여 LCL-필터를 거쳐 계통과 연결된다. 필터 설계에 관한 다양한 연구가 진행되었지만 최소의 사이즈로 목표하는 고조파 제거 성능을 얻기 위해서는 해당 PWM 인버터의 스위칭 방법을 고려한 필터 설계 방법이 요구된다. 본 논문은 공간 전압벡터 변조기법(SVPWM)에 최적화된 LCL-필터 설계 방법을 제시한다. 시뮬레이션과 실험 결과를 통해 제안하는 방법으로 설계된 LCL-필터의 성능을 검증한다.

*Key words : Grid-connected system, Harmonics, LCL-filter, Space vector pulse-width modulation (SVPWM), Three-level inverter*

\* Dept. of Electrical Engineering, Ajou University

\*\* LG Electronics Co. Ltd.

\*\*\* Dept. of Space Survey Information Technology, Ajou University

★ Corresponding author

e-mail: [kyl@ajou.ac.kr](mailto:kyl@ajou.ac.kr), tel: 031-219-2376

※ Acknowledgment

This research was supported by Basic Science Research Program through the National Research Foundation of Korea(NRF) funded by the Ministry of Science, ICT & Future Planning(grant number)

Manuscript received Jun. 21, 2017; revised Jun. 24, 2017 ; accepted Jun. 26, 2017

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## I. 서론

전력 변환 장치의 스위칭 동작에 의해 발생하는 고조파는 연결된 부하, 장비에 악영향을 미치는 요인이며 특히 수 kW 이상의 정격을 갖는 응용 분야에서는 고조파의 저감을 위한 노력이 절대적으로 필요하다[1][2]. 이러한 고조파 저감을 위한 필터의 가격과 필터 적용에 의한 전고조파왜율(Total harmonic distortion, THD) 등은 시스템 설계에 있어 매우 중요한 고려사항이다. 이러한 인버터의 스위칭 동작에 의해 발생하는 고조파 성분은 IEEE 규정(IEEE-519, IEEE-1547.2)을 준수하는 정도로 제한되어야 한다[3][4]. IEEE의 고조파 규정에 따르면 출력 전류의 THD는 5% 이내로 제한되어야 하며 또한 각 차수 별로 규정된 고조파 크기도 만족해야 한다.

주로 고조파 왜율을 저감하기 위해 전력 변환 장치의 입·출력 회로에 인덕터를 사용하는 L-필터를 적용한다. 그러나 시스템의 용량이 증가할수록 큰 용량의 인덕턴스가 요구되고 이에 따라 가격의 상승과 동적 특성 악화, 전압 강하 등의 문제로 인해 대용량 시스템을 위한 실직적인 해결책이 되지 못한다.

위와 같은 대용량 설비에서의 L-필터 적용에 따른 단점을 극복하기 위해 LCL-필터가 고안되었다. LCL-필터는 3차 저역 통과 필터와 같은 특성을 지니며 L-필터에 비해 적은 용량으로도 동일한 고조파 감쇠 효과를 갖기 때문에 제조비용과 시스템의 부피를 현저하게 줄일 수 있다. 이러한 장점에도 불구하고 LCL-필터는 설계 방법이 복잡하며 공진의 문제를 수반한다[5][6]. 이 공진 문제를 저감하기 위하여 수동 댐핑 및 능동 댐핑 기법의 적용이 필요하다[7]. 최근 LCL-필터의 설계 방법에 관련한 연구는 L-필터에 비해 추가된 필터 커패시터와 계통 측 인덕터 연구에 집중하고 있다[8]-[11]. 그러나 이 LC 값은 시스템 파라미터 혹은 인버터 측 인덕터( $L_i$ )를 기준으로 설계가 가능하므로 정확한 인버터 측 인덕턴스의 설계가 우선시 된다. 또한 전류 리플에 영향을 미치는 인버터의 스위칭 기법은 중요하게 고려되어야 한다.

본 논문은 육상 전압을 이용하여 구현한 공간 전압 벡터 변조 기법(Space vector pulse-width

modulation, SVPWM)을 기반으로 하는 계통 연계형 3-레벨 인버터를 위한 LCL-필터의 최적 설계 방법을 제안한다. 육상 전압을 이용한 SVPWM 기법은 기존의 SVPWM에 비해 구현이 월등히 간단하여 여러 응용분야에 사용된다. 하지만 삼각반송파와 비교되는 지령의 모양이 기존의 SVPWM과 정확하게 일치하지 않기 때문에 기존의 SVPWM을 기반으로 하는 3-레벨 인버터의 LCL-필터 설계 방법으로는 최적화된 필터 설계가 불가능 하다. 전압 변조 지수가 작은 구간에서는 스위칭 방법에 따른 필터 설계값에 큰 차이가 없지만, 전압 변조 지수가 클 경우 스위칭 방법에 따라 필터 설계 값에 차이가 발생하기 때문에 스위칭 기법에 따른 최적화된 설계 방법이 필요하다.

제안하는 LCL-필터 설계의 절차는 다음과 같다. 인버터 측 인덕터  $L_i$  를 L-필터만 적용할 경우의 출력 전류를 분석하여 설계된다. 계통 측 인덕터  $L_g$  는 전류 리플 감쇄율  $r$  에 의해 선택되며 이는 인버터 측 인덕턴스의 출력 전류 THD와 계통 측 인덕턴스의 THD의 비율로 정의한다. 필터 커패시터  $C_f$  는 무효 전력 흡수율을 고려하여 설계한다. 본 논문은 제안하는 방법으로 설계된 LCL-필터를 3-레벨 인버터에 적용하여 설계 방법의 타당성과 그 성능을 시뮬레이션과 실험 결과로 검증한다.

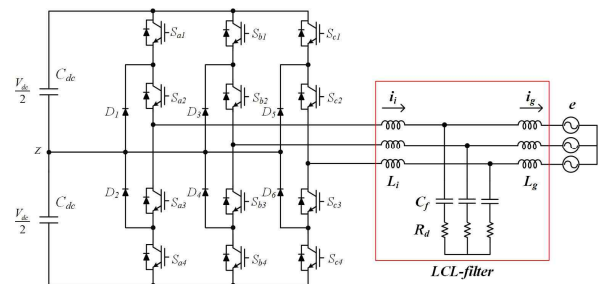


Fig. 1. Grid-connected three-level inverter system.

그림 1. 계통 연계형 3-레벨 인버터 시스템

## II. LCL-필터

### 1. SVPWM의 구현 방법과 스위칭 동작의 이해

일반적인 SVPWM은 공간 벡터도 상에서 벡터의 위치와 인가 시간 등을 고려해야하기 때문에

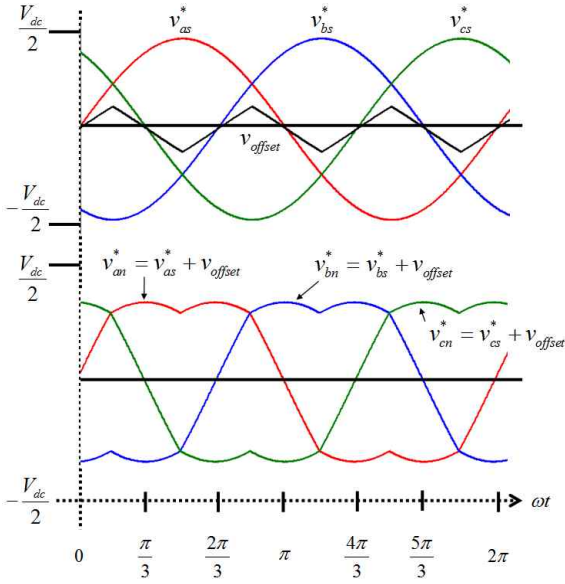


Fig. 2. Offset voltage and three-phase reference voltages for SVPWM.

그림 2. SVPWM의 오프셋 전압과 3상 지령 전압

구현이 복잡하지만 오프셋 전압 주입을 사용하면 프로그래밍적으로 쉽게 구현할 수 있기 때문에 여러 응용분야에 사용하고 있다. 본 절에서는 오프셋 전압을 이용한 SVPWM 구현 방법을 간략히 소개한다[12].

3상의 각 상전압 지령은 다음과 같이 표현된다.

$$v_{as}^* = M_i \frac{V_{dc}}{\sqrt{3}} \sin \omega t \quad (1)$$

$$v_{bs}^* = M_i \frac{V_{dc}}{\sqrt{3}} \sin \left( \omega t - \frac{2\pi}{3} \right) \quad (2)$$

$$v_{cs}^* = M_i \frac{V_{dc}}{\sqrt{3}} \sin \left( \omega t + \frac{2\pi}{3} \right) \quad (3)$$

각  $v_{as}^*$ ,  $v_{bs}^*$ ,  $v_{cs}^*$ 는 3상 상전압 지령을 나타내며,  $V_{dc}$ 는 DC-link 전압을,  $M_i$ 는 전압 변조 지수를 나타낸다.

SVPWM을 구현하기 위한 오프셋 전압은 3개의 상전압 지령 중 최댓값과 최솟값의 평균값으로 구해지며 다음과 같이 표현된다.

$$V_{offset} = - \begin{cases} M_i \frac{V_{dc}}{\sqrt{3}} \left( \frac{\sin(\omega t - \frac{2\pi}{3}) + \sin(\omega t + \frac{2\pi}{3})}{2} \right), & 0 \leq \omega t \leq \frac{\pi}{6} \\ M_i \frac{V_{dc}}{\sqrt{3}} \left( \frac{\sin(\omega t - \frac{2\pi}{3}) + \sin \omega t}{2} \right), & \frac{\pi}{6} \leq \omega t \leq \frac{\pi}{2} \end{cases} \quad (4)$$

SVPWM을 위한 3상 극전압 지령  $v_{an}^*$ ,  $v_{bn}^*$ ,  $v_{cn}^*$ 은 식 (4)로 정의된 오프셋 전압을 상전압 지령에 더하

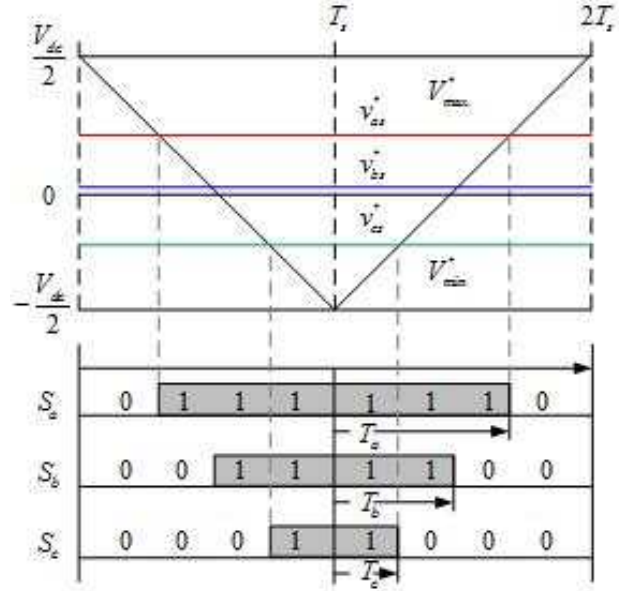


Fig. 3. Effective time of the three-phase pole voltages based on SVPWM.

그림 3. SVPWM 적용 시의 3상 극전압의 인가 시간

여 다음과 같이 나타낼 수 있다.

$$v_{an}^* = v_{as}^* + v_{offset} \quad (5)$$

$$v_{bn}^* = v_{bs}^* + v_{offset} \quad (6)$$

$$v_{cn}^* = v_{cs}^* + v_{offset} \quad (7)$$

그림 2는 식 (5)-(7)로 구한 3상 인버터의 SVPWM을 위한 극전압 지령을 나타낸다.

## 2. 인버터 측 인덕터 $L_i$ 설계

인버터 측 인덕터  $L_i$ 는 전류 리플을 RF에 의해 결정된다. RF는 전류 리플  $I_{ripple}$ 과 시스템의 정격 전류  $I_{rate}$ 의 비율로 결정되며 목표 THD 설계에 따라 다음과 같이 표현된다.

$$RF = \frac{I_{ripple}}{I_{rate}} \quad (8)$$

인버터 측 인덕터  $L_i$ 로 흐르는 전류 리플  $I_{ripple}$ 은 인버터에서 인가되는 유효 전압의 크기와 인가 시간에 따라 계산되며 유효 전압의 인가 시간은 스위칭 방법에 따라 결정된다.

그림 3은 SVPWM을 사용할 경우, 기본과 한 주기 동안 각 상의 유효 전압 인가 시간을 나타낸다. 스위칭 동작은 지령 전압 신호와 삼각 반송파의 비교에 의해 결정된다. 따라서 유효 전압 인가 시간은 다음과 같이 계산된다.

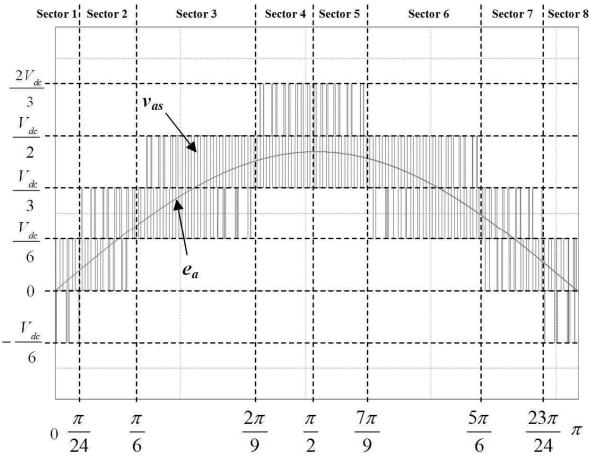


Fig. 4. Output phase voltage and grid voltage.  
그림 4. 인버터 출력 상전압과 계통 전압

$$T_a = \frac{T_s}{2} \left( \frac{v_{an}^*}{V_{dc}} + 0.5 \right) \quad (9)$$

$$T_b = \frac{T_s}{2} \left( \frac{v_{bn}^*}{V_{dc}} + 0.5 \right) \quad (10)$$

$$T_c = \frac{T_s}{2} \left( \frac{v_{cn}^*}{V_{dc}} + 0.5 \right) \quad (11)$$

식(9)-(11)에서  $T_a$ ,  $T_b$  그리고  $T_c$ 는 각 상의 유효 전압 인가 시간을,  $T_s$ 는 제어 주기를 나타낸다.

인덕터에 걸리는 전압은 인버터 출력 상전압과 계통 전압의 차이이며 A상 계통 상전압  $e_a$ 는 식(12)와 같다.

$$e_a(\omega t) = M_i \frac{V_{dc}}{\sqrt{3}} \sin(\omega t), 0 < \omega t < \pi \quad (12)$$

이 때 인버터의 출력 상전압은 5-레벨을 가지며 시간에 따라 변하기 때문에 인덕터 양단에 인가되는 전압 또한 순시적으로 변한다. 따라서 인덕터에 흐르는 전류의 리플은 표 1과 같이 인덕터 양단에 걸리는 전압과 유효 전압 인가 시간에 의해 구할 수 있다. 출력 상전압은 그림 4와 같이 기본파의 반주기 동안 8개의 영역으로 나눌 수 있으나 대칭성을 가지므로  $[0, \pi/2]$  구간인 4개의 영역에 대한 리플 분석만으로 전영역에서의 전류 리플 RMS 값을 구할 수 있다.

그림 5는 각 영역에서의 상전압에 대응하는 전류 리플 모양을 나타낸다. 그림 5(a)와 같이 영역 1에서 전류 리플은  $T_0$  동안  $V_{dc}/6$ 을,  $T_1$  동안  $V_{dc}/3$ 을  $T_2$  동안 0을 인가함에 따라 전류 리플이 결정된다. 전류 리플은 인버터 출력 상전압이  $V_{dc}/6$ 일 때 최댓값을 갖는다.

Table 1. Effective time of each phase output voltage.

표 1. 출력 상전압의 유효 인가 시간

Sector	Output voltage	THD	
1	$1/6 V_{dc}$	$T_0$	$T_a$
	$-1/6 V_{dc}$	$T_1$	$T_b - T_a$
	0	$T_2$	$T_c - T_b$
2	$1/6 V_{dc}$	$T_0$	$T_b$
	$1/3 V_{dc}$	$T_1$	$T_a - T_b$
	0	$T_2$	$T_c - T_a$
3	$1/6 V_{dc}$	$T_0$	$T_b$
	$1/3 V_{dc}$	$T_1$	$T_c - T_b$
	$1/2 V_{dc}$	$T_2$	$T_a - T_c$
4	$1/3 V_{dc}$	$T_0$	$T_b$
	$1/2 V_{dc}$	$T_1$	$T_c - T_b$
	$2/3 V_{dc}$	$T_2$	$T_a - T_c$

영역 2에서 전류 리플은 그림 5(b)와 같다.  $T_0$  동안  $V_{dc}/6$ 을,  $T_1$  동안  $V_{dc}/3$ 을  $T_2$  동안 0을 인가하여 결정된다. 전류 리플은 인버터 출력 상전압이  $V_{dc}/6$ 과  $V_{dc}/3$ 일 때 최댓값을 갖는다.

영역 3에서는  $T_0$  동안  $V_{dc}/6$ 을,  $T_1$  동안  $V_{dc}/3$ 을  $T_2$  동안  $V_{dc}/2$ 을 인가하여 전류 리플이 결정된다. 전류 리플의 최댓값은 그림 5(c)와 같이 인버터 출력 상전압이  $V_{dc}/3$  또는  $V_{dc}/2$ 을 출력될 때이다. 그러나  $V_{dc}/3$ 을 출력할 경우는 계통 상전압  $e_a$  보다 클 경우에만 전류 리플의 최댓값에 영향을 미친다.

영역 4의 전류 리플은  $T_0$  동안  $V_{dc}/3$ 을,  $T_1$  동안  $V_{dc}/2$ 을  $T_2$  동안  $2V_{dc}/3$ 을 인가하여 결정된다. 그림 5(d)와 같이 인버터의 출력 상전압이  $V_{dc}/2$ ,  $V_{dc}/3$ 일 때, 전류 리플은 최댓값을 갖는다.

최종적으로, 각 영역에서 전류 리플의 최댓값은 다음과 같이 표현된다.

$$\Delta i_{\max 1}(\omega t) = \frac{1}{L} \left( \frac{1}{6} V_{dc} - e_a(\omega t) \right) \times T_a \quad (13)$$

$$\Delta i_{\max 2}(\omega t) = \frac{1}{L} \left( \frac{1}{6} V_{dc} - e_a(\omega t) \right) \times T_b \quad (14)$$

$$+ \frac{1}{L} \left( \frac{1}{3} V_{dc} - e_a(\omega t) \right) \times (T_a - T_b)$$

$$\Delta i_{\max 3}(\omega t) = \frac{1}{L} \left( \frac{1}{2} V_{dc} - e_a(\omega t) \right) \times (T_a - T_c) \quad (15)$$

$$+ \frac{1}{2L} \left( \sqrt{\left( \frac{1}{3} V_{dc} - e_a(\omega t) \right)^2} + \left( \frac{1}{3} V_{dc} - e_a(\omega t) \right) \right) \times (T_c - T_b)$$

$$\Delta i_{\max 4}(\omega t) = \frac{1}{L} \left( \frac{1}{2} V_{dc} - e_a(\omega t) \right) \times (T_c - T_b) \quad (16)$$

$$+ \frac{1}{L} \left( \frac{2}{3} V_{dc} - e_a(\omega t) \right) \times (T_a - T_c)$$

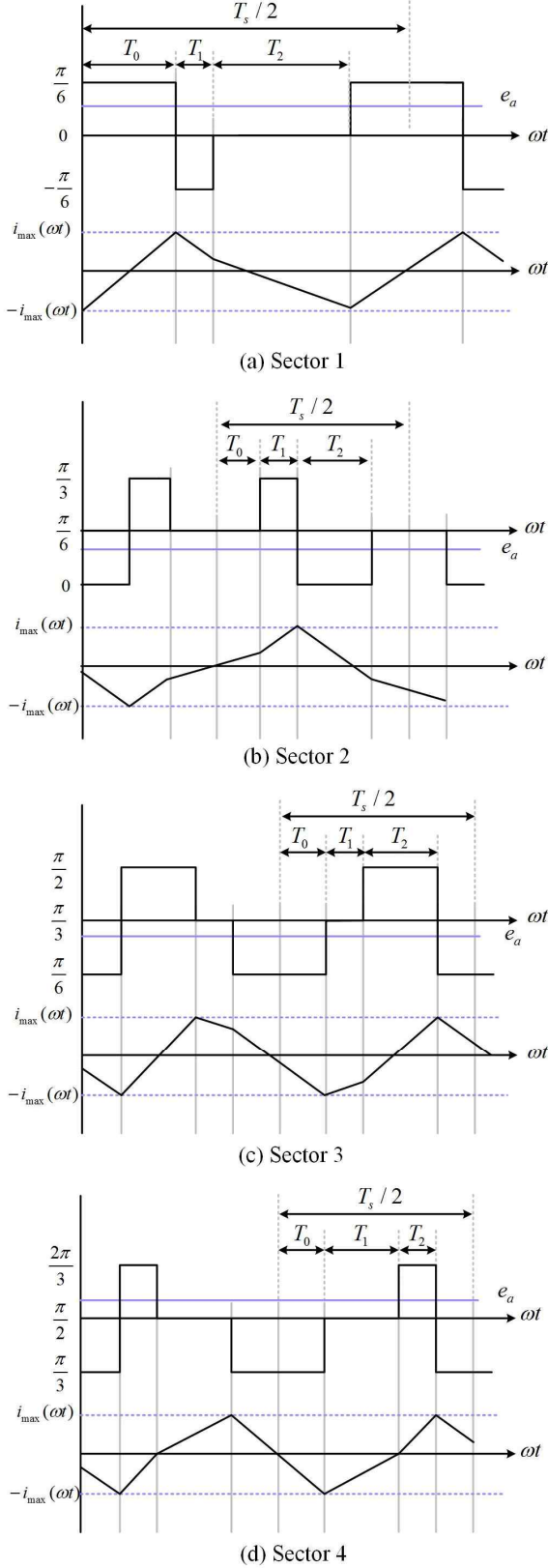


Fig. 5. Dwelling time of voltage and current ripple.  
그림 5. 각 영역에서의 전압 인가 시간과 전류 리플

전류 리플의 최댓값은 식(13)-(16)에 의해 결정되며 전류 리플은 고주파의 삼각파와 유사한 형태를 갖는다. 따라서, 전류 리플의 RMS 값은 삼각파의 RMS 값을 구하는 방법과 동일하게 식(17)과 같이 적분을 이용하여 계산할 수 있다 [13][14].

$$I_{ripple} = \sqrt{\frac{2}{3\pi} \left[ \int_0^{\frac{\pi}{24}} \Delta i_{max1}^2(\theta) d\theta + \int_{\frac{\pi}{24}}^{\frac{\pi}{6}} \Delta i_{max2}^2(\theta) d\theta + \int_{\frac{\pi}{6}}^{\frac{2\pi}{9}} \Delta i_{max3}^2(\theta) d\theta + \int_{\frac{2\pi}{9}}^{\frac{\pi}{2}} \Delta i_{max4}^2(\theta) d\theta \right]} \quad (17)$$

식(17)의 전류 리플의 RMS 값은 아래와 같이 간략화 할 수 있다.

$$I_{ripple} = \frac{1.7608 \times 10^{-2} \times T_s \times V_{dc}}{L_i} \times \sqrt{L(M_i)} \quad (18)$$

where,  $L(M_i) = 10.498 \times M_i^2 - 20.112 \times M_i^3 + 11.157 \times M_i^4$

시스템의 정격 전류는 식 (19)와 같이 정의된다.

$$I_{rate} = \frac{M_i V_{dc}}{\sqrt{3} \sqrt{2} Z_b} = \frac{M_i V_{dc}}{2\sqrt{6} f_n L_b} \quad (19)$$

최종적으로 인버터 측의 인덕턴스  $L_i$  는 식(18)과 식(19)를 식(8)에 대입하여 구할 수 있으며 다음과 같이 표현 가능하다.

$$L_i = \frac{3.5216 \sqrt{6} \times T_s \times f_n \times L_b}{RF \times M_i \times 10^2} \times \sqrt{L(M_i)} \quad (20)$$

전압 변조 지수  $M_i$  와 베이스 인덕턴스  $L_b$  는 다음과 같이 표현 가능하다.

$$M_i = \frac{\sqrt{2} E_n}{V_{dc}} \quad (21)$$

$$L_b = \frac{E_n^2}{2\pi f_n P_n} \quad (22)$$

여기서,  $E_n$  은 계통 상전압의 크기를,  $P_n$  은 삼상 전력,  $f_n$  은 계통 주파수를 나타낸다.

### 3. 필터 커패시터 설계

정격 조건에서의 베이스 커패시턴스  $C_b$  와 필터 커패시턴스  $C_f$  는 다음과 같다.

$$C_b = \frac{1}{2\pi f_n Z_n} \quad (23)$$

$$C_f = x C_b \quad (24)$$

여기서  $x$  는 무효전력 흡수율을 나타낸다. 필터 커패시터 설계 시 무효 전력 흡수율이 너무 작으면 이에 반비례로 필터 인덕턴스를 크게 설계해야 한다. 반대로 무효 전력 흡수율이 너무 크게 되면 필터 커패시터로 인한 무효 전력이 증가하여 시스템 손실이 증가한다. 커패시터의 값은 정격 전력에서 역률의 감소에 따라 제한되며 일반적으로 5% 이내로 선택한다[15][16].

#### 4. 계통 측 인덕터 설계

계통 측 인덕터  $L_g$  의 값은 기초 전류 리플 감쇠율  $r$  과 인버터 측 인덕터  $L_i$  의 곱으로 정의된다[17].  $L_g$  의 값은 다음과 같이 결정된다.

$$L_g = rL_i \quad (25)$$

인버터 측 인덕터  $L_i$  를 통과한 전류는 계통 측 인덕터와 필터 커패시터로 구성된 LC-저역 통과 필터를 거치며 2차 감쇠가 발생한다. 전류의 LCL-필터 통과 시 인버터 출력 전류의 기본파 성분은 필터의 대역폭 내에 존재하므로 감쇠되지 않는다. 하지만 스위칭 주파수의 배수 영역에서 발생하는 고조파 성분은 LC-저역 통과 필터를 통과하며 크기가 감쇠된다. 따라서 식 (26)과 같이 인버터 측 전류의 리플 RMS 값 대비 계통 측 전류의 리플 RMS 값의 비로 리플 감쇠율을 정의할 수 있다[13].

$$RAF = \frac{RF_g}{RF_i} \quad (26)$$

Table 2. Simulation parameters.

표 2. 시뮬레이션 환경 변수

Parameters	Value
Rated power	3 kW
Grid voltage	380 V <sub>rms</sub>
DC-link voltage	600 V
Grid frequency	60 Hz
Switching frequency	10 kHz
Target THD for inverter side	13 %
Target THD for grid side	3 %
Inductor for inverter side	600 $\mu$ H
Filter capacitor	4.4 $\mu$ F
Inductor for grid side	330 $\mu$ H
Damping resistor	0.37 $\Omega$

여기서  $RAF$  는 리플 감쇠율,  $RF_g$  는 계통 측 전류 리플율을 나타낸다. 최종적으로 시스템의 목표 성능 조건과 리플 감쇠율에 의해 인버터 측과 계통 측의 인덕턴스 비율이 결정되며 이는 식 (27)과 같다.

$$r = \left| \frac{\frac{1}{RAF} + 1}{1 - (2\pi f_{sw})^2 x L_i C_f} \right| \quad (27)$$

설계한 LCL-필터의 총 인덕턴스 값은 식 (22)를 통해 구한 시스템 베이스 인덕턴스의 10% 이하여야 하며 그 이상일 경우 필터 통과 시 전압강하가 증가하여 더 높은 직류단 전압이 요구된다[15]. 이는 직류단 커패시터가 더 높은 내압을 견디도록 설계되어야 하므로 비용 증가를 초래한다.

#### 5. 댐핑 저항

댐핑 저항  $R_d$  는 시스템의 공진 문제를 해결하기 위해 필요하다. 일반적으로 댐핑저항은 공진 주파수에서 필터 커패시터의 1/3의 값으로 설계한다. 공진 주파수  $f_{res}$  와 댐핑 저항은 다음과 같이 정의된다[14].

$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{L_i + L_g}{L_i L_g C_f}} \quad (28)$$

$$R_d = \frac{1}{6\pi f_{res} C_f} \quad (29)$$

### III 시뮬레이션 결과

제안하는 계통 연계 필터 설계의 타당성과 유효성을 검증하기 위해 PSIM 툴을 이용한 시뮬레이션 결과를 제시한다. 시뮬레이션 환경 변수는 표 2와 같다. 시뮬레이션 모델의 정격 전달 전력은 3 kW이며 직류단 전압은 600 V, 계통 선간 전압은 380 V<sub>rms</sub>이다.

인버터 측 전류의 목표 THD는 13%, 계통 측 전류의 THD는 3%로 선정하였다. 따라서, 식 (20)을 통해 인버터 측 인덕터는 600  $\mu$ H로 설계하였다. 필터 커패시터는 무효 전력 흡수율을 5% 정도로 고려하여 4.4  $\mu$ F으로 설계하였다. 마지막으로 계통 측 인덕터는 330  $\mu$ H로 설계하였다. LCL-필터의 공진 문제를 해결하기 위해 식(28)-(29)로 구해진 댐핑 저항 값을 고려하여 설계 하였다.



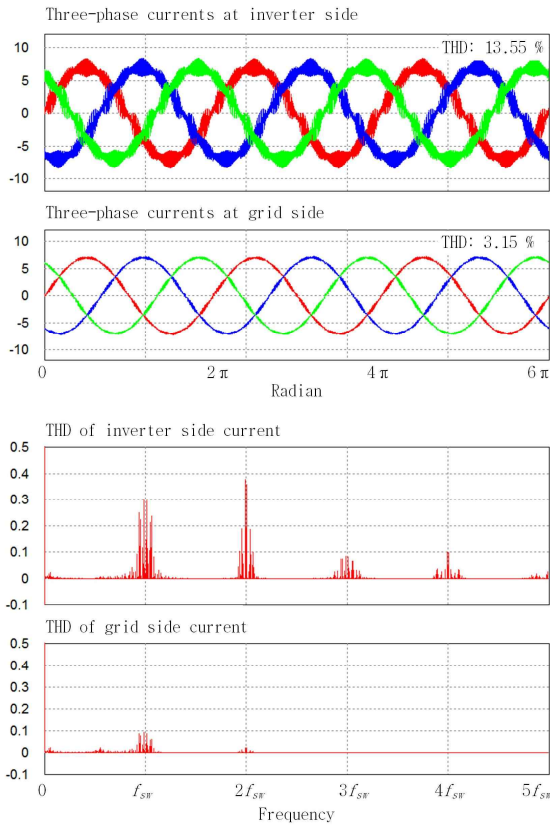


Fig. 6. Simulated current waveforms and FFT analysis results on either side of LCL-filter.

그림 6. LCL-필터 전·후의 출력 전류 파형 및 FFT 분석 시뮬레이션 결과

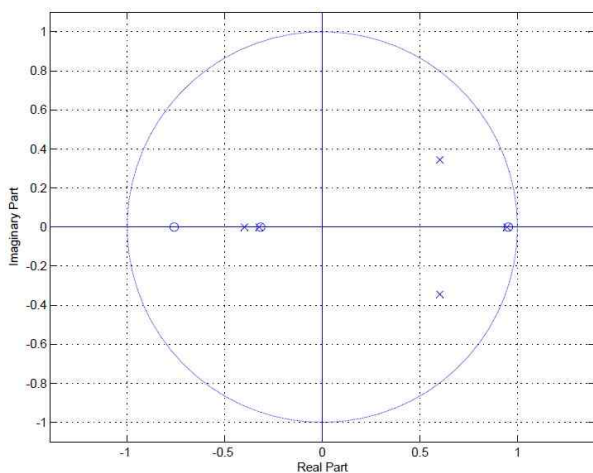


Fig. 7. Distributed zeros and poles of simulation system.

그림 7. LCL-필터 전·후의 출력 전류 파형 및 FFT 분석 시뮬레이션 결과

그림 6은 제안한 방법으로 설계한 LCL-filter를 적용한 인버터 시스템의 각 부 전류 파형과 FFT 분석 결과를 나타낸다. 그림 6에서 확인할 수 있듯, 인버터 측 전류의 THD는 13.55%, 계통 측 전류 THD는 3.15%로 제안한 방법으로 설계된 LCL-필터는 인버터의 스위칭에 의한 고조파를 효과적으로 감쇠하여 최종적으로 목표했던 계통 측 전류 THD에 부합하는 품질의 전류를 출력하였다.

시스템의 안전성과 동적 응답성은 root locus를 사용하여 그림 7과 같이 Z-평면에서 분석하였다. 시뮬레이션에서 구축한 시스템의 모든 영점(zero)과 극점(pole)이 단위원(unit circle)의 내부에 위치하기 때문에 제안하는 방법으로 설계한 LCL-필터를 적용한 인버터 시스템이 안정함을 확인할 수 있다.

#### IV 실험 결과

본 장에서는 제안하는 방법을 통해 설계된 LCL-필터를 실제 인버터 장비에 적용 시의 성능을 검증하기 위해 진행한 실험 결과를 제시한다. 실험은 시뮬레이션 결과와의 비교를 위해 동일한 환경 변수로 진행하였다.

그림 8의 실험 세트는 3-레벨 인버터 실험의 목적으로 제작되었다.

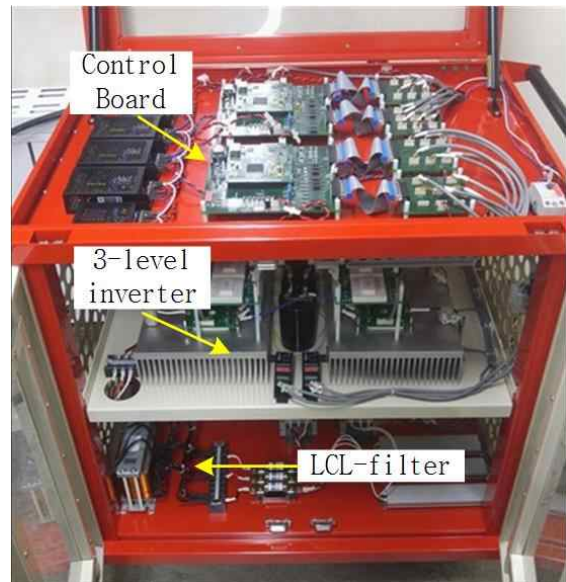


Fig. 8. Three-level NPC-type inverter hardware used for experimental evaluation.

그림 8. 3-레벨 NPC 타입 인버터 실험 장비

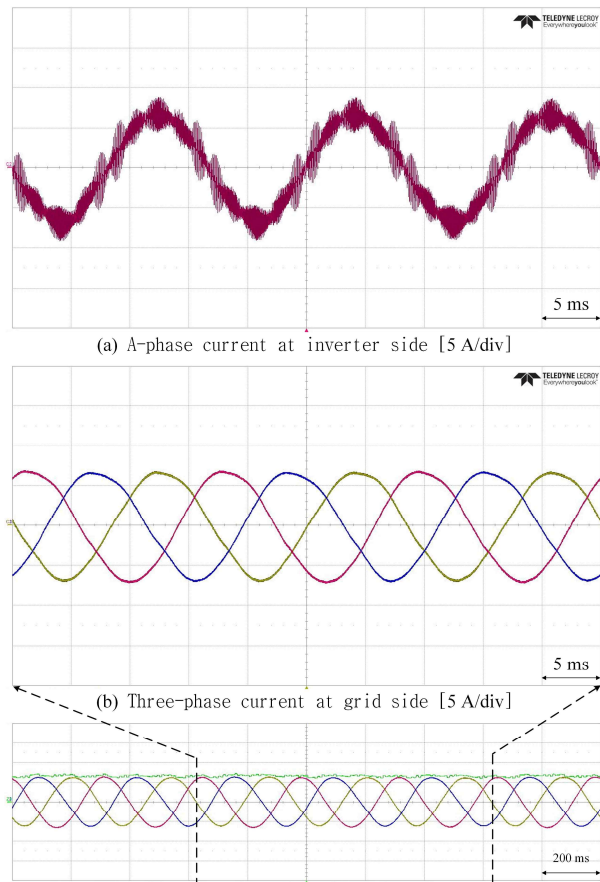


Fig. 9. Experimental current waveforms of either side of LCL-filter.

그림 9. LCL-필터 전·후의 출력 전류 실험 파형

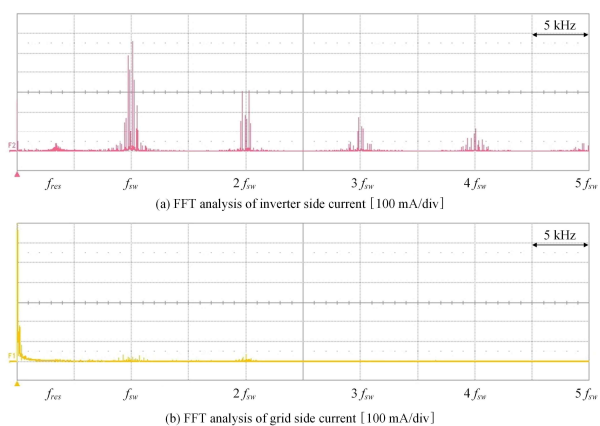


Fig. 10. Experimental FFT analysis results of currents on either side of LCL-filter.

그림 10. LCL-필터 전·후의 출력 전류 FFT 분석 실험 결과

직류단 커패시터에 DC 전원 공급 장치를 연결하여 600 V의 전압을 인가하였으며, 인버터의 3상 출력단은 설계한 LCL-필터를 거쳐 380 V<sub>rms</sub> 계통과 연계하였다. 그림 9와 같이 인버터 측 전류와 계통 측

전류의 파형을 비교 시, 고조파 성분에 의한 왜곡이 감소한 것을 확인 할 수 있다. LCL-필터의 고조파 감쇠 효과는 그림 10의 FFT 분석 결과로 그 차이를 확연히 알 수 있다. 스위칭 동작에 의해 발생하는 해당 배수 주파수의 고조파가 효과적으로 감쇠됨을 확인할 수 있다. 전력분석기를 사용하여 분석한 결과 인버터 측 전류의 THD는 약 18.2%이며 계통 측 전류의 THD는 약 3.70%로 분석되었다. 계통에 포함된 저차의 고조파 성분에 의해 실험 결과는 시뮬레이션 결과에 비해 THD가 높게 측정되었으나, 3%대의 전류를 출력하여 목표 계통 측 THD를 만족하였다.

## V 결론

본 논문은 옵셋 전압을 이용하여 구현한 SVPWM을 기반으로 하는 3상 3-레벨 인버터 시스템을 위한 LCL-필터 설계 방법을 제안한다. 필터 설계의 정확도를 높이기 위하여 인버터 측 인덕터는 전류 리플 분석을 통해 수학적으로 설계하였다. 다양한 스위칭 방법들 중 SVPWM은 신재생에너지 응용 분야를 포함하는 계통 연계 발전 시스템에서 가장 널리 사용되고 있기 때문에 해당 스위칭 방법을 위한 LCL-필터의 최적 설계는 그 중요성과 적용성이 매우 높다.

인버터 측 인덕터의 설계를 위해 출력 전류 리플의 형태를 분석하였으며 이를 삼각파의 형태로 간략화 하여 전류 리플의 RMS 값을 간단한 수식으로 계산하였다. 필터 커패시터는 베이스 커패시턴스와 무효전력 흡수율을 고려하여 시스템의 효율에 영향을 끼치지 않는 범위의 값으로 설계하였으며 계통 측 인덕터는 전류 리플 감쇄율을 고려하여 최종적인 목표 THD를 만족하도록 설계하였다. 제안하는 방법으로 설계한 LCL-필터를 3-레벨 인버터 시스템에 적용하여 고조파의 감쇠 성능을 시뮬레이션과 실험을 통해 검증하였다.

## References

- [1] J. Xu, T. Tang, and S. Xie, "Research on low-order current harmonics rejections for grid-connected LCL-filtered inverters," *IET Power Electron.*, vol. 7, no. 5, pp. 1227-1234, May. 2014. DOI:10.1049/iet-pel.2013.0477



- [2] W. Wu, Y. He, T. Tang, and F. Blaabjerg, "A new design method for the passive damped LCL and LLCL filter-based single-phase grid-tied inverter," *IEEE Trans. Ind. Electron.*, vol. 60, no. 10, pp. 4339 - 4350, Oct. 2013. DOI:10.1109/TIE.2012.2217725
- [3] IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems, *IEEE Std 519-1992*, 1993.
- [4] IEEE Application Guide for IEEE Std. 1547, IEEE Standard for Interconnecting Distributed Resources With Electric Power Systems, *IEEE 1547.2- 2008*, 2009.
- [5] D. K. Choi, and K. B. Lee, "Stability improvement of distributed power generation systems with an LCL-filter using gain scheduling based on grid impedance estimations," *J. Power Electron.*, vol. 11, no. 4, pp. 599-605, Jul. 2011. DOI:10.6113/JPE.2011.11.4.599
- [6] J. Dannehl, F. Fuchs, and P. Thogersen, "PI state space current control of grid-connected PWM converters with LCL filters," *IEEE Trans. Power Electron.*, vol. 25, no. 9, pp. 2320-2330, Sep. 2010. DOI:10.1109/TPEL.2010.2047408
- [7] J. Dannehl, F. Fuchs, S. Hansen, and P. Thogersen, "Investigation of active damping approaches for PI-based current control of gridconnected pulse width modulation converters with LCL filters," *IEEE Trans. Ind. Appl.*, vol. 46, no. 4, pp. 1509-1517, Jul-Aug. 2010. DOI:10.1109/TIA.2010.2049974
- [8] K. Jalili, and S. Bernet, "Design of filters of active- front-end two-level voltage-source converters," *IEEE Trans. Ind. Electron.*, vol. 56, no. 5, pp. 1674-1689, May. 2009. DOI:10.1109/TIE.2008.2011251
- [9] X. Guo, X. You, X. Li, R. Hao, and D. Wang, "Design method for the LCL filters of three-phase voltage source PWM rectifiers," *J. Power Electron.*, vol. 12, no. 4, pp. 559-566, Jul. 2012. DOI:10.6113/JPE.2012.12.4.559
- [10] J. Muhlethaler, M. Schweizer, R. Blattmann, J. W. Kolar, and A. Ecklebe, "Optimal design of LCL harmonic filters for three-phase PFC rectifiers," *IEEE Trans. Power Electron.*, vol. 28, no. 7, pp. 3114-3125, Jul. 2013. DOI:10.1109/TPEL.2012.2225641
- [11] T. H. Kim, S. H. Kim, B. K. Kwon and B. S. Kim, "A Procedure to design LCL Filter for Energy Storage System," in *Proc. IEEE 8th Int. Conf Power Electron. ECCE Asia*, 2011, pp. 2974-2978. DOI:10.1109/ICPE.2011.5944800
- [12] J. -S. Lee, and K. -B. Lee, "Time-Offset Injection Method for Neutral-Point AC Ripple Voltage Reduction in a Three-Level Inverter," *IEEE Trans. Power Electron.*, vol. 31, no. 3, pp. 1931 - 1941, Jul. 2016. DOI:10.1109/TPEL.2015.2439689
- [13] M. Park, M. Chi, J. Park, H. Kim, T. Chun, and E. Nho, "LCL-filter Design for Grid-Connected PCS Using Total Harmonic Distortion and Ripple Attenuation Factor," in *Proc. Int. Power Electron. Conf.*, pp. 1688-1694, Jun. 2010. DOI:10.1109/IPEC.2010.5542131
- [14] H. G. Jeong, D. G Yoon, and K. B. Lee, "Design of an LCL-Filter for Three-Parallel Operation of Power Converters in Wind Turbines," *J. Power Electron.*, vol. 13, no. 3, pp. 437-446, May. 2013. DOI:10.6113/JPE.2013.13.3.437
- [15] M. Liserre, F. Blaabjerg, and S. Hansen, "Design and control of an LCL-filter-based three-phase active rectifier," *IEEE Trans. Ind. Appl.*, vol. 41, no. 5, pp. 1284-1285, Sept-Oct. 2005. DOI:10.1109/TIA.2005.853373
- [16] S. Seo, Y. Cho, and K. B. Lee, "LCL-Filter Design for Grid-Connected Three-Phase Inverter Using Space Vector PWM," in *Proc. IEEE 8th Int. Power Electron. and Motion Control Conf ECCE Asia, 2016*, pp. 389-394, Jul. 2016. DOI:10.1109/IPEMC.2016.7512318

- [17] A. Reznik, M. G. Simoes, A. Al-Durra, "LCL filter design and performance analysis for grid-interconnected systems," *IEEE Trans. Ind. Electron.*, vol. 50, no. 2, pp. 1225-1232, Mar-Apr. 2014.  
DOI:10.1109/TIA.2013.2274612

**Seong-Soo Park** (Member)



2014 : MS degree in Electrical and Computer Engineering, Ajou University.  
2014~present : PhD student in Electrical and Computer Engineering, Ajou University.

**BIOGRAPHY**

**Joon Young Park** (Member)



1998 : BS degree in Manufacturing Engineering, Kyungpook National University.  
2014 : MS degree in Mechanical Manufacturing Engineering, Korea Polytechnic University.

2014~present : PhD student in Electrical and Computer Engineering, Ajou University.

**Kyo-Beum Lee** (Member)



1997 : BS degree in Electrical and Electronic Engineering, Ajou University.  
1999 : MS degree in Electrical and Electronic Engineering, Ajou University.

2003 : PhD degree in Electrical Engineering, Korea University.

2007~present : Professor, Dept. of Electrical and Computer Engineering, Ajou University.

**Seok-Min Kim** (Member)



2013 : BS degree in Electronic Engineering, Sejong University.  
2016 : MS degree in Space Survey Information Technology, Ajou University.  
2016~present : PhD student in Electrical and Computer Engineering, Ajou University.

**SeungGyu Seo** (Member)



2015 : BS degree in Electrical and Computer Engineering, Ajou University.  
2017 : MS degree in Electrical and Computer Engineering, Ajou University.

2017~present : Research Engineer, LG Electronics Company.