

논문 2017-12-17

# 가비지 컬렉션과 마모도 평준화 대상 블록의 구분을 위한 블록 소거 횟수 기반 모니터링 기법

(Monitoring Methodology Based on Block Erase Count for Classifying Target Blocks Between Garbage Collection and Wear Leveling)

김 성 호, 황 상 호, 이 명 섭, 곽 중 욱, 박 창 현\*

(Sungho Kim, Sang-Ho Hwang, Myungsub Lee, Jong Wook Kwak, Chang-Hyeon Park)

Abstract : In this paper, we propose BCMR (Block Classification with Monitor and Restriction) to ensure the isolation and to reduce the interference of blocks between a garbage collection and a wear leveling. The proposed BCMR monitors an endurance variation of blocks during the garbage collection and detects hot blocks by making a restriction condition based on this information. The proposal induces a block classification by its update frequency for the garbage collection and the wear leveling, so we will get a prolonged lifetime of NAND flash memory systems. In a performance evaluation, BCMR prolonged the lifetime of NAND flash memory systems by 3.95%, on average and reduced a standard deviation per block by 7.4%, on average.

Keywords : NAND flash memory, Garbage collection, Wear leveling, Lifetime, Block classification

## 1. 서 론

낸드 플래시 메모리는 기존의 자기 디스크 (magnetic disk)와 달리 저 전력, 빠른 동작 속도, 가벼운 무게 등의 장점을 가지는 비휘발성 메모리이다. 이러한 장점을 이용하여 SSD (Solid State Drive), USB 메모리, 스마트 폰 등과 같은 다양한 분야에서 활용하고 있다. 그러나 낸드 플래시 메모리는 기존의 자기 디스크와 달리 낮은 수명, 쓰기 전 소거, 연산 단위의 불균형과 같은 문제점이 존재한다 [1-2]. 이러한 문제점을 해결하기 위해서 많은 연구자들은 낸드 플래시 메모리의 고유의 특성을 고려한 파일 시스템 혹은 자료 구조를 제안하였다 [3-5]. 최근에는 기존의 파일 시스템과 자료 구조를 변경하지 않은 기법인 플래시 변환 계층

(FTL: flash translation layer)을 주로 사용하고 있다.

플래시 변환 계층은 크게 주소 변환 테이블, 가비지 컬렉션, 마모도 평준화로 구성한다 [6]. 특히 기존의 연구자들은 FTL의 가비지 컬렉션 혹은 마모도 평준화를 이용하여 낸드 플래시 메모리의 수명을 연장했다. 그러나 기존의 수명 연장 기법들은 단독 수행을 가정하여 최적화했다. 만약 이러한 기법들이 동시에 수행하는 시스템 환경에서는 특정한 블록만이 자주 선정하는 문제점이 존재한다. 또한 이러한 문제점은 낸드 플래시 메모리의 수명에 치명적인 손상을 입힌다. 따라서 가비지 컬렉션과 마모도 평준화를 동시에 수행하는 시스템 환경에서는 이러한 블록들을 각 기법에 따라 구분하여 할당할 필요성이 있다.

본 논문에서는 가비지 컬렉션과 마모도 평준화를 동시에 수행하는 시스템 환경에서 자주 선정하는 블록들을 구분하기 위한 기법인 BCMR (Block Classification with Monitor and Restriction)을 제안한다. 제안하는 BCMR은 가비지 컬렉션을 수행하는 과정에서 다음의 절차를 거친다.

\*Corresponding Author (park@yu.ac.kr)

Received: May 15 2017, Revised: May 24 2017, Accepted: May 29 2017.

S. Kim, S. Hwang, J.W. Kwak, C. Park: Yeungnam University

M. Lee: Yeungnam University College

표 1. 플래시 셀의 비교

Table 1. Comparisons of flash cell

Description	SLC	MLC	TLC
read latency	25us	60us	100us
program latency	200us	800us	2.4ms
erase latency	700us	1.5ms	3.0ms
bit per flash cell	1bit	2bit	3bit
endurance	10 <sup>5</sup>	10 <sup>4</sup>	10 <sup>3</sup>
price per bit	high	low	very low

- 가비지 컬렉션 동안에 블록의 소거 변화량에 대한정보를 모니터링 한다.
- 모니터링 한 정보를 기반으로 가비지 컬렉션에서 희생 블록을 선정한다.
- 희생블록 선정 시 제약 조건을 부여한다.

위 절차에 따라, BCMR은 자주 선정하는 블록들은 상호 기법에 적합한 블록을 선정한다. 이를 통해 낸드 플래시 메모리의 수명 연장에 기여한다. 본 논문의 구성은 다음과 같다. 2장에서는 낸드 플래시 메모리의 배경 지식과 관련 연구에 대해 설명한다. 3장에서는 BCMR의 자세한 수행 과정을 서술한다. BCMR의 성능 평가는 4장에서 진행하며, 마지막 5장은 결론을 보인다.

## II. 서론

### 1. 배경 지식

낸드 플래시 메모리는 플래시 셀 내에 비트를 구분하는 방법에 따라 SLC (Single Level Cell), MLC (Multi Level Cell), TLC (Triple Level Cell)로 구분하며, 표 1에서 그 세부 내용을 보인다 [7-9].

표 1에서와 같이, 낸드 플래시 메모리는 플래시 셀 당 비트가 증가함에 따라 연산의 지연시간이 증가함을 보이고 있다. 비트의 증가는 비트 당 가격을 감소하는 효과가 있기 때문에, 최근에는 성능과 가격 부분에서 절충점을 가지는 MLC를 주로 사용하고 있다. 또한 낸드 플래시 메모리는 기존의 자기 디스크와 다른 고유의 특징을 가지고 있으며, 그 특성은 다음과 같다 [1-2].

- 낸드 플래시 메모리의 연산은 쓰기, 읽기, 소거 연산으로 구성되어있다. 읽기와 쓰기 연산은 페이지

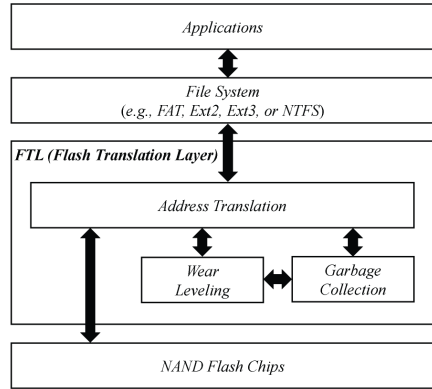


그림 1. FTL의 구조

Fig. 1 System architecture of FTL

단위로 소거 연산은 블록 단위로 수행한다. 여기서 블록은 다수의 페이지들의 묶음에 해당한다.

- 낸드 플래시 메모리는 표 1과 같이 읽기, 쓰기, 소거 연산의 지연시간이 비대칭적이다.
- 낸드 플래시 메모리의 수명은 기존의 자기 디스크와 달리 각 블록 당 제한적인 쓰기 횟수가 존재한다.

위에 언급한 낸드 플래시 메모리의 문제점을 해결하기 위해서 기존의 연구자들은 낸드 플래시 메모리의 고유의 특성을 고려한 전용 파일 시스템 혹은 자료 구조를 제안했다 [3-5]. 최근 기존의 자기 디스크의 특성을 그대로 지원하는 기법인 플래시 변환 계층 (FTL: flash translation layer)을 주로 사용하고 있으며, 그 구조는 그림 1과 같다 [1].

플래시 변환 계층은 크게 주소 변환 테이블, 가비지 컬렉션, 마모도 평준화로 구성한다.

주소 변환 테이블은 논리적인 주소와 물리적인 주소가 하나의 항목으로 기록하며, 논리 주소를 활용하여 낸드 플래시 메모리 내에 물리 주소로 접근하는 방법을 지원한다. 이 방법을 통하여 낸드 플래시 메모리는 쓰기 전 소거 연산을 수행하지 않고, 이전에 데이터가 존재하는 페이지를 무효화한 후 새로운 페이지에 쓰기 연산을 수행함으로써 쓰기 전 소거 문제점을 해결한다. 따라서 주소 변환 테이블을 통해 낸드 플래시 메모리의 제자리 갱신을 허용한다. 이러한 과정을 연속하다 보면 낸드 플래시 메모리는 다수의 무효 페이지가 발생하며, 이는 불필요한 메모리 공간을 차지하게 된다. 이러한 불필요한 공간을 확보하기 위한 과정을 가비지 컬렉션이 수행한다.

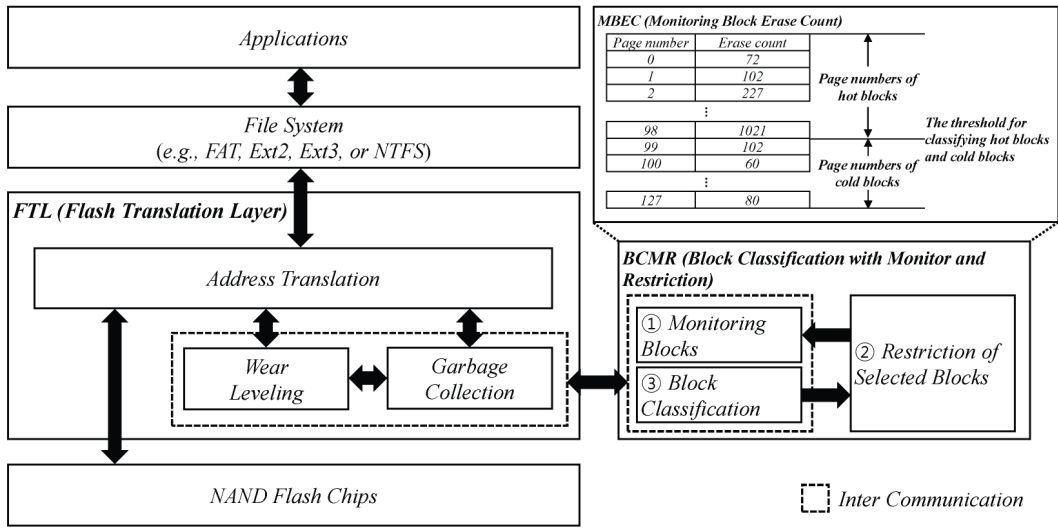


그림 2. BCMR 기반의 구조  
Fig. 2 System architecture based on BCMR

가비지 컬렉션은 낸드 플래시 메모리의 제자리 갱신 지원과 데이터 삭제에서 발생하는 무효 페이지를 수거하기 위한 기능이다. 그러나 가비지 컬렉션을 수행하는 과정에서 특정한 블록만이 자주 소거 연산을 수행하는 문제점이 존재하게 되며, 이는 낸드 플래시 메모리 수명 저하의 주요 요인이 된다.

마모도 평준화는 가비지 컬렉션을 수행할 때 발생하는 블록 간의 소거 불균등 문제를 해결하는 기법이다. 이 기법은 각 블록의 소거 연산의 횟수를 균등화하여 낸드 플래시 메모리의 수명을 연장한다. 즉 마모도 평준화는 거의 소거 연산이 발생하지 않은 블록들을 가비지 컬렉션에 참여하도록 한다. 최근 낸드 플래시 메모리의 수명 연장 방법은 위에서 언급한 가비지 컬렉션과 마모도 평준화 기법을 통해 시행되고 있다 [10].

2. 관련 연구

낸드 플래시 메모리의 수명 연장에 대한 최초 연구는 사용 공간 확보의 초점을 두었다 [11]. 그러나 이러한 연구의 단점은 특정한 블록들만이 자주 선정하는 문제점이 있다. 다시 말해 낸드 플래시 메모리의 수명이 기대 수명보다 더 일찍 고갈될 위험성을 가지고 있다. 이러한 문제점을 고려한 연구로 CB, CAT, SAGC가 제안했다 [12-14].

또한 낸드 플래시 메모리의 수명을 연장하는 기법인 마모도 평준화가 연구되었으며, 대표적인 연구

로 SWL이 있다 [15]. SWL은 소거 연산이 발생하지 않은 블록들을 측정하기 위해, 비트 플래그 테이블을 활용하여 가비지 컬렉션에 참여시킴으로서 수명을 연장했다.

그러나 기존의 가비지 컬렉션과 마모도 평준화는 단일 기법으로 적용할 때 효율성이 있다. 이러한 기법들은 상호 다른 기법들을 동시에 적용하는 시스템 환경에 대한 고려가 없다. 예를 들어, 마모도 평준화는 거의 쓰기 연산이 이루어지지 않은 페이지들을 가지는 블록을 가비지 컬렉션에 참여하도록 한다. 이 때, 해당하는 블록의 페이지들은 하나 혹은 다수의 블록들로 이주한다. 이러한 블록들은 이주한 페이지들로 인하여 핫 블록 (자주 소거하는 블록)과 콜드 블록 (자주 소거하지 않은 블록) 사이에 해당한다. 이는 상호 기법들이 핫 블록과 콜드 블록 사이에 해당하는 블록들을 빈번하게 선정할 위험성이 존재한다. 따라서 가비지 컬렉션과 마모도 평준화를 동시에 수행하는 시스템 환경에서는 핫 블록과 콜드 블록을 분리하여 상호 구분할 필요성이 있다. 본 논문에서는 이러한 요구에 부합하기 위해, 상호 기법들 간에 선정하는 블록의 간섭 방지하고, 독립성을 보장하는데 초점을 둔다.

III. 제안 기법

본 논문에서는 가비지 컬렉션과 마모도 평준화

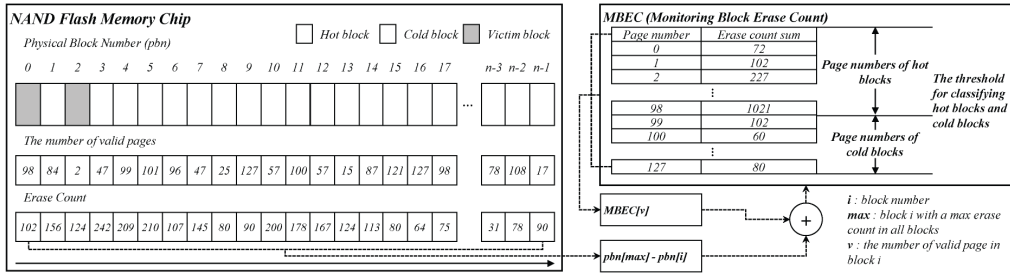


그림 3. BCMR의 절차  
Fig. 3 The procedure of BCMR

과정에서 상호 기법들 간에 간섭을 방지하고 독립성을 보장하기 위한 BCMR (Block Classification with Monitor and Restriction)을 제안하며, 그 구조는 그림 2에 보인다.

그림 2에서와 같이, BCMR의 주요 수행 과정은 다음과 같이 3단계로 처리한다.

- (1) BCMR은 가비지 컬렉션을 수행하는 과정에서 모든 블록들을 모니터링하고, 이를 기반으로 블록 간 소거 변화량을 측정한다. 이러한 정보를 기반으로 가비지 컬렉션 시 핫 블록을, 마모도 평준화 시 콜드 블록을 선정하도록 유도한다. 여기서 핫 블록은 쓰기 연산이 빈번하게 발생하는 블록을 의미하며, 콜드 블록은 드물게 쓰기 연산이 발생하는 블록을 의미한다.
- (2) BCMR은 측정된 소거 변화량을 기반으로 가비지 컬렉션을 수행할 때 콜드 블록들은 선정 대상에서 제외시킨다.
- (3) 마지막으로 마모도 평준화 과정에서는 가비지 컬렉션에서 모니터링 된 소거 변화량 정보를 기반으로 핫 블록과 콜드 블록들을 구분하는 새로운 임계점을 설정한다. 이로서 상호 기법들 간에 간섭을 방지하고 독립성을 보장한다.

BCMR의 주요 절차 중에 자세한 모니터링 과정은 그림 3과 같으며, 처리 절차는 다음과 같다.

- (1) 가비지 컬렉션이 발생하였을 때 희생 블록을 찾기 전에 모든 블록 중 최대 소거 횟수를 가지는 블록을 찾는다.
- (2) 이때, BCMR은 모든 블록 중 최대 소거 횟수와 해당 블록의 소거 횟수의 차를 MBEC (Monitoring Block Erase Count) 테이블에 가산한다.

- (3) 가비지 컬렉션은 희생 블록의 비용을 산정한다. 다만 해당 블록의 유효 페이지 개수가 핫 블록과 콜드 블록들을 구분하는 임계점을 초과하는 경우, BCMR에 의해서 희생 블록 대상에서 제외한다. 블록의 임계점은 유효 페이지 개수로 구분하며, 식 (1)을 통해 새로운 임계점을 결정한다.
- (4) 현재 해당하는 블록이 낸드 플래시 메모리의 마지막 블록에 도달하지 않은 경우, (2)-(4)의 절차를 반복적으로 수행한다.

```

input: max_ec, max_blk, ec, mbec, v_pages,
       cost, i, and v_th
output: null
// Get the maximum number of erase count
max_ec ← get_max_erase_count();
2 for i = 0 to max_blk do
    // Measure a difference between a maximum
    // erase count and a corresponding erase count.
    mbec[v_pages[i]] = max_ec - ec[i];
    // Ignore an corresponding block i when it
    // satisfies this condition.
    if v_pages[i] > v_th then
        continue;
    end
    // Estimate a cost of block i on each technique.
end
// Reclaim victim blocks by garbage collection.
8 if wear_leveling_condition = true do
    // Get a bcmr cost by equation (1).
    cost ← get_bcmr_cost();
    if cost > 0 then
        v_th = v_th - 1;
    else
        v_th = v_th + 1;
    end
    // Reset the mbec table and perform procedures
    // in each technique.
15 end
    
```

알고리즘 1. BCMR 절차  
Algorithm 1. BCMR procedure

BCMR은 가비지 컬렉션을 수행하는 동안에 블록 간 소거 변화량을 측정하기 위해 MBEC (Monitoring Block Erase Count) 테이블을 활용한다. 이때, MBEC 정보를 통해 가비지 컬렉션이 자주 선정하는 블록의 유효 페이지 개수를 알 수 있다. 즉, MBEC의 역할은 가비지 컬렉션이 선호하는 블록의 소거 변화량의 차이를 추적하기 위함이며, 이를 통해 다음의 두 가지 사실을 알 수 있다.

- (1) 블록의 소거 횟수의 차이를 통해 블록 간에 소거 불균형을 측정할 수 있다.
- (2) 해당 블록의 상태가 핫 블록 혹은 콜드 블록인지를 유효 페이지의 개수를 통해 명확하게 구분할 수 있다.

위의 과정을 통해 BCMR은 모든 블록의 소거 변화량을 모니터링하며, 이러한 정보를 활용하여 핫 블록과 콜드 블록을 구분한다. 마지막으로 마모도 평준화 과정에서, 가비지 컬렉션의 대상이 되지 않은 블록들이 가비지 컬렉션에 참여하는 것을 방지하기 위해 식 (1)을 활용하여 새로운 임계점을 재설정한다.

$$cost = \sum_{i=0}^T BCMR[i] - \sum_{i=T}^{max} (BCMR[i] \times \gamma) \quad (1)$$

식 1에서  $i$ 는 페이지의 번호,  $T$ 는 기존의 핫과 콜드 블록들을 구분하는 임계점,  $max$ 는 최대 페이지의 수,  $\gamma$ 는 콜드 블록에게 부여할 가중치를 의미한다. BCMR의 새로운 임계점은 식 1에서 얻은 비용을 기준으로 0을 초과 경우에는 핫 블록의 소거 변화량이 크다는 의미이므로 임계값을 감소시키고, 0 미만의 경우에는 콜드 블록의 소거 변화량이 크기 때문에 임계값을 증가시킨다. 이상으로 본 논문에서 제안하는 BCMR의 전반적인 구조는 알고리즘 1에서 보인다.

결과적으로 BCMR의 임계점은 가비지 컬렉션을 수행하는 과정에서 모니터링한 정보인 소거 변화량의 차이로 핫 블록과 콜드 블록들을 구분하고, 이를 통해 상호 기법들 간에 선정할 블록들의 간섭을 방지하고 독립성을 보장할 수 있다.

#### IV. 성능 평가

제안하는 BCMR의 성능을 평가하기 위해 SSD Extension for DiskSim Simulation Environment

표 2. SPC와 FIU의 워크로드 특성  
Table 2. Workload characteristics of SPC and FIU

workload		ratio of request (%)		avg. request (byte)
		read	write	
SPC	financial1	23.16	76.84	4754.3
	financial2	82.28	17.72	4394.0
FIU	home1	1.12	98.88	7246.9
	home2	12.40	87.60	13079.9
	online	35.55	64.45	17566.8
	webmail	26.03	73.97	17930.5

표 3. 모의실험의 매개변수  
Table 3. Simulation parameters

Description	Value
Reserved free blocks	15%
Garbage collection condition	# of free blocks < 5%
# of total blocks	4096
Pages per block	128
Page size	4KB
Page read latency	60us
Page program latency	800us
Block erase latency	1.5ms
Blocks per lifetime	$10^4$

을 사용했다 [16-17]. BCMR의 성능 평가를 위해 사용한 작업 부하 (workload)는 표 2와 같다 [18]. 표 2에서 SPC는 OLTP에서 수행하는 어플리케이션의 특성을 가지고 있으며, FIU는 단말 사용자, 웹 서비스 등의 동작 특성을 가지고 있다.

BCMR의 성능 지표는 낸드 플래시 메모리의 수명, 유효 페이지 이주, 블록 간 표준 편차를 비교했다. 그 결과를 기반으로 분석했다. 실험 환경 설정으로 낸드 플래시 메모리의 수명과 블록 간 표준 편차에 대한 지표는 각 블록 당 소거 횟수를 103을 설정하였고, 모든 블록들 중 가장 먼저 모든 소거 횟수를 소진한 블록 시간을 기준으로 블록 간 표준 편차를 비교하였다. 오버헤드를 측정할 기준으로는 1억 번의 쓰기 연산을 수행한 후 페이지 이주 횟수를 기준으로 비교 분석하였다. 실험 환경에서 사용한 매개변수는 표 1의 MLC 상세를 기반으로 하여 구성하였으며, 자세한 매개변수는 표 3에 보인다 [8].

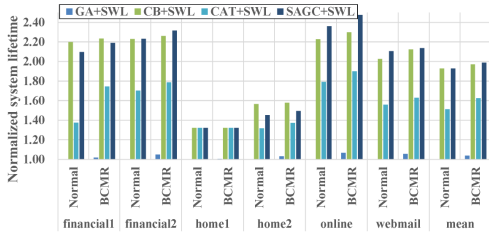


그림 4. 낸드 플래시 메모리 시스템의 수명  
 Fig. 4 The lifetime of NAND flash memory system

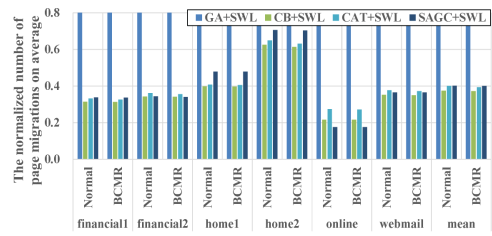


그림 6. 평균적인 페이지 이주 횟수  
 Fig. 6 The normalized number of page migrations on average

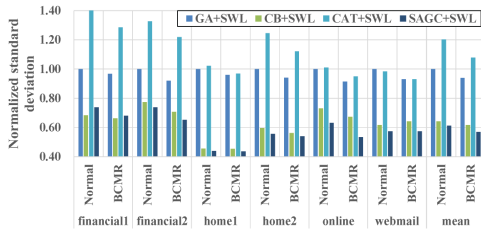


그림 5. GA와 SWL 기반의 블록 간 표준 편차  
 Fig. 5 The normalized standard deviation based on GA and SWL

그림 4는 낸드 플래시 메모리의 수명을 보여주고 있다. 그림 4에서 BCMR을 활성화하였을 때 낸드 플래시 메모리의 평균적인 수명은 3.58%, 2.13%, 7.06%, 3.06%까지 연장했다. 이러한 결과로 보았을 때 가비지 컬렉션은 핫 블록을 선정하도록 했고, 콜드 블록은 마모도 평준화에 수행하도록 한 것을 알 수 있다. 결과적으로 BCMR은 핫 블록과 콜드 블록 사이에 해당하는 블록들의 선정 빈도를 방지하였음을 의미한다. 또한 BCMR은 기존의 가비지 컬렉션과 마모도 평준화 기법들의 장점을 그대로 활용하고, 추가적인 수명 향상하였음을 보여주고 있다.

다음으로 낸드 플래시 메모리의 다른 수명 지표로서 그림 5는 블록 간 표준 편차를 비교하여 보여주고 있다. BCMR를 활성화하였을 때 블록 간 표준 편차는 6.52%, 4.16%, 11.44%, 7.51%까지 감소했다. 이러한 블록 간 표준 편차의 감소는 수명에 직접적으로 영향을 미치지 때문에 의미 있는 지표라 할 수 있다. 블록 간 표준 편차의 감소는 낸드 플래시 메모리의 수명을 연장하지만, 처리 과정에서 낸드 플래시 메모리의 페이지 이주 오버헤드가 증가될 위험 요소를 가지고 있으며, 이를 고려하여 오버헤드를 최소화 하는 것이 중요하다.

그림 6에서 가비지 컬렉션과 마모도 평준화를 수행하는 동안에 평균적인 페이지 이주 횟수를 보여주고 있으며, 본 논문에서 제안하는 BCMR를 활성화하였을 때 평균 페이지 이주 횟수는 0.01%, 0.77%, 1.65%, 0.33%의 감소를 보이고 있다.

마지막으로 BCMR을 수행하는데 필요한 오버헤드는 메모리 사용량이다. BCMR의 메모리 사용량은 낸드 플래시 메모리가 가지는 페이지 개수에 종속적이다. 실험 환경에서 사용한 낸드 플래시 메모리를 기반으로, BCMR의 메모리 사용량은 512바이트 (4바이트 × 128페이지)에 해당한다. 이는 전체 메모리 사용량 중에 매우 작은 수치에 해당하기 때문에, 아주 사소한 수치에 해당한다.

## V. 결론

본 논문에서는 가비지 컬렉션과 마모도 평준화를 수행함에 있어서 간섭을 방지하고 독립성을 보장하기 위한 BCMR를 제안했다. 제안하는 BCMR은 가비지 컬렉션을 수행하는 과정에서 블록의 소거 변화량을 모니터링하고, 이러한 정보를 기반으로 희생 블록을 선정하는데 제약 조건을 주어 핫 블록을 선정할 수 있게 유도했다. 성능 평가에서 BCMR은 낸드 플래시 메모리의 수명은 평균적으로 3.95% 연장했고, 블록 간 표준 편차는 7.4%의 감소를 보였다.

## References

[1] D. Ma, J. Feng, G. Li, "A Survey of Address Translation Technologies for Flash Memories," ACM Computing Surveys (CSUR), Vol. 46, No. 3, 2014.

- [2] K. Suh, B. Suh, Y. Lim, J. Kim, Y. Choi, Y. Koh, S. Lee, S. Kwon, B. Choi, J. Yum, J. Choi, J. Kim, H. Lim, "3.3 V 32 Mb NAND Flash Memory With Incremental Step Pulse Programming Scheme," *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 11, pp. 1149-1156, 1995.
- [3] D. BWoodhouse, "JFFS: The Journalling Flash File System," *Ottawa linux symposium*, Vol. 2001, 2001.
- [4] B. Chang, Z. Wang, B. Chen, F. Zhang, "Mobipluto: File System Friendly Deniable Storage for Mobile Devices," *Proceedings of the ACM 31st Annual Computer Security Applications Conference*, pp. 381-390, 2015.
- [5] M. Athanassoulis, A. Ailamaki, "BF-tree: Approximate Tree Indexing," *Proceedings of the VLDB Endowment*, Vol. 7, No. 14, pp. 1881-1892, 2014.
- [6] T. Chung, D. Park, S. Park, D. Lee, S. Lee, H. Song, "A Survey of Flash Translation Layer," *Journal of Systems Architecture*, Vol. 55, No. 5, pp. 332-343, 2009.
- [7] MT29F4G08ABADAWP 8Gbit SLC NAND Flash Memory Data Sheet, *Micro Technology*, 2009.
- [8] K9GAG08U0M 2G x 8bit MLC NAND Flash Memory Data Sheet, *Samsung Electronics*, <https://www.samsung.com>, 2007
- [9] S. Hachiya, K. Johguchi, K. Miyaji, K. Takeuchi, "TLC/MLC NAND Flash Mix-and-match Design With Exchangeable Storage Array," *Ext. Abst. 2013 International Conference on Solid State Devices Mater*, pp. 894-895, 2013.
- [10] M. Yang, Y. Chang, C. Tsao, P. Huang, Y. Chang, T. Kuo, "Garbage Collection and Wear Leveling for Flash Memory: Past and Future," *SACM Computing Surveys (CSUR)*, pp. 66-73, 2014.
- [11] M. Wu, W. Zwaenepoel, "eNVy: a Non-volatile, Main Memory Storage System," *ACM SIGOPS Operating Systems Review*, Vol. 28, No. 5, pp. 86-97, 1994.
- [12] A. Kawaguchi, S. Nishioka, H. Motoda, "A Flash-Memory Based File System," *In USENIX*, pp. 155-164, 1995.
- [13] M. Chiang, R. Chang, "Cleaning Policies in Mobile Computers Using Flash Memory," *Journal of Systems and Software*, Vol. 48, No. 3, pp. 213-231, 1999.
- [14] O. Kwon, K. Koh, "Swap Space Management Technique for Portable Consumer Electronics With NAND Flash Memory," *IEEE Transactions on Consumer Electronics*, Vol. 56, No. 3, 2010.
- [15] Y. Chang, J. Hsieh, T. Kuo, "Improving Flash Wear-leveling by Proactively Moving Static Data," *IEEE Transactions on Computers*, Vol. 59, No. 1, pp. 53-65, 2010.
- [16] J. Bucy, J. Schindler, S. Schlosser, G. Ganger, "The DiskSim Simulation Environment Version 4.0 Reference Manual (cmu-pdl-08-101)," *Parallel Data Laboratory*, 2008.
- [17] V. Prabhakaran, T. Wobber, "SSD Extension for DiskSim Simulation Environment," *Microsoft Reseach*, 2009.
- [18] Trace, Exchange. "SNIA IOTTA Repository," 2010.

**Sungho Kim (김 성 호)**



He received a B.S. degree in Department of Computer Engineering from Yeungnam University College, Daegu, Korea in 2012. He is currently a Ph.D.

candidate in Department of Computer Engineering from Yeungnam University. His current research interests include embedded systems and non-volatile memory systems.

Email: boca123@ynu.ac.kr

**Sang-Ho Hwang (황 상 호)**



He received the B.S. and M.S. degrees in Computer Engineering from Yeungnam University, Korea, in 2009 and 2013 respectively. His current research interests

include embedded systems and non-volatile memory systems.

Email: snailcom@ynu.ac.kr

**Myungsub Lee (이 명 섭)**



He received his Ph.D. degree in Computer Science from Yeungnam University, Gyungsan, Korea, in 2003. He also worked as a full-time instructor from 2002 to

2003 at Gyungdong College, Gyungsan, Korea. He was a Research Professor at Yeungnam University from 2004 to 2007. Subsequently, he was a Senior Researcher with the Regional Innovation Center at Yeungnam University. Since 2008, he has been Professor at the Yeungnam University College of Science and Technology. His research interests include wireless and sensor networks, location-based systems.

Email: skydream@ync.ac.kr



**Jong Wook Kwak (곽 종 욱)**

He received a B.S. degree in Computer Engineering from Kyung-pook National University, Daegu, Korea in 1998, a M.S. degree in Computer Engineering from Seoul National University, Seoul, Korea in 2001, and a Ph.D. degree in Electrical Engineering and Computer Science from Seoul National University, Seoul, Korea in 2006. From 2006 to 2007, he worked as a senior engineer in the SoC R&D Center, at Samsung Electronics Co., Ltd. He is currently an associate professor in the Department of Computer Engineering, Yeungnam University. His research interests include advanced processor architecture, low-power mobile embedded system, and high performance parallel computing.  
Email: kwak@yu.ac.kr

**Chang-Hyeon Park (박 창 현)**

He received the B.S. degree in Electronics Engineering from Kyung-pook University, Korea, in 1986 and M.S. and Ph.D degrees in Computer Science from Seoul University, Korea, in 1988 and 1992, respectively. Dr. Park joined the faculty of the Department of Computer Engineering at Yeungnam University, Gyeongsan, Korea, in 1993. He is currently a Professor in the Department of Computer Engineering at Yeungnam University. He is interested in artificial intelligence, data mining, and embedded system.  
Email: park@yu.ac.kr