

논문 2017-54-6-5

# 아날로그-디지털 전달함수 평균화기법 기반의 Cyclic ADC의 디지털 보정 기법

( Digital Calibration Technique for Cyclic ADC based on  
Digital-Domain Averaging of A/D Transfer Functions )

엄 지 용\*

( Ji-Yong Um<sup>Ⓢ</sup> )

## 요 약

본 논문은 디지털영역에서의 평균화 기법을 이용한 cyclic ADC의 디지털 보정기법을 제안한다. 제안하는 보정기법은 1.5비트 MDAC의 커패시터 부정합으로 인해 발생하는 ADC의 비선형성을 보정한다. 부정합을 지니는 커패시터로 이루어진 1.5비트 MDAC은 이상적인 1.5비트 MDAC의 레지듀 플롯(residue plot)에 대해 대칭적인 레지듀 플롯을 지닌다. 커패시터 부정합을 지니는 1.5비트 MDAC의 고유한 레지듀 플롯은 대칭적인 아날로그-디지털 전달함수로 반영된다. 이상적인 아날로그-디지털 전달함수에 대해 대칭적인 두 아날로그-디지털 전달함수를 평균화함으로써, 비선형성이 보정된 아날로그-디지털 전달함수를 얻을 수 있다. 해당 아날로그-디지털 전달함수 평균화의 구현을 위해, 본 논문의 12비트 cyclic ADC는 1.5비트 MDAC의 동작 모드를 2개로 정의한다. 해당 cyclic ADC는 MDAC을 첫 번째 동작모드로 동작시킴으로써, 비선형성을 지니는 12.5비트 출력 코드를 획득한다. 샘플링 된 동일한 입력 아날로그 전압에 대해, MDAC을 두 번째 동작모드로 동작시킴으로써, cyclic ADC는 비선형성을 지니는 또 다른 12.5비트 출력 코드를 획득한다. 각 MDAC의 동작모드에 의해 발생하는 아날로그-디지털 전달함수는 이상적인 아날로그-디지털 전달함수에 대해 대칭적이기 때문에, 앞서 획득한 두 개의 비선형성을 지니는 12.5비트를 평균화함으로써, 비선형성이 보정된 최종 12비트 출력 코드를 획득할 수 있다. 제안하는 디지털 보정기법과 12비트 cyclic ADC는 0.18- $\mu$ m CMOS 공정을 이용하여 full-custom 형식으로 구현되었다. 측정된 SNDR(ENOB)와 SFDR은 각각 65.3dB(10.6비트 ENOB)와 71.7dB이다. 측정된 INL과 DNL은 각각 -0.30/+0.33LSB와 -0.63/+0.56LSB이다.

## Abstract

A digital calibration technique based on digital-domain averaging for cyclic ADC is proposed. The proposed calibration compensates for nonlinearity of ADC due to capacitance mismatch of capacitors in 1.5-bit/stage MDAC. A 1.5-bit/stage MDAC with non-matched capacitors has symmetric residue plots with respect to the ideal residue plot. This intrinsic characteristic of residue plot of MDAC is reflected as symmetric A/D transfer functions. A corrected A/D transfer function can be acquired by averaging two transfer functions with non-linearity, which are symmetric with respect to the ideal analog-digital transfer function. In order to implement the aforementioned averaging operation of analog-digital transfer functions, a 12-bit cyclic ADC of this work defines two operational modes of 1.5-bit/stage MDAC. By operating MDAC as the first operational mode, the cyclic ADC acquires 12.5-bits output code with nonlinearity. For the same sampled input analog voltage, the cyclic ADC acquires another 12.5-bits output code with nonlinearity by operating MDAC as the second operational mode. Since analog-digital transfer functions from each of operational mode of 1.5-bits/stage MDAC are symmetric with respect to the ideal analog-digital transfer function, a corrected 12-bits output code can be acquired by averaging two non-ideal 12.5-bits codes. The proposed digital calibration and 12-bit cyclic ADC are implemented by using a 0.18- $\mu$ m CMOS process in the form of full custom. The measured SNDR(ENOB) and SFDR are 65.3dB (10.6bits) and 71.7dB, respectively. INL and DNL are measured to be -0.30/-0.33LSB and -0.63/+0.56LSB, respectively.

**Keywords :** 디지털 보정기법, 커패시터 부정합, cyclic ADC

\* 정회원, 한남대학교 전자공학과 (Dept. of Electronic Engineering, Hannam University)

Ⓢ Corresponding Author (E-mail : jyum@hnu.kr)

※ 본 연구는 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업(과제번호 NRF-2016R1D1A1B03930973) 및 IDEC의 지원으로 수행되었음.

Received : January 4, 2017

Revised : March 15, 2017

Accepted : May 25, 2017

## I. 서 론

최근 센서 인터페이스 회로에 대한 관심이 급증하면서, 8~12비트 해상도 100kS/s 내외의 ADC(analog-to-digital converter: ADC)에 대한 연구가 많이 이루어지고 있다<sup>[1~6]</sup>. SAR(successive approximation register) ADC는 10비트 내외의 해상도를 필요로 하는 저전력 응용분야에서 널리 사용되는 ADC 중의 하나이며, 센서 인터페이스 수신단 회로에서 광범위하게 사용되고 있다<sup>[1~6]</sup>. 일반적인 상황을 고려할 때, 공정에서 보장하는 커패시터 부정합의 최소값은 0.1%이며, 이는 10비트의 해상도에 해당한다. 따라서 10비트 이상의 해상도를 지니는 SAR ADC는 일반적으로 커패시터 부정합에 대한 보정 기법을 포함하여 구현된다<sup>[2, 6~9]</sup>. 이는 SAR ADC의 선형성이 DAC (digital-to-analog converter: DAC)의 커패시터 부정합에 의해 주로 제한되기 때문이다. 그러나 대부분의 SAR ADC 보정기법은 복잡한 오차 계산(error estimation) 알고리즘을 사용하며, 심지어 소프트웨어 기반의 오차 계산 기법을 사용하기도 한다<sup>[2, 6]</sup>. 따라서 10비트 이상의 해상도와 간단한 보정기법 혹은 회로를 필요로 하는 응용분야의 경우, SAR ADC를 사용하는 것이 적절하지 않을 수 있다.

비교적 적은 칩 면적으로 10비트 이상의 해상도를 구현하기 용이한 다른 ADC 구조로는 cyclic ADC를 꼽을 수 있다. 전형적인 cyclic ADC는 하나의 S/H 증폭기(sample-and-hold amplifier), 하나의 MDAC (multiplying DAC), 2개 이상의 비교기 회로, 그리고 비교기 오프셋을 보정하기 위한 디지털 회로로 구성된다. 널리 사용되는 MDAC 구조 중 하나는 1.5비트 MDAC이다. 해당 MDAC은 두 개의 커패시터, 하나의 연산 증폭기(operational amplifier: op-amp), 그리고 스위치로 구성된다. SAR ADC와 유사하게, cyclic ADC도 커패시터 부정합에 의해 ADC의 선형성이 제한된다. 그러나 SAR ADC와 달리, 1.5비트 MDAC은 두 개의 커패시터만 사용하며, 따라서 비교적 복잡도가 낮은 알고리즘을 이용하여 커패시터 부정합에 의한 ADC의 비선형성을 보정할 수 있다. 기존의 cyclic ADC의 보정기법은 아날로그 영역에서 커패시터 부정합에 의한 비선형성을 보정하였다<sup>[10~11]</sup>. 해당 cyclic ADC는 커패시터 부정합으로 인한 전하 불균형(charge imbalance)를 보정하기 위해 특정 스위칭 기법을 사용한다. 이와 같은 아날로그 영역 보정기법은 보정기법의 효과를 최적화시키기 위해 정교한 레이아웃 기법과 스위치 설계 기법을 필요로 한다.

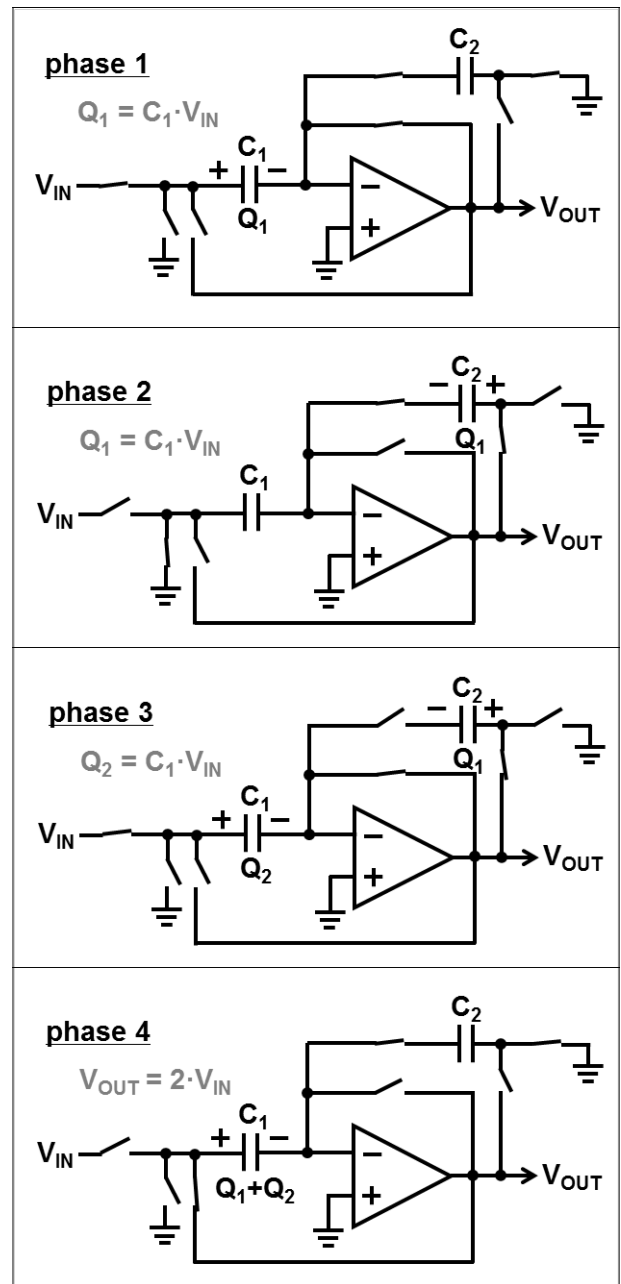


그림 1. Cyclic ADC의 아날로그 보정방식<sup>[11]</sup>  
Fig. 1. Analog calibration of cyclic ADC<sup>[11]</sup>

본 논문은 1.5비트 MDAC의 커패시터 부정합을 보정하는 디지털 보정기법을 제안하며, 해당 보정기법과 함께 구현된 12비트 cyclic ADC의 측정결과를 제시한다<sup>[12]</sup>. 제안하는 디지털 보정기법은 1.5비트 MDAC 고유의 레지듀 플롯(residue plot)의 특징을 이용한다. 즉, 1.5비트 MDAC의 커패시터에 부정합이 발생한 경우, MDAC은 커패시터 연결방식에 따라 두 개의 레지듀 플롯을 지닐 수 있으며 해당 두 레지듀 플롯은 이상적인 레지듀 플롯에 대해 서로 대칭적인 특징을 지닌다. 이와 같은 대칭적인 레지듀 플롯은 대칭적인 아날로그-디지털 전달

함수로 반영된다. 동일한 아날로그 입력 전압에 대해, 두 개의 아날로그-디지털 전달함수를 통해 ADC가 디지털 코드를 획득한 경우, 두 코드를 평균화함으로써 비선형성이 보정된 최종 디지털 코드를 획득할 수 있다. 본 논문은 이와 같은 아날로그-디지털 전달함수의 평균화를 등가적으로 구현함으로써 디지털 보정기법을 구현한다.

제안하는 디지털 보정기법은 일반적인 디지털 보정 기법과 달리 각 비트의 오차를 직접적으로 계산하지 않으며, 이로 인해 복잡도가 높은 오차 계산 알고리즘을 필요로 하지 않는다. 본 논문의 보정기법은 S/H 회로, 디지털 합산회로, 13개의 D플립플롭을 필요로 하며, 해당 회로는 full-custom 방식으로 구현할 수 있는 회로에 해당한다. 따라서 구현의 난이도가 높지 않은 최소한의 회로추가를 통해 10비트 이상의 해상도를 달성하고자 하는 경우, 제안하는 보정기법은 유용하게 사용될 수 있을 것으로 예상된다. 본 논문의 구성은 다음과 같다. II장에서는 제안하는 보정기법의 원리를 제시하고자 한다. III장과 IV장에서는 구현된 회로와 측정결과를 제시한다. V장에서는 본 논문의 결론을 제시한다.

## II. 제안하는 디지털 보정기법

### 1. 1.5비트 MDAC의 레지듀 플롯

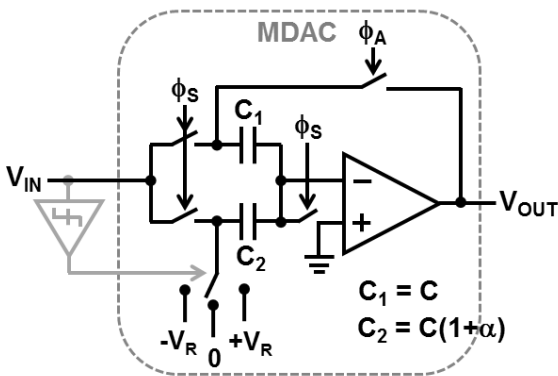


그림 2. 두 개의 단위 커패시터로 구성되는 1.5비트 MDAC  
Fig. 2. 1.5-bit/stage MDAC with two unit capacitors.

1.5비트 MDAC은 다양한 회로구조로 구현이 가능하다. 그림 1의 1.5비트 MDAC은 두 개의 단위 커패시터를 사용하며 feedback factor가 1/2이다. 다른 구조의 1.5비트 MDAC과 비교할 때, 사용되는 단위 커패시터의 수가 가장 작으며 가장 큰 feedback factor 값을 지닌다. 이로 인해 해당 MDAC은 구조가 간단하며 settling

time이 짧은 특징을 지닌다<sup>[13]</sup>. 해당 1.5비트 MDAC은 두 개의 동작 위상(phase)를 지닌다. 샘플 위상  $\phi_S$  구간 동안, 아날로그 전압  $V_{IN}$ 은 두 커패시터에 의해 샘플링 된다. 증폭 위상  $\phi_A$  구간 동안, 샘플링 된 아날로그 전압은 디지털 코드로 변환되며 해당 디지털 코드는 기준전압(reference voltage) 선택에 사용된다. 기준전압을 선택하고 궤환 경로(feedback path)의 스위치를 연결함으로써, 연산 증폭기의 출력에 증폭된 잔류 전압(residue voltage)이 생성된다.

표 1. 1.5비트 MDAC의 주요 error source와 대응방안  
Table 1. Primary error sources of 1.5-bit/stage MDAC and corresponding counter-measures.

Error source	Counter-measure
유한한 연산증폭기 전압이득	- 전압이득이 구조적으로 높은 연산 증폭기 사용
스위치 비선형성(예. charge injection, clock feedthrough)	- Bootstrapping 기법 - 완전 차동회로 구조(fully differential circuit topology)
커패시터 부정합	- 정전용량이 매우 큰 커패시터 - 보정기법

1.5비트 MDAC의 주요한 error source와 그에 대한 대응방안은 표 1과 같다. 12비트 해상도의 cyclic ADC를 구현하고자 하는 경우, 80dB 이상의 DC 전압이득이 필요하며 이는 연산 증폭기의 구조 선택에 의해 해결될 수 있는 error source에 해당한다<sup>[10, 14]</sup>. 스위치의 charge injection과 clock feedthrough는 스위치에 의한 비선형성의 주요한 원인에 해당한다. 이와 같은 스위치의 비선형성은 bootstrapping 기법을 이용한 스위치 제어와 완전 차동 회로 구조(fully differential circuit topology)를 사용함으로써 완화가 가능한 error source에 해당한다<sup>[10~11]</sup>. 반면에 커패시터 부정합은 간단한 회로적 대응방안으로 해결되기 쉽지 않으며, 12비트 해상도를 구현하기 위해서는 적어도 45pF 이상의 커패시터 용량이 필요하다<sup>[15]</sup>. 따라서 적절한 보정기법을 이용하여 커패시터 부정합에 의한 ADC의 비선형성을 제어할 필요가 있다.

그림 2의 1.5비트 MDAC의 커패시터  $C_1$ 은  $C$ 로 정의하고  $C_2$ 를  $C(1+\alpha)$ 로 정의하며, 이때  $\alpha$ 는 커패시터 간의 부정합량을 나타낸다. 하나의 기준전압은 하나의 레지듀 플롯 세그먼트(segment)를 발생시키기 때문에, 1.5비트 MDAC의 경우 총 3개의 세그먼트로 구성

되는 레지듀 플롯을 지닌다. 따라서 증폭 위상일 때 발생하는 레지듀 플롯은 수식 (1)을 따른다.

$$V_{OUT} = \begin{cases} (2+\alpha)V_{IN} + (1+\alpha)V_{REF}, & D_1D_0 = 00 \\ (2+\alpha)V_{IN}, & D_1D_0 = 01 \\ (2+\alpha)V_{IN} - (1+\alpha)V_{REF}, & D_1D_0 = 10 \end{cases} \quad (1)$$

수식 (1)의 연산증폭기 출력전압  $V_{OUT}$ 에 의하면, 그림 2의 1.5비트 MDAC은 커패시터 부정합량  $\alpha$ 에 관계없이 항상  $(-V_{REF}, -V_{REF})$ ,  $(0, 0)$ ,  $(+V_{REF}, +V_{REF})$ 의 좌표 값을 지닌다.

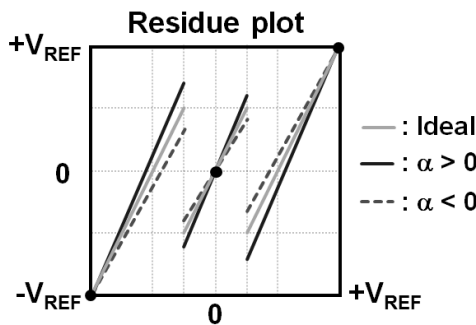


그림 3. 커패시터 부정합에 따른 1.5비트 MDAC의 레지듀 플롯

Fig. 3. Residue plot of 1.5-bit/stage MDAC depending on capacitance mismatch.

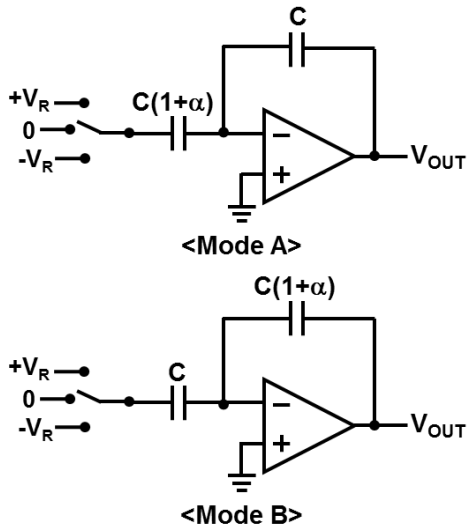


그림 4. 본 논문에서 정의하는 1.5비트 MDAC의 증폭 위상에서의 동작모드

Fig. 4. Operational modes of 1.5-bit/stage MDAC defined in this paper.

커패시터 부정합량  $\alpha$ 에 관계없이 레지듀 플롯 상에서 3개의 공통 교점좌표를 지니는 특성을 이용한 보정 기법을 제안하기 위하여, 본 논문은 그림 2의 1.5비트

MDAC의 스위칭 모드를 그림 4와 같이 제안한다. 즉, 모드 A인 경우 커패시터  $C$ 가 MDAC의 부재환 경로에 연결되며, 레지듀 플롯에 대한 수식은 수식 (1)과 같다. 모드 B인 경우 커패시터  $C(1+\alpha)$ 가 MDAC의 부재환 경로에 연결되며, 이에 대한 레지듀 플롯 수식은 수식 (2)와 같다.

$$V_{OUT} = \begin{cases} \frac{2+\alpha}{1+\alpha}V_{IN} + \frac{1}{1+\alpha}V_{REF}, & D_1D_0 = 00 \\ \frac{2+\alpha}{1+\alpha}V_{IN}, & D_1D_0 = 01 \\ \frac{2+\alpha}{1+\alpha}V_{IN} - \frac{1}{1+\alpha}V_{REF}, & D_1D_0 = 10 \end{cases} \quad (2)$$

테일러 정리를 이용하여 수식 (2)를 근사시키면 수식 (3)과 같이 정리된다.

$$V_{OUT} \approx \begin{cases} (2-\alpha)V_{IN} + (1-\alpha)V_{REF}, & D_1D_0 = 00 \\ (2-\alpha)V_{IN}, & D_1D_0 = 01 \\ (2-\alpha)V_{IN} - (1-\alpha)V_{REF}, & D_1D_0 = 10 \end{cases} \quad (3)$$

모드 A와 모드 B의 레지듀 플롯 수식은 그림 3의 비이상적인 레지듀 플롯과 일치한다. 즉, 부정합량  $\alpha$ 가 양수일 경우 기울기가 2보다 큰 비이상적인 레지듀 플롯은 모드 A에 대응되며, 기울기가 2보다 작은 비이상적인 레지듀 플롯은 모드 B에 대응된다. 반대의 경우로 부정합량  $\alpha$ 가 음수일 경우 기울기가 2보다 큰 비이상적인 레지듀 플롯은 모드 B에 대응되며, 기울기가 2보다 작은 비이상적인 레지듀 플롯은 모드 A에 대응된다.

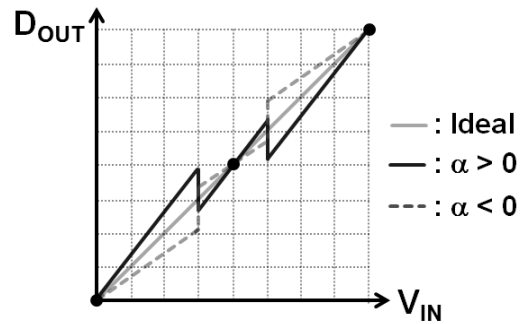


그림 5. 1.5비트 MDAC의 커패시터 부정합( $\alpha$ )에 따른 아날로그-디지털 전달함수의 개념적 특성

Fig. 5. Conceptual characteristic of analog-digital transfer functions depending on capacitance mismatch( $\alpha$ ) of 1.5-bit/stage MDAC.

개념적으로는, 레지듀 플롯의 각 세그먼트를 정해진 양만큼 수직 이동함으로써 ADC의 아날로그-디지털 전달함수를 얻을 수 있다. 따라서 그림 3의 레지듀 플롯은 그림 5의 아날로그-디지털 전달함수로 대응시킬 수 있다. 즉, 그림 3의 비이상적인 레지듀 플롯은 그림 5의

비이상적인 아날로그-디지털 전달함수로 대응되며, 각 비이상적인 전달함수는 이상적인 전달함수에 대하여 대칭적인 특징을 지닌다. 또한, 그림 3의 레지듀 플롯 상에서 공통 교점인  $(-V_{REF}, -V_{REF})$ ,  $(0, 0)$ ,  $(+V_{REF}, +V_{REF})$ 는 아날로그-디지털 전달함수에서 3개의 공통 교점으로 대응되며, 해당 교점은 그림 5에서 굵은 점으로 표시되어 있다. 따라서 두 대칭적인 비이상적인 전달함수를 평균화하는 기법을 구현한다면 MDAC의 커패시터 부정합에 의한 ADC의 비선형성을 보정할 수 있다.

2. 아날로그-디지털 전달함수 평균화의 등가적 구현

그림 5에 제시된 두 개의 비이상적인 아날로그-디지털 전달함수의 평균화를 등가적으로 구현하기 위하여 본 논문의 cyclic ADC는 그림 6과 같은 순서도를 따라 동작한다.

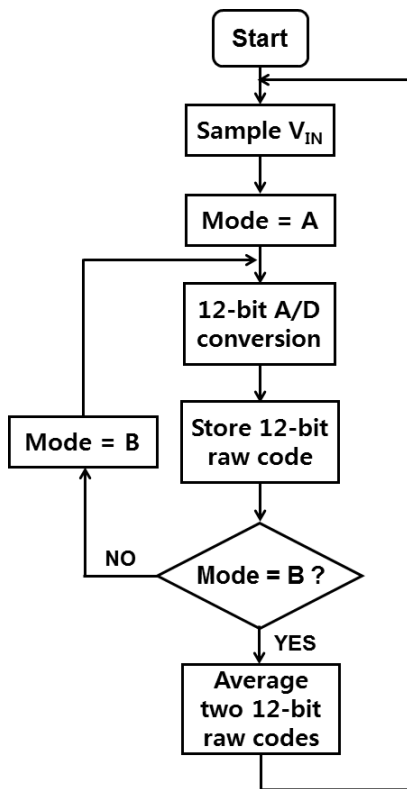


그림 6. 제안하는 cyclic ADC 보정기법의 알고리즘  
 Fig. 6. Algorithm of cyclic A/D converter with proposed calibration scheme.

먼저, cyclic ADC가 입력전압  $V_{IN}$ 을 샘플링한다. Cyclic ADC는 그림 4에서 정의한 모드 A로 동작하며, A/D 변환을 모두 마친 후 raw 코드(예. 12비트)를 발생시킨다. 해당 raw 코드는 칩 내의 디지털 메모리(예. D플립플롭)에 저장된다. MDAC의 동작모드를 Mode-B로 설정

한 후, 기존에 샘플링 된  $V_{IN}$  전압을 다시 A/D 변환하여 12비트 raw 코드를 획득한다. 해당 코드는 칩 내의 디지털 메모리에 저장된다. 실제 구현에서 MDAC의 커패시터 부정합의 극성을 알 수 없으므로, 모드 A로부터 획득된 12비트 raw 코드는 그림 5의 실선 비이상적 전달함수 혹은 점선 비이상적 전달함수에 해당한다. Mode-B로부터 획득된 12비트 raw 코드는 모드 A에 의한 비이상적 전달함수와 대칭이되는 비이상적인 전달함수를 취한다. 즉, 모드 A로부터 획득된 코드가 점선 비이상적 전달함수에 해당한다면, 모드 B로부터 획득된 코드는 실선 비이상적 전달함수에 해당한다. 두 모드에 의한 비이상적 전달함수는 이상적 전달함수에 대해 대칭적이기 때문에, 두 모드로부터 획득된 12비트 raw 코드를 평균화함으로써, 비선형성이 보정된 12비트 최종 코드를 획득할 수 있다.

제안하는 보정기법의 효과를 선검증하기 위하여, 본 논문은 MATLAB을 이용한 행위모사(behavioral simulation)를 수행하였다. 행위모사 실험 시, 커패시터 부정합량  $\alpha$ 는 +0.5%로 설정하였다. 각 동작모드에 의한 INL 결과는 그림 7과 같다. 앞서 언급한 바와 같이, 두 동작모드에 의한 아날로그-디지털 전달함수가 이상적인 전달함수에 대해 대칭적인 특징을 지니기 때문에, 두 동작모드에 의한 INL도 서로 대칭적인 특징을 지는 것을 확인할 수 있다. 제안하는 보정기법을 적용할 경우, 두 대칭적인 아날로그-디지털 전달함수가 평균화되는 효과가 발생하며, 이로 인해 대칭적인 INL도 평균화되는 효과가 발생한다. 그림 8에 제시된 바와 같이, 행위모사에서 보정기법을 적용한 후 INL은 +/-0.6 LSB 이내의 값을 지니는 것으로 확인된다. 이를 볼 때 제안하는 아날로그-디지털 전달함수 평균화기법의 보정기법이 MDAC의 커패시터 부정합에 의한 ADC의 비선형성을 보정하는 효과를 지니고 있음을 확인할 수 있다.

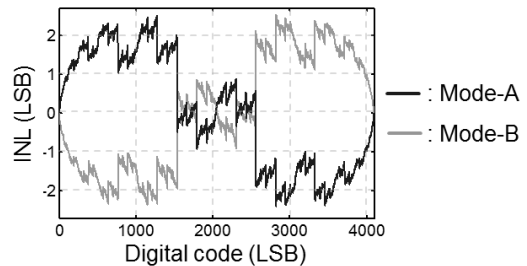


그림 7. 행위모사에 의한 각 동작모드의 INL 특성  
 Fig. 7. Behavioral simulation of INL plots for each operational mode.



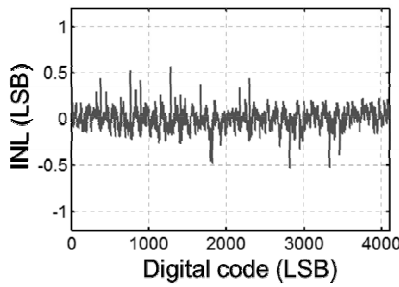


그림 8. 행위모사에서 제안하는 보정기법을 적용한 후의 INL 특성  
Fig. 8. INL plot after applying proposed calibration in behavioral simulation.

### III. 디지털 보정기법을 포함하는 12비트 cyclic ADC의 구현

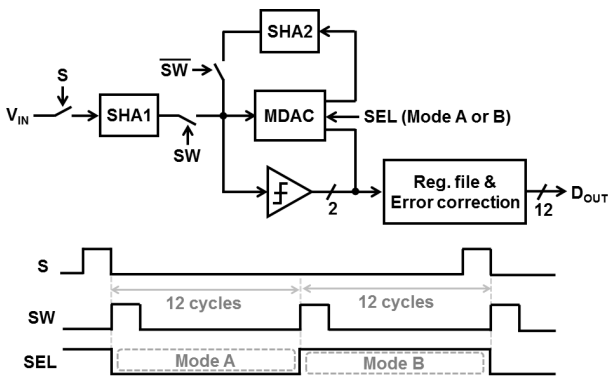


그림 9. 제안하는 디지털 보정기법을 포함하는 12비트 cyclic ADC의 블록다이어그램과 타이밍다이어그램  
Fig. 9. Block diagram and timing diagram of 12-bit cyclic ADC with proposed digital calibration scheme.

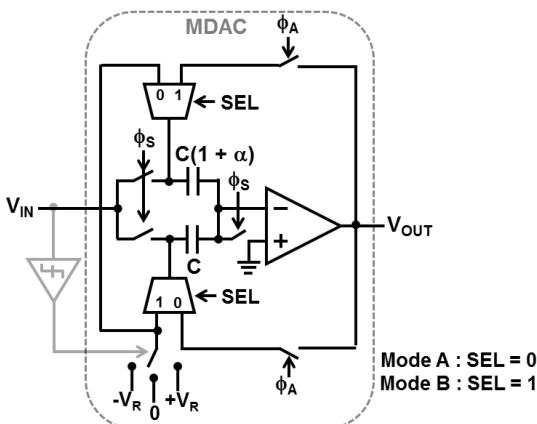


그림 10. 제안하는 디지털 보정기법을 구현하기 위해 구현된 1.5비트 MDAC  
Fig. 10. 1.5-bit/stage MDAC to implement proposed digital calibration scheme.

제안하는 디지털 보정기법은 12비트 416kS/s cyclic ADC와 함께 디지털 합성 없이 full-custom 방식으로 구현되었다. 그림 9에 제시한 바와 같이, cyclic ADC는 두 개의 S/H 회로, 하나의 1.5비트 MDAC, 두 개의 비교기, raw 코드 저장소와 보정로직을 포함하는 디지털 로직부로 구성된다. 디지털 로직을 제외한 모든 아날로그 회로 블록은 완전 차동구조(fully differential topology)를 사용하였다.

본 논문의 cyclic ADC의 동작순서는 다음과 같다. 우선, SHA1이 입력전압  $V_{IN}$ 을 샘플링한다. Cyclic ADC는 그림 4에서 정의한 모드 A로 먼저 동작하며, 시스템 클락 9.984MHz의 12주기 동안 A/D 변환을 모두 마친 후 raw 코드(예, 12.5비트)를 발생시킨다. 해당 raw 코드는 칩 내의 디지털 메모리(예, D플립플롭)에 저장된다. MDAC의 동작모드를 Mode-B로 설정한 후, 기존에 샘플링된  $V_{IN}$  전압을 시스템 클락 9.984MHz의 12주기 동안 다시 A/D 변환하여 12.5비트 raw 코드를 획득한다. 해당 코드는 칩 내의 디지털 메모리에 저장된다.

입력전압  $V_{IN}$ 을 샘플링하는 SHA1은 연산증폭기를 이용한 일반적인 S/H 회로<sup>[13]</sup>이다. 해당 S/H 회로는 cyclic ADC가 모드 B로 동작을 마칠 때마다 입력전압  $V_{IN}$ 을 샘플링한다. 다른 S/H회로인 SHA2와 MDAC 및 비교기 회로는 cyclic ADC의 일반적인 데이터 변환 동작을 위해 필요한 블록이다. 제안하는 디지털 보정기법을 지원하기 위하여, 본 논문은 그림 10과 같은 1.5비트 MDAC을 제안한다. 해당 MDAC은 부궤환 경로에 C 또는  $C(1+\alpha)$ 가 연결 가능하도록 아날로그 스위치로 이루어진 멀티플렉서를 사용한다. 또한, 표 1에서 언급한 error source를 해결하기 위해 90 dB의 DC 전압이득을 지니는 gain-boosted folded-cascode 연산증폭기를 사용하였으며, 이는 12비트 해상도를 만족하기 위한 최소 사양인 80dB를 만족시킨다<sup>[10]</sup>. 또한 스위치의 비선형성을 해결하기 위해, bootstrapping 스위치<sup>[16]</sup>를 사용하였다.

### IV. 보정기법을 적용한 ADC의 측정결과

제안하는 cyclic ADC와 디지털 보정기법은 0.18 $\mu$ m CMOS 공정을 사용하여 제작되었으며, 제작된 회로의 레이아웃은 그림 11과 같다.

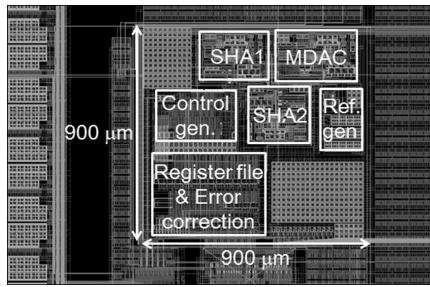


그림 11. 시제품 ADC의 레이아웃 (0.9mm x 0.9mm)  
 Fig. 11. Layout of the prototype ADC. (0.9mm x 0.9mm)

제작된 ADC 및 디지털 보정기법회로의 면적은 0.81 mm<sup>2</sup>이며, 모든 회로가 디지털 합성 없이 full-custom 방식으로 구현되었다. ADC의 샘플링 속도는 416kS/s이며, 두 개의 동작모드를 지원하기 위해 총 24 사이클의 세부동작주기가 필요하다. 이를 위해 시스템 클럭 9.984 MHz의 클럭을 사용하였다. 제작된 회로의 공급전압은 1.8V이며, 전력소모는 7mW이다.

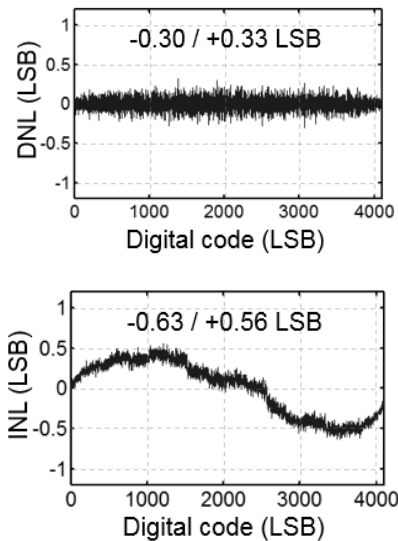


그림 12. 측정된 DNL 및 INL  
 Fig. 12. Measured DNL and INL.

측정된 정적 성능(static performance) DNL과 INL은 그림 12와 같다. 측정된 정적 성능은 제안하는 디지털 보정기법을 적용한 후의 성능이다. 측정된 DNL과 INL은 각각  $-0.30/+0.33\text{LSB}$ 와  $-0.63/+0.56\text{LSB}$ 이다. 구현된 보정기법 및 cyclic ADC는 터치 센서용 수신단 회로의 구성회로(building block)으로 설계되었으며<sup>[17]</sup>, 회로 구현 과정에서 보정기능의 유무에 따른 성능 측정을 위한 별도의 옵션을 추가하지 못했다.

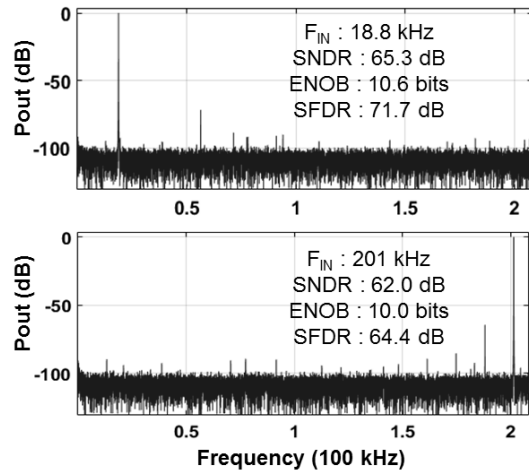


그림 13. 측정된 FFT 스펙트럼  
 Fig. 13. Measured FFT spectrum.

동적 성능(dynamic performance)인 FFT 스펙트럼은 그림 13과 같이 측정되었다. 18.8 kHz 입력 사인 파형에 대하여, SNDR, ENOB, SFDR은 각각 65.3dB, 10.6 비트, 71.7dB로 측정되었다. Nyquist 주파수 근방에 해당하는 201kHz 입력 사인 파형에 대하여 SNDR, ENOB, SFDR은 각각 62.3dB, 10.0비트, 64.4dB로 측정되었다.

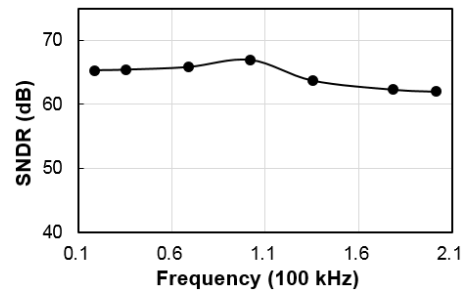


그림 14. 입력 주파수에 따른 SNDR 측정결과  
 Fig. 14. Measurement result of SNDR corresponding to input frequency.

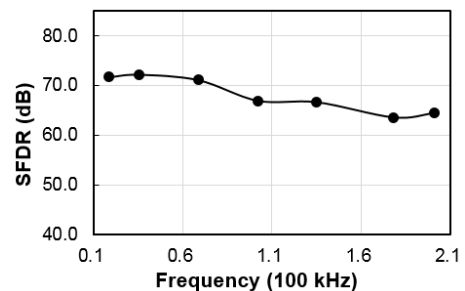


그림 15. 입력 주파수에 따른 SFDR 측정결과  
 Fig. 15. Measurement result of SFDR corresponding to input frequency.

표 2. 센서 인터페이스용 ADC의 성능 비교

Table2. Performance comparison of sensor-interface ADCs.

	IEICE'11 <sup>[3]</sup>	JSSC'07 <sup>[4]</sup>	JSSC'11 <sup>[2]</sup>	JSSC'12 <sup>[6]</sup>	TCAS1'08 <sup>[10]</sup>	This work
ADC type	SAR	SAR	SAR	SAR	cyclic	cyclic
Resolution	6bits	8bits	12bits	10bits	12bits	12bits
Sampling rate	178.6kS/s	111k-400kS/s	45MS/s	768kS/s	40kS/s	416kS/s
Process	0.18 $\mu$ m	0.18 $\mu$ m	0.13 $\mu$ m	0.18 $\mu$ m	0.13 $\mu$ m	0.18 $\mu$ m
Supply	1.8V	0.83V-1.0V	1.2V	3.3V(Analog) 1.8V(Digital)	1.8V	1.8V
Input range	rail-to-rail	rail-to-rail	rail-to-rail	N.A.	2.2Vpp	1.6Vpp
DNL	-0.1/+0.1LSB	-0.90/+0.26LSB	N.A.	<0.55LSB	-1.0/+0.8LSB	-0.30/+0.33LSB
INL	-0.2/+0.2LSB	-0.53/+0.5LSB	N.A.	<0.77LSB	-1.8/+1.4LSB	-0.63/+0.56LSB
SNDR	37.0dB ( $F_{IN}$ =0.5kHz)	47.4dB ( $F_{IN}$ =1kHz)	68.4dB ( $F_{IN}$ =7.7MHz)	62.1dB ( $F_{IN}$ =380kHz)	63.3dB ( $F_{IN}$ =1kHz)	65.3dB ( $F_{IN}$ =19kHz)
ENOB	5.9bits ( $F_{IN}$ =0.5kHz)	7.58bits ( $F_{IN}$ =1kHz)	11.1bits ( $F_{IN}$ =7.7MHz)	10.0bits ( $F_{IN}$ =380kHz)	10.2bits ( $F_{IN}$ =1kHz)	10.6bits ( $F_{IN}$ =19kHz)
SFDR	46.2dB ( $F_{IN}$ =0.5kHz)	58.9dB ( $F_{IN}$ =1kHz)	91.8dB ( $F_{IN}$ =7.7MHz)	65.1dB ( $F_{IN}$ =380kHz)	80.2dB ( $F_{IN}$ =1kHz)	71.7dB ( $F_{IN}$ =19kHz)
Power	8 $\mu$ W	2.47 $\mu$ W	3.05mW	58 $\mu$ W	68.4 $\mu$ W	7mW
FoM	750fJ/c-s	65fJ/c-s	31.7fJ/c-s	74fJ/c-s	1.45pJ/c-s	16.4pJ/c-s
Active area	1mm <sup>2</sup>	0.70mm <sup>2</sup>	0.06mm <sup>2</sup>	0.01mm <sup>2</sup>	0.041mm <sup>2</sup>	0.81mm <sup>2</sup>
Calibration	-	-	Off-chip digital in software	Off-chip digital in software	On-chip analog	On-chip full-custom digital
Application	Wireless sensor	Energy-limited application	General purpose	Image sensor	Capacitive sensor	Touch sensor

입력 주파수에 따른 SNDR 및 SFDR의 측정결과는 각각 그림 14 및 그림 15와 같다. 모든 주파수 대역에서 10.0비트 이상의 ENOB를 지니는 것을 확인할 수 있다.

센서 인터페이스용 ADC와 본 논문의 시제품 ADC 간의 성능 비교는 표 2와 같다. 참고문헌<sup>[3]</sup>과 <sup>[4]</sup>는 보정 기법을 사용하지 않은 SAR ADC이며 해상도는 각각 6 비트와 8비트에 해당한다. SAR ADC는 구조적으로 전력소모가 낮기 때문에, 에너지 효율 FoM을 기준으로 볼 때, 참고문헌<sup>[3]</sup>과 <sup>[4]</sup>의 SAR ADC의 FoM은 본 논문의 cyclic ADC의 FoM보다 약 22배 이상 낮다.

일반적으로 SAR ADC에 커패시터 부정합을 보상하는 보정기법을 적용할 경우 10비트 이상의 ENOB를 달성할 수 있다. 참고문헌<sup>[2]</sup>와 <sup>[6]</sup>의 SAR ADC는 디지털 보정기법을 이용하여 각각 11.1비트와 10.0비트의 ENOB를 달성하였다. 본 논문의 cyclic ADC의 ENOB는 10.6비트에 해당하며, 참고문헌 <sup>[2]</sup>의 ENOB보다 0.5비트만큼 낮다. 반면에 본 논문의 보정기법의 복잡도는 참고문헌 <sup>[2]</sup>와 <sup>[6]</sup>의 보정기법의 복잡도보다 매우 낮다. 이로 인해 참고문헌의 보정기법과 달리, 본 논문의 보정기법은 full-custom 디지털 회로로 칩 내에 구현이 가능하다.

Cyclic ADC도 10비트 이상의 유효 해상도를 필요로 하는 센서 인터페이스에 사용될 수 있다. 표 2의 참고문헌<sup>[10]</sup>의 cyclic ADC는 스위칭 기반의 아날로그 방식

의 커패시터 보정기법을 사용하였다. 해당 논문의 cyclic ADC는 보정기법을 사용하였음에도 불구하고 10.2비트의 ENOB를 지닌다. 해당 논문에서 사용된 보정기법은 일반적인 cyclic ADC보다 많은 개수의 스위치를 사용하기 때문에, 스위치의 비선형성으로 인해 ENOB 성능 개선의 폭이 작다. 반면에 본 논문의 보정기법은 디지털 방식의 보정기법이며 아날로그 회로 혹은 소자의 비선형성으로 인한 보정 성능의 열화가 거의 없다. 참고문헌<sup>[10]</sup>의 cyclic ADC의 FoM은 본 논문의 FoM보다 약 10배 낮은 수준이다. 해당 논문의 cyclic ADC는 전력소모를 줄이기 위해 class-AB op-amp를 제안하여 사용하였기 때문에 상대적으로 낮은 FoM을 달성할 수 있었다.

본 논문의 cyclic ADC의 전력소모 및 FoM이 비교적 큰 이유는 제안하는 디지털 보정기법을 지원하기 위해서 본 논문의 cyclic ADC의 동작속도가 2배 높아지기 때문이다. 즉, 본 논문의 디지털 보정기법은 샘플링된 동일한 입력 아날로그 전압을 디지털 코드로 변환할 때 두 개의 동작모드(모드 A, 모드 B)를 사용한다. 이 과정에서 제안하는 cyclic ADC의 동작 사이클의 개수는 전형적인 cyclic ADC의 동작 사이클 개수 보다 2배 많아지며, 이를 위해 그림 9의 SHA2와 MDAC의 동작속도도 2배 높아진다. 이를 지원하기 위해, SHA2와 MDAC



의 전력소모는 전형적인 cyclic ADC를 구현할 때보다 약 4배 정도 증가한다<sup>[10]</sup>.

## V. 결 론

본 논문은 복잡한 오차 계산 디지털 알고리즘을 사용하지 않고 10비트 이상의 해상도를 달성하기 위한 디지털 보정기법을 제안한다. 해당 보정기법은 cyclic ADC의 주요 구성블록인 MDAC의 커패시터 부정합에 의한 ADC의 비선형성을 보정한다. 제안하는 보정기법은 일반적인 디지털 보정기법과 달리, 각 비트의 비선형성을 직접적으로 측정하지 않는다. MDAC 회로의 레지듀 플롯의 고유 특성을 이용하여 MDAC의 특정 동작 모드를 정의하며, 해당 레지듀 플롯은 이상적인 레지듀 플롯에 대하여 대칭적인 특징과 특정 지점에서 공통 교점을 지니는 고유성질을 지닌다. 해당 레지듀 플롯의 고유성질은 ADC의 아날로그-디지털 전달함수 대칭적인 성질로 나타난다. 따라서 이상적인 아날로그-디지털 전달함수에 대해 대칭적인 두 개의 아날로그-디지털 전달함수를 등가적으로 평균화하는 연산을 수행함으로써, ADC의 비선형성을 보정할 수 있다. 전형적인 cyclic ADC와 비교할 때, 해당 보정기법은 디지털 코드 12.5비트를 임시로 저장하기 위한 D플립플롭 및 12.5비트용 디지털 합산기와 S/H회로를 추가적으로 사용한다.

본 논문의 디지털 보정기법은 ADC의 비선형성을 연산하기 위한 복잡한 로직구현을 필요로 하지 않기 때문에, 디지털 합성없이 full-custom으로 구현가능하다. 또한 제안하는 보정기법은 디지털 raw 코드의 평균화를 기반으로 동작하기 때문에, 스위칭 기반의 아날로그 영역 보정기법<sup>[10~11]</sup>과 비교할 때 상대적으로 회로 레이아웃에 둔감한 보정기법 성능을 지닌다.

본 논문의 디지털 보정기법 및 cyclic ADC는 TSMC 0.18 $\mu$ m CMOS 공정을 이용하여 구현되었으며, 1.8V의 공급전압에서 동작한다. 측정된 DNL과 INL은 각각  $-0.30/+0.33$ LSB 및  $-0.63/+0.56$ LSB이다. 입력 사인파의 주파수가 18.8kHz일 때 SNDR은 65.3dB이며, 이는 10.6비트의 ENOB에 해당한다. 측정된 전력소모를 이용한 FoM은 16.4pJ/conv-step이다.

본 논문에서 제안하는 디지털 보정기법 및 cyclic ADC는 구현의 복잡도가 낮은 대신, MDAC 및 S/H 회로의 고속동작을 필요로 한다. 이로 인해, 전력소모가 전형적인 cyclic ADC보다 약 4배 이상 증가하는 단점을 지닌다.

본 논문의 디지털 보정기법 및 cyclic ADC는 10비트 이상의 해상도 및 수백 kS/s의 샘플링 속도를 필요로 하는 응용분야에 적용될 수 있으며, 구현된 회로는 터치 센서용 수신단 집적회로(read-out IC)의 구성블록으로 사용되었다<sup>[17]</sup>.

## REFERENCES

- [1] G.-Y. Huang, S.-J. Chang, C.-C. Liu and Y.-Z. Lin, "A 1- $\mu$ W 10-bit 200-kS/s SAR ADC with a bypass window for biomedical applications," *IEEE J. Solid-State Circuits*, vol. 47, no. 11, pp. 2783-2795, Nov. 2012.
- [2] W. Liu, P. Huang and Y. Chiu, "A 12-bit, 45-MS/s, 3-mW redundant successive approximation register analog-to-digital converter with digital calibration," *IEEE J. Solid-State Circuits*, vol. 46, no. 11, pp. 2661-2672, Nov. 2011.
- [3] J. J. Kim, C.-H. Cho, K.-Y. Chae and S. Byun, "A low-power/high-resolution dual mode analog-to-digital converter for wireless sensor applications," *IEICE Electronics Express*, vol. 8, no. 20, pp. 1730-1735, 2011.
- [4] H.-C. Hong and G.-M Lee, "A 65-fJ/conversion-step 0.9-V 200-kS/s rail-to-rail 8-bit successive approximation ADC," *IEEE J. Solid-State Circuits*, vol. 42, no. 10, pp. 2161-2168, Oct. 2007.
- [5] Y. Zhang, H. Chen, G. Guo and Y. Yan, "Energy-efficient hybrid split capacitor switching scheme for SAR ADCs," *IEICE Electronics Express*, vol. 13, no. 7, pp. 1-5, 2016
- [6] R. Xu, B. Liu and J. Yuan, "Digitally calibrated 768-kS/s minimum-size SAR ADC array with dithering," *IEEE J. Solid-State Circuits*, vol. 47, no. 9, pp. 2129-2140, Sep. 2012.
- [7] J. Gao and G. Li, "Signal independent digital calibration technique for SAR ADC with one bit redundancy," *IEICE Electronics Express*, vol. 12, no. 9, pp. 1-4, 2015.
- [8] J.-Y. Um, Y.-J. Kim, E.-W. Song, J.-Y. Sim and H.-J. Park, "A digital-domain calibration of split-capacitor DAC for a differential SAR ADC without additional analog circuits," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 60, no. 11, pp. 2845-2856, Nov. 2013.
- [9] L. Du, N. Ning, S. Wu, Q. Yu and Y. Liu, "A digital background calibration technique for SAR ADC based on capacitor swapping," *IEICE Electronics Express*, vol. 11, no. 12, pp. 1-11, 2014.
- [10] J. A. M. Jarvinen, M. Saukoski and K. A. I. Halonen, "A 12-bit ratio-independent algorithmic

- A/D converter for a capacitive sensor interface,” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 55, no. 3, pp. 730-740, Apr. 2008.
- [11] P. W. Li, M. J. Chin, P. R. Gray and R. Castello, “A ratio-independent algorithmic analog-to-digital conversion technique,” IEEE J. Solid-State Circuits, vol. 19, no. 6, pp. 828-836, Dec. 1984.
- [12] J.-Y. Um et. al., “A 416-kS/s 12-bit algorithmic ADC compensating capacitance mismatch of MDAC in Digital Domain,” in Int. Conf. on Electronic Information Communication(ICEIC), Feb. 2013.
- [13] B. Razavi, Principles of data conversion system design. Wiley-IEEE press, 1994.
- [14] J.-S. Park et al., “A 12b 100MS/s three-step hybrid pipeline ADC based on time-interleaved SAR ADCs,” J. Semicond. Tech. Sci., vol. 14, no. 2, 189-197, Apr. 2014.
- [15] W. Liu and Y. Chiu, “An equalization-based adaptive digital background calibration technique for successive approximation analog-to-digital converters,” Inter. conf. on ASIC(ASICON), 289-292, Oct. 2007.
- [16] B. G. Lee and R. M. Tsang, “A 10-bit 50 MS/s pipelined ADC with capacitor-sharing and variable-gm opamp,” IEEE J. Solid-State Circuits, vol. 44, no. 3, pp. 883-890, Mar. 2009.
- [17] J.-S. Lee, D.-H. Yeo, J.-Y. Um, E.-W. Song, J.-Y. Sim, H.-J. Park, S.-M. Seo, M.-H. Shin, D.-H. Cha and H. Lee, “A 10-touch capacitive touch sensor circuit with the time-domain input-node isolation,” in SID Symp. Dig. Tech. Papers, Jun. 2012.

---

— 저 자 소 개 —



엄 지 용(정회원)

2006년 포항공과대학교 전자전기공학과 학사

2008년 포항공과대학교 전자전기공학과 석사

2013년 포항공과대학교 전자전기공학과 박사

2013년~2014년 포항공과대학교 Post-Doc 연구원

2014년~2016년 SK하이닉스 책임연구원

2016년~현재 한남대학교 전자공학과 조교수

<주관심분야: 초음파 영상기기용 수신단 회로 및 빔포머 회로 설계, 데이터 변환기 및 보정기법 등>