

# 높은 홀딩 전압을 갖는 세그먼트 레이아웃 기법을 이용한 SCR 기반 ESD 보호회로에 관한 연구

## Study on the SCR-based ESD Protection Circuit Using the Segmentation Layout Technique with High Holding Voltage

박 준 곁\*, 도 경 일\*, 채 희 국\*, 서 정 윤\*, 구 용 서\*

Jun-Geol Park\*, Kyoung-Il Do\*, Hee-Guk Chae\*, Jeong-Yun Seo\*, Yong-Seo Koo\*

### Abstract

This paper proposed the ESD protection circuit for the high-voltage applications with latch-up immunity and high area efficiency. The proposed circuit has high holding voltage compared to the conventional SCR by inserting the floating regions and applying the segmentation layout. It has the area efficiency is more higher due to the segmentation layout. The proposed circuit has the higher holding voltage of the 21.67V than the 3.39V of the conventional SCR. The electrical characteristics of the proposed circuit was investigated by TCAD simulator, and was proved through the fabrication by using the 0.18 BCD process.

### 요 약

본 논문에서는 Latch-up 면역과 우수한 면적 효율성을 갖는 고전압용 ESD 보호회로를 제안한다. 제안된 회로는 기존의 SCR에 대하여 플로팅 영역 삽입과 세그먼트 레이아웃 기법을 적용함에 따라 매우 높은 홀딩 전압을 갖는다. 제안된 ESD 보호회로는 세그먼트 레이아웃 기법을 이용하여 높은 면적 효율을 지닌다. 제안된 소자는 일반적인 SCR의 3.39V의 홀딩 전압과 비교하여 21.67V의 높은 홀딩 전압을 가진다. 제안된 소자의 전기적 특성은 Synopsys사의 TCAD를 통해 검증하였으며, 0.18 BCD 공정을 이용한 실제 제작을 통해 증명하였다.

*Key words : ESD, SCR, Holding Voltage, SCR, Segmentation Layout*

## 1. 서론

최근 차세대 반도체 산업 시장이 박차를 가하며 규모를 키워가는 가운데 휴대용 디바이스에 대한 수요가 증가하고 있다. 이에 따라 이전보다 소형화에 대한 중요도가 올라가면서 IC(Integrated Circuit)의 집적도 향상을 위한 기술 개발에 초점이 모아지고 있다. 허나 이러한 쟁점은 얇은 게이트의 두께와 얇은 접합깊이를 필수로 요구하는데, 이는 결과적으로 ESD(Electrostatic Discharge) 현상에 대한 민감도를 증가시키게 된다.

\* Dept. of Electronics Engineering, Dankook University

★ Corresponding author

email: nowil@naver.com, tel: 031-8005-3625

※Acknowledgment

“This work was supported by the Ministry of Trade, Industry & Energy (10065137, “Boosted Class-DG Audio Power Amplifier with Embedded ADC for Mobile Speaker Protection”) and the Ministry of Trade, Industry & Energy(10049597, Bypass Components for the Protection of Multi-Giga Bit Communication Circuits)”

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

ESD는 빠른 시간 사이에 고전압 고전류가 유도되는 현상으로써 IC의 오동작 확률을 높이거나 수명을 단축시키는 등의 문제를 야기한다. 통계상으로 ESD 현상은 IC의 전체 파괴 원인 중 30%에 육박하며, 이로 인한 피해액은 매년 수백만 달러에 달한다[1].

이러한 ESD 피해에 관하여 현재까지 많은 연구가 진행되었으나, 가장 효과적인 방법은 ESD 보호회로를 이용하는 방법이다. 대표적으로 알려진 ESD 보호회로는 GGNMOS(Gate-Grounded NMOS)나 SCR (Silicon-Controlled-Rectifier) 등이 있다. GGNMOS는 CMOS 공정을 통한 구현이 용이하고, 전기적 특성이 우수하다는 장점이 있으나 ESD에 대한 감내 특성이 좋지 않아 적정 수준의 감내특성 확보를 위해서는 큰 면적을 차지해야하는 단점이 있다[2]. 반면 SCR은 구조적 특징에 의해 GGNMOS보다 높은 전류구동 능력을 갖지만, 동작 시 Well 간 접합부에서의 Avalanche 항복을 이용하기 때문에 약 20V 정도의 높은 트리거 전압을 지닌다는 단점이 있다[3]. 또한 트리거 동작 이후 양방향 캐리어 주입 동작으로 전류를 빠르게 방전시키기 때문에 약 1.5V 정도의 낮은 홀딩 전압을 지니면서 Latch-up 문제를 야기한다. 이처럼 트리거 영역과 홀딩 영역에서 문제점 때문에 SCR 자체 구조로는 실제 IC에 적용하기가 매우 어렵다[4].

이에 따라 세그먼트 레이아웃 기법(Segmentation Layout Technique)은 유용하게 사용될 수 있다[5]. 세그먼트 레이아웃 기법은 기생 BJT의 이미터에 해당하는 Anode와 Cathode의 구성을 비율적으로 조절하여 홀딩 전압을 상승시키는 방법이다. 이를 통하면 기생 BJT의 관점에서 이미터 주입 효율이 감소하므로 전체 전류 이득을 낮추어 홀딩 전압 증가를 유도할 수 있다.

따라서 본 논문에서는 기존 SCR의 낮은 홀딩 전압을 크게 개선하기 위해 플로팅 영역을 삽입하고 세그먼트 레이아웃 기법을 이용한 고전압용 SCR 기반 구조를 제안하였다. 구조 제작 및 전기적 특성 분석은 Synopsys사의 TCAD 시뮬레이션을 통하여 검증하였다. 또한 이에 따라 0.18 $\mu$ m BCD (Bipolar-CMOS-DMOS) 공정을 이용하여 소자를 실제 제작하고 TLP50A 장비를

이용하여 전기적 특성을 평가함으로써 시뮬레이션 결과를 증명하였다.

## II. 제안된 ESD 보호회로

그림 1은 제안된 ESD 보호회로의 단면도를 나타낸다. 제안된 소자는 기존 SCR 구조와 달리 Well 간에 간격이 존재하며 N-well 영역에 N+ 플로팅 확산영역, P-well 영역에 P+ 플로팅 확산영역을 포함하는 구조를 지닌다. 이때 Anode 및 Cathode 단의 N+ 및 P+ 확산영역은 세그먼트 레이아웃 기법을 적용한 구조를 이용하였다.

이에 따라 제안된 ESD 보호회로는 다음과 같은 특성을 갖는다. 첫째, Well 간 간격을 조절함으로써 Avalanche 항복 전압 및 트리거 전압을 변화시킬 수 있다. 둘째, 각 Well에 추가한 플로팅 영역의 길이를 조절함으로써 기생 NPN/PNP BJT의 전류 이득을 감소시켜 홀딩 전압을 높일 수 있다. 셋째, Anode단과 Cathode단에 적용된 세그먼트 레이아웃 기법의 수와 비율을 변화시킴으로써 홀딩 전압을 높일 수 있다. 이러한 특징에 의해 제안된 보호회로는 일반적인 SCR과 비교하여 매우 높은 홀딩 전압을 가질 수 있다.

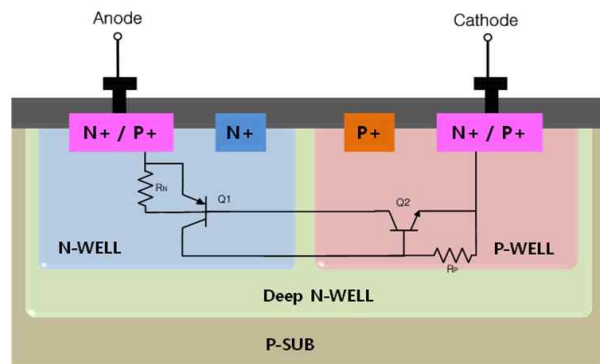


Fig. 1. Cross sectional view of the proposed ESD protection circuit

그림 1. 제안된 ESD 보호회로의 단면도

그림 2 (a)는 SCR에 1:1 비율로 세그먼트 레이아웃 기법을 적용하였을 경우에 대해 도식화한 것이다. SCR 구조의 Anode 및 Cathode 영역에 세그먼트 레이아웃 기법을 적용하면, 기생 NPN 및 PNP BJT의 이미터 영역 면적이 감소하게 되므로 그에 따라 기생 BJT의 이미터 주입 효율이

감소하게 된다[6]. 세그먼트 레이아웃 기법을 통한 이미터 주입 효율의 감소는 보호회로의 홀딩 전압 상승을 유도하며, 면적감소 효과를 얻을 수 있다. 이때 세그먼트 비율(Segment Ratio)과 세그먼트 수(Segment Number)에 따라 이미터 주입 효율을 조절할 수 있다. 그림 2의 (b)는 1:1, 1:2, 1:3 비율로 세그먼트 레이아웃 기법을 적용한 경우를 예시로서 도식화한 것이다.

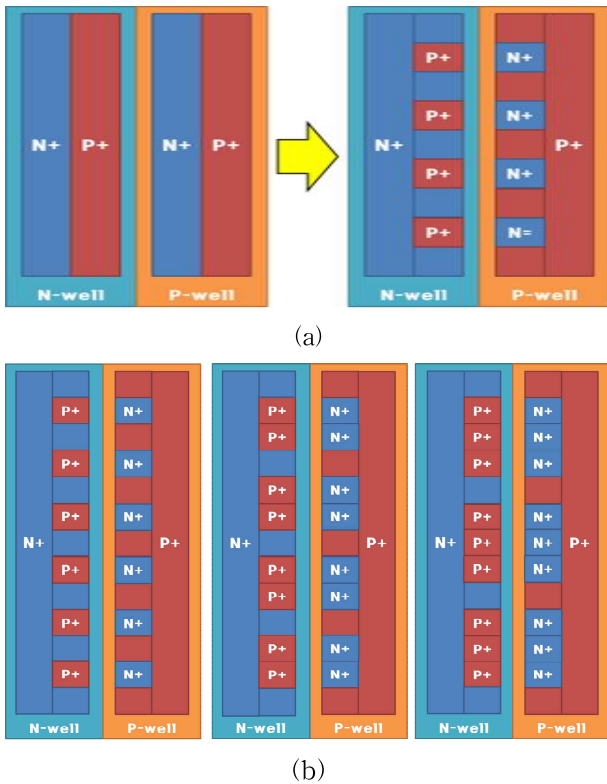


Fig. 2. SCR with symmetric segmented topology (ratio of (a) 1:1 (b) 1:1, 1:2, 1:3)

그림 2. SCR 세그먼트 레이아웃 기법 적용 (a) 1:1 비율 (b) 1:1, 1:2, 1:3 비율

그러나 세그먼트 레이아웃 기법을 사용할 경우 문제점 또한 존재한다. 세그먼트 수를 높이고 세그먼트를 정밀하게 할수록 N+ / P+ 영역 간 접합 면적이 늘어나게 되는데, 이에 따라 공핍 영역 확장되므로 저항 성분이 증가하게 된다. 동작 저항이 증가하게 되면 2차 항복 지점에 빠르게 도달하게 되므로 감내 특성이 하락하는 결과를 가져오게 된다. 따라서 세그먼트 레이아웃 기법은 Trade-off 관계를 적절히 조절하는 범위 내에서 최적화하는 과정이 필요하다.

### III. 레이아웃 및 측정 결과

그림 3은 제안된 ESD 보호회로의 레이아웃 그림으로, 측정에 이용한 소자는 해당 레이아웃에 따라 0.18um BCD (Bipolar-CMOS-DMOS) 공정을 통해 제작되었다. 이때 레이아웃은 면적 이득을 위해 2-Finger 구조로 설계되었다. 레이아웃 결과 제안된 ESD 보호회로의 Width 및 Length는 각각 98um, 131um이며, 이는 약 128,38 제곱 마이크로미터의 면적을 의미한다.

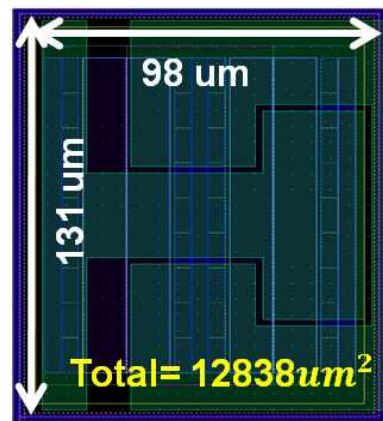


Fig. 3. Layout of the proposed protection circuit (1:1)

그림 3. 제안된 보호회로의 레이아웃 (1:1)

제안된 ESD 보호회로의 전기적 특성은 TLP 측정을 통해 확인하였다. TLP 측정은 ESD 보호회로의 전기적 특성과 감내 특성을 분석하기 위하여 가장 널리 사용되고 있는 방법이다[7]. TLP 측정은 최대 전류 레벨을 측정함으로써 Device Under Test 상황에서의 감내 특성을 가능하게 해준다.

그림 4는 세그먼트 비율이 1:1 일 때 세그먼트 수를 증가시킴에 따른 전기적 특성 변화를 정리하여 나타낸 것이다. 표 1에 정리한 결과에 따르면 세그먼트 수가 5에서 15까지 증가함에 따라 홀딩 전압이 20.45V에서 22.27로 증가하는 것을 확인할 수 있다. 세그먼트 수가 늘어날 경우 실 면적은 증가하게 되지만, N+ / P+ 간 접합 면적은 증가하므로 공핍 영역이 확장된다. 이에 따라 이미터 영역의 유효 면적은 줄어들기 때문에 이미터 주입 효율이 더욱 작아지게 되어 홀딩 전압은 커지게 된다.

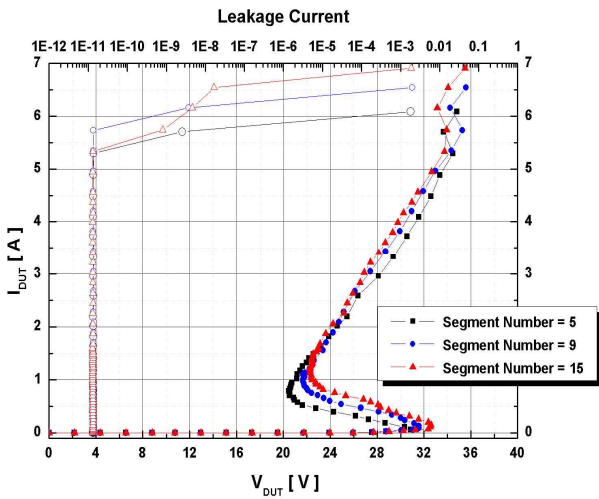


Fig. 4. TLP measurement Result of the proposed circuits with the different segment number

그림 4. 세그먼트 수에 따른 TLP 측정 결과

Table1. Electrical characteristics of the proposed circuits with the different segment number

표 1. 세그먼트 수에 따른 전기적 특성 측정 결과

Variation Factor[um]	Trigger Voltage[V]	Holding Voltage[V]
Segment 5	30.87	20.45
Segment 9	31.55	21.67
Segment 15	32.60	22.27

그림 5는 세그먼트 수가 9로 동일할 때 세그먼트 비율 변화에 따른 전기적 특성 변화를 확인하고자 측정 결과를 비교한 것이다. 표 2에 정리한 수치 정보를 비교해보면 세그먼트 비율이 3:1에서 1:1로 변화할 경우 홀딩 전압은 15.86 V에서 21.67 V로 상승한다. 세그먼트 비율이 변할 경우 이미터 영역의 면적이 크게 감소하면서 이미터 주입 효율이 낮아지며 이에 따라 홀딩 전압이 증가하게 된다.

그림 6은 제안된 보호회로와 기존 SCR 구조간 전기적 특성 비교를 위해 TLP(Transmission Line Pulse) 측정 결과를 비교한 그림으로, 이에 대한 수치 정보는 표 3에 정리하였다. 제안된 보호회로에 사용된 세그먼트 수는 9이며 세그먼트 비율은 1:1이다. TLP 측정의 결과에 따르면 제안된 ESD 보호회로는 31.55V의 트리거 전압을 가짐으로써 일반적인 SCR보다 10V 가량 높은 트리거 전압을 가졌으나, 15V 이상 높은 21.67V의

홀딩 전압을 가진다. 이에 따른 Trade-off로 2차 항복 전류가 3.1A 가량 하락하였으나, 그림에도 HBM 8kV 이상의 높은 감내 특성을 나타냈다.

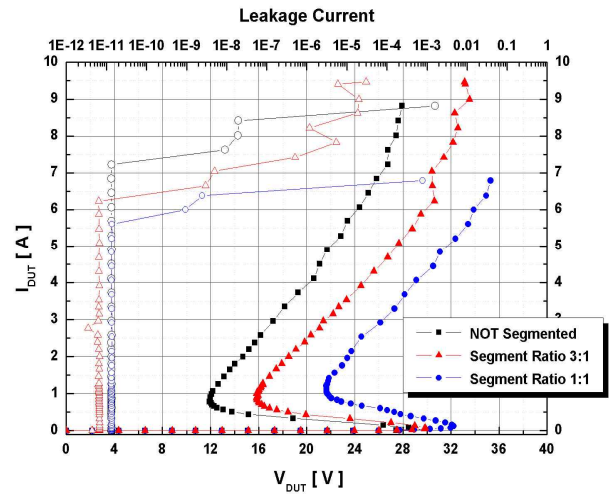


Fig. 5. TLP measurement Result of the proposed circuits with the different segment ratio

그림 5. 세그먼트 비율에 따른 TLP 측정 결과

Table2. Electrical characteristics of the proposed circuits with the different segment ratio

표 2. 세그먼트 비율에 따른 전기적 특성 측정 결과

Variation Factor [um]	Trigger Voltage [V]	Holding Voltage [V]
3:1	29.85	15.86
1:1	31.55	21.67

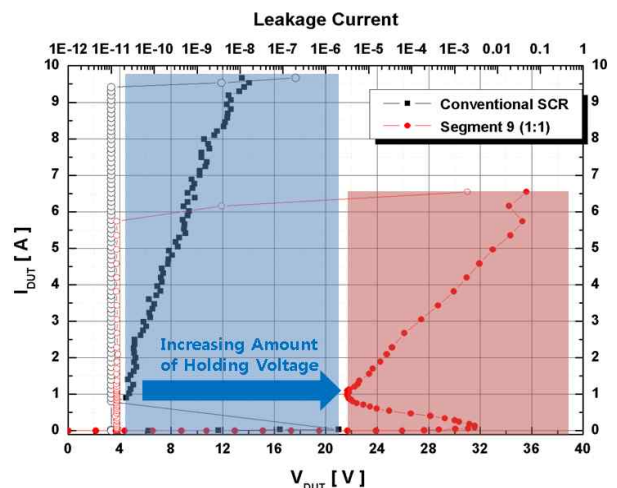


Fig. 6. TLP measurement Result of the proposed ESD circuit and conventional SCR

그림 6. 제안된 ESD 보호 회로 및 일반적인 SCR의 TLP 측정 결과

Table3. Electrical characteristics of the proposed circuit and the conventional SCR

표 3. 제안된 보호회로 및 일반적인 SCR의 전기적 특성

Type	Vt[V]	VH[V]	It2[A]
Conventional SCR	21.32	3.39	9.67
Segment 9 (1:1)	31.55	21.67	6.54

#### IV. 결론

본 논문에서는 기존 SCR에 구조적 변경을 통해 고전압용 ESD 보호회로를 제안하였다. 제안된 회로에는 기존 보호회로인 SCR의 낮은 홀딩 전압 특성을 개선하기 위해 플로팅 영역을 삽입하고 세그먼트 레이아웃 기법을 적용하였다. 그에 따라서 레이아웃 비교 결과 제안된 보호회로는 전기적 특성이 크게 개선되어 기존 SCR의 트리거 전압인 21.32V보다 10V 가량 31.55V의 높은 트리거 전압과, 기존 홀딩 전압인 3.39V에서 18V 가량 21.67V의 높은 홀딩 전압을 지녔다. 따라서 제안된 ESD 보호회로는 뛰어난 전기적 특성을 가지며, 우수한 면적효율을 갖는다.

#### References

- [1] A. Wang, *On-Chip ESD Protection for Integrated Circuits* (2nd ed.), Springer, 2002.  
DOI : 10.1007/b117005
- [2] C. Russ, K. Bock, M. Rasras, I. Wolf, G. Groeseneken, and H. Maes, "Non-uniform triggering of gg-nMOS<sub>t</sub> investigated by combined emission microscopy and transmission line pulsing," *Proceedings of Electrical Overstress / Electrostatic Discharge Symposium (EOS/ESD1998)*, pp. 177-186, 1998.  
DOI : 10.1109/EOSESD.1998.737037
- [3] J. Lee "Analysis of SCR, MVSCR, LVTSCR with I-V Characteristic and Turn-On-Time," *j.inst.Korean.electr.electron.eng*, vol. 20, no. 3, pp. 295-398, 2016.  
DOI : 10.7471/ikeee.2016.20.3.295
- [4] O. Quittard, Z. Mrcarica, F. Blanc, G. Notermans, T. Smedes, and H. Zwol, "ESD

- protection for high-voltage CMOS technologies," *Proceedings of Electrical Overstress / Electrostatic Discharge Symposium (EOS/ESD 2006)*, pp. 77-86, 2006.  
DOI : 10.1109/EOSESD.2006.5256797
- [5] Z. Liu, J. Liou, and J. Vinson, "Novel silicon controller rectifier (SCR) layout topology for high-voltage electrostatic discharge (ESD) applications," *IEEE Electron Device Letter*, vol. 29, no. 7, pp. 753-755, 2008.  
DOI : 10.1109/LED.2008.923711
- [6] Z. Liu, J. He, J. Liou, J. Liu, M. Miao, and S. Dong, "Segmented SCR for High Voltage ESD Protection," *Proceedings of IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT2012)*, pp. 1-4 2012.  
DOI : 10.1109/ICSICT.2012.6467917
- [7] J. Barth, K. Verhaege, and L. Henry, "TLP Calibration, Correlation, Standards, and New Techniques," *Proceedings of Electrical Overstress / Electrostatic Discharge Symposium (EOS/ESD2000)*, pp. 85 - 96, 2000.  
DOI : 10.1109/EOSESD.2000.890031

#### BIOGRAPHY

**Jun-Geol Park** (Student Member)



2016 : BS degree in Electronics and Engineering, DanKook University.  
2016 ~ : MS degree in Electronics and Engineering, DanKook University.

**Kyung-II Do** (Student Member)



2016 : BS degree in Electrical Engineering, SeoKyeong University.  
2016 ~ : MS degree in Electronics and Engineering, DanKook University.

**Hee-Guk Chae** (Student Member)

2017 : BS degree in Electrical Engineering, DanKook University.

2017 ~ : MS degree in Electronics and Engineering, DanKook University.

**Jeong-Yun Seo** (Student Member)

2017 : BS degree in Electrical Engineering, DanKook University.

2017 ~ : MS degree in Electronics and Engineering, DanKook University.

**YongSeo Koo** ( Member)

1981 : BS degree in Electronics Engineering, Sogang University.

1983 : MS degree in Electronics Engineering, Sogang University.

1992 : Ph.D degree in Electronics Engineering, Sogang University.

Current research interest : integrated circuit, micro processor