

센서 시스템을 위한 저전력 고신뢰의 비동기 디지털 회로 설계

안지혁¹·김경기^{2*}

Low Power Reliable Asynchronous Digital Circuit Design for Sensor System

Jihyuk Ahn¹ and Kyung Ki Kim^{2*}

Abstract

The delay-insensitive Null Convention Logic (NCL) asynchronous design as one of innovative asynchronous logic design methodologies has many advantages of inherent robustness, power consumption, and easy design reuses. However, transistor-level structures of conventional NCL gate cells have weakness of high area overhead and high power consumption. This paper proposes a new NCL gate based on power gating structure. The proposed 4x4 NCL multiplier based on power gating structure is compared to the conventional NCL 4X4 multiplier and MTNCL(Multi-Threshold NCL) 4x4 multiplier in terms of speed, power consumption, energy and size using PTM 45 nm technology.

Keywords: Null Convention Logic, Asynchronous Circuits, Synchronous Circuits, Power gating

1. 서 론

나노미터 공정에서 구현된 동기식 회로에서는 공정, 전압, 온도 변이와 노화 효과 등에 의한 속도 및 전력의 변화가 매우 커서 오류가 발생할 수 있는 확률이 매우 높아지고 있다. 공정이 미세화 될수록 로직의 성능과 기능을 유지하기 어렵게 되었고, 클럭 스큐와 지터 같은 타이밍 문제들이 심각하게 발생하게 되었다. 동기식 회로에서 발생하는 이런 문제들로 인해서 비동기식 설계에 다시 관심이 집중되고 있다[1,2].

따라서 최근에는 낮은 전압에서 여러 가지 변이에 영향을 받지 않고 클럭을 가지지 않는 비동기회로 설계 방식중의 하나인 Null Convention Logic (NCL)에 관한 연구들이 많이 이루어지고 있다. NCL은 지연 무관 (DI: delay insensitive) 방식과는 다

르게 타이밍과 전력을 모두 고려한 최적화된 설계를 할 수 있으며, 27개의 기본적인 셀만으로 비동기회로를 구현할 수 있는 장점을 가지고 있다. 뿐만 아니라, 게이트 레벨과 회로 레벨에서의 회로 구현이 가능하고, 기존의 검증 툴을 그대로 사용할 수 있는 이점이 있다.

현재까지의 비동기 회로들은 두 개의 주된 카테고리 즉, bounded-delay와 quasi-delay insensitive (QDI) 모델로 나뉘었다. NCL(Null Convention Logic)과 같은 QDI 모델은 소자, 도선 모두 알려지지 않은 지연을 가정하므로 어떠한 시간 가정도 필요하지 않다. 따라서 타이밍 분석이 요구되지 않고, 최악의 경우의 성능이 아니라 평균적인 경우의 성능을 가져온다. 뿐만 아니라, NCL 회로는 DATA(즉, data representation)와 NULL(즉, control representation) 사이에서 단조로운 천이들을 고수하며, 지연 둔감(delay-insensitivity)을 얻기 위해 dual-rail과 quad-rail 시그널링 방법을 사용한다. 이것은 다른 비동기 방식에 비해 상당한 이익을 가져다 준다. 즉, 첫째, 시스템이 그것의 데이터와 자신만의 제어 경로를 동시에 진행함에 따라, NCL 설계의 복잡성이 상당히 줄어든다. 둘째, NCL 회로들은 가능한 최대로 최적화된 주파수에서 동작하는 능력을 가지고 있는데, 이것은 데이터와 제어 신호 전파의 지연에 영향을 받는다. 보다 작은 지연은 출력이 더 빨리 생성되도록 한다. 셋째, NCL 회로들은 특정한 장애 허용(fault-tolerance)을 가진다. 이러한 NCL 이점에도 불구하고, 기존의 NCL 게이트는 최적화가 되지 않았기 때문에 회로 성능, 동적 전력, 누설 전력 등에 대한 완전한 해결책을 제시하지 못하고 있다[3-5].

따라서 본 논문에서는 기존의 static NCL 및 MTNCL (Multi-

¹ 대구대학교 전자공학과(Department of Electronic Engineering, Daegu University)

Engineering B.D. #5-5307, Daegu University, Daegudae-ro 201, Jillyang, Gyeongsan, 38453, Korea

² 대구대학교 전자공학과(Department of Electronic Engineering, Daegu University)

Engineering B.D. #5-5307, Daegu University, Daegudae-ro 201, Jillyang, Gyeongsan, 38453, Korea

*Corresponding author: kkkim@daegu.ac.kr

(Received: May 20, 2017, Revised: May 24, 2017, Accepted: May 26, 2017)

This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/bync/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Threshold NCL)[6]과는 다르게 회로의 성능, 전력을 모두 고려한 새로운 NCL 게이트를 제안하고, 제안된 NCL 게이트 라이브러리를 기반으로 저 전력 곱셈기를 PTM 45 nm 공정을 사용하여 공급전압이 0.5V인 환경에서 설계하고 구현하였다. 구현된 곱셈기의 결과는 기존의 static NCL 방식과 MTNCL 방식의 곱셈기를 지연, 전력, 에너지에 관해서 비교하였다.

본 논문의 구성은 다음과 같다. 2 장에서는 기본적인 NCL 비동기 회로의 개념에 대해서 설명하였다. 3 장에서는 제안된 NCL 게이트 구조와 NCL 설계 흐름에 대해서 설명하였으며, 4 장에서는 실험결과를 보여주며 5장에서 결론을 맺는다.

2. NCL 비동기 회로

Null convention logic(이하 NCL)은 비동기 회로 설계 방법 중 하나이다. NCL 회로는 self-timed 논리이므로 최악의 경우의 경로지연 분석과 제어신호의 지연을 맞추는 것을 요구하지 않는다. DATA와 DATA 사이에 NULL 신호가 포함되어 동작하는데, 이 때문에 Null Convention Logic이라 불리게 되었다. NCL 회로의 장점은 전역 클럭이 없고, 노이즈에 강하며, 낮은 전자파 간섭을 가지고, 저전력을 가질 수 있는 장점이 있다[3].

NCL 회로의 신호(signal)는 이중 회선 인코딩(dual rail encoding) 방법을 이용한 Dual-rail-logic을 사용한다. Dual-rail-logic 신호 D는 two wire (D0, D1)로 구성되어 있다. 신호의 상태는 {DATA0, DATA1, NULL}로 표시한다. 여기서 DATA0 상태는 (D0=1, D1=0), DATA1 상태는 (D0=0, D1=1), NULL 상태는 (D0=0, D1=0)을 나타낸다. NULL 상태는 D의 값이 아직 이용 가능하지 않은 상태를 표현한다. Dual-rail-logic은 상호 배타적인 특성을 가지고 있으므로 동시에 (D0=1, D1=1)을 나타낼 수 없다. 따라서, 두 개의 와이어(wire)가 (D0=1, D1=1)일 때의 상태는 illegal state로 나타낸다. Table 1은 Dual-rail-logic의 상태를 정리한 것이다[3].

NCL 회로의 설계는 기본적으로 설계된 27개의 NCL 게이트를 바탕으로 설계합니다. 이 27개의 NCL 게이트는 자주 사용되는 boolean function을 기준으로 설계된다. 모든 NCL 게이트는 히스테리시스(hysteresis) 특성에 따른 상태유지(state-holding) 상태를 가지고 있고, NCL 게이트의 심볼 표현은 Fig. 1(a)와 같이 나타내고 THmn 게이트라고 한다. 여기서, n은 입

Table 1. Dual-rail encoding

	DATA0	DATA1	NULL	Illegal
Rail0	1	0	0	1
Rail1	0	1	0	1

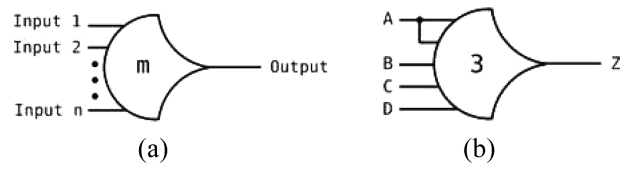


Fig. 1. (a) THmn threshold gate. (b) TH34w2 threshold gate.

력의 개수, m은 문턱(threshold) 값을 나타내며, 문턱은 입력 n이 있을 때 최소 m개의 입력이 변경되기 전까지 출력에 이전의 상태를 유지하도록 한다. 다른 표현으로 무게 가중치 문턱 (weighted threshold) 게이트로 불리며, 가중치는 하나의 신호가 앞에서 설명한 문턱 값을 계산할 때 몇 개의 역할을 하는지를 나타낸다. 심볼 표현은 Fig. 4와 같이 나타내고, 여기서 w는 가중치 문턱 게이트를 나타낸다. 예로써 Fig. 1(b)의 TH34w2 게이트는 입력 n=4이고, threshold=3, weighted threshold=2를 나타낸다. 즉, 입력 4개 중에 최소 3개의 신호가 변해야 출력이 바뀌며, 그 중 신호 A는 두 개의 신호가 중치를 가진다는 것을 나타낸다. 즉, NCL 게이트에 High 상태 출력을 나타내려면, 입력 B, C, D에 모두 High 신호가 가해져야 한다. 그 외의 신호에서는 이전의 상태를 유지하는 히스테리시스 상태 유지 특성을 가진다[3].

3. 새로운 NCL 게이트

대표적인 NCL 게이트 구조로는 static NCL 이 있다. Fig. 2는 TH23 게이트의 트랜지스터 구조이다. static NCL 게이트 구조는 4개의 트랜지스터 네트워크 (set, reset, hold one, hold zero)로 구성되며, set과 reset 네트워크는 27개의 기본 NCL 게이트의 함수를 결정하고, hold one과 hold zero 네트워크는 게이트에 새로운 입력이 올 때까지 출력의 상태 정보를 유지하기 때문에 static NCL 구조는 다른 게이트 구조에 비해서 가장 안정적인 동작과 빠른 스피드를 가진다. 하지만, static NCL 구조는 회로가 복잡하고 사용되는 트랜지스터들의 사이즈가 크고, 이로 인해 소모되는 전력이 크다는 단점이 있다.

Fig. 3은 MTNCL 방식의 TH23 게이트 구조이다. 기존의 전력 게이팅 방식을 결합한 MTNCL TH23 게이트 구조는 2개의 파워 스위치를 사용하고 있다. 파워스위치 PM1은 높은 문턱 전압을 가지며, NM2는 낮은 문턱전압을 가지고 hold 네트워크 구조는 높은 문턱전압을 가진다. 이는 zero로 hold하기 위한 구조이기 때문에 높은 문턱전압을 가진 트랜지스터들을 사용하여 전력소모를 줄이기 위한 방법이다. set 네트워크 구조의 최 하단 트랜지스터들은 높은 트랜지스터 구조를 사용하며 그 외의 트랜지스터들은 낮은 문턱전압을 가진 트랜지스터 구조를 사용한다. Sleep 모드일 때 누설전류를 줄이고 active 일 때 스피드

를 향상시키기 위한 방법으로 다중 문턱전압을 사용했다. 하지만, reset 네트워크의 막대한 PMOS의 트랜지스터들로 하여 MTNCL 게이트 구조는 많은 면적과 상대적인 전력소모를 요구하고 있다[6].

이상의 NCL 게이트들은 서로 장단점을 가지고 있으며, 공통적으로 면적, 전력소모 및 누설전류 등의 단점을 가지고 있다. 이런 문제를 해결하기 위해 본 논문에서는 새로운 구조의 NCL 게이트를 제안하고자 한다.

Fig. 4는 본 논문에서 제안한 TH23 게이트 구조이다. 보이는 구조와 같이 set 네트워크는 static NCL 과 MTNCL과 동일하며 hold 네트워크는 단 2개의 낮은 문턱전압을 가진 트랜지스터 구조이다. sleep1 신호는 sleep2 신호보다 먼저 들어오며 sleep으로 들어가는 인버터 체인으로 시간차를 컨트롤 할 수 있다.

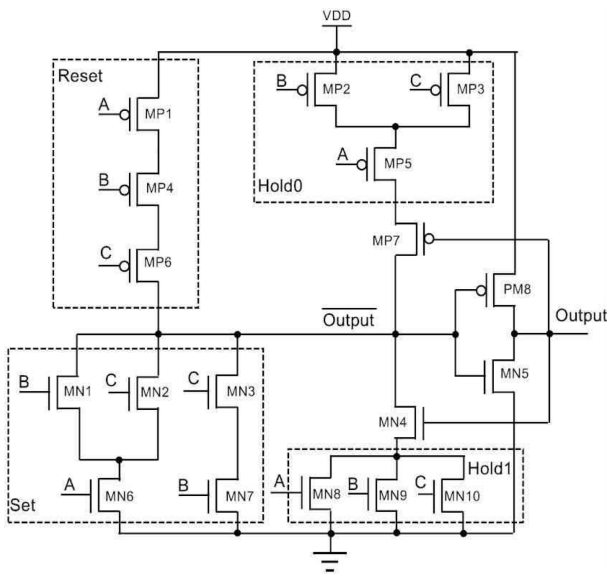


Fig. 2. Static NCL TH23 gate[6].

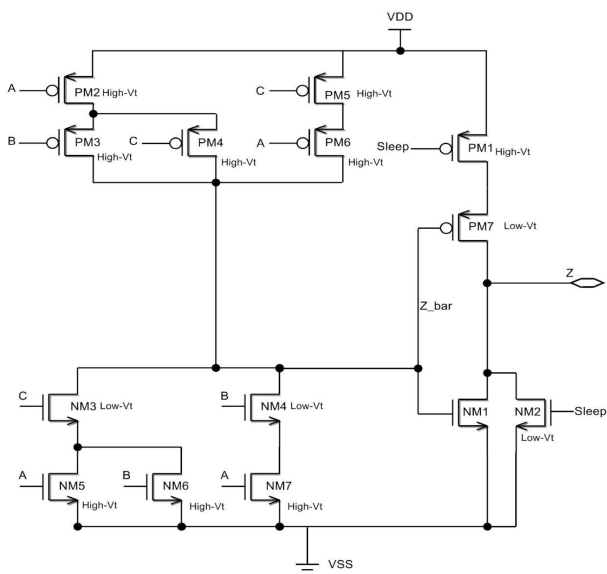


Fig. 3. MTNCL TH23 gate[6].

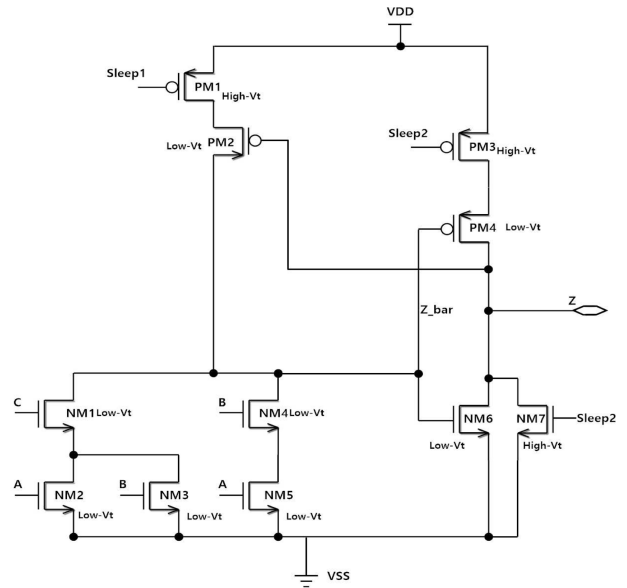


Fig. 4. Proposed new NCL TH23 gate.

제안된 NCL TH23 게이트의 동작은 크게 2가지로 구분되며, 구체적인 동작은 아래와 같다.

1) Active 상태: Sleep1 신호는 Sleep2 신호보다 먼저 들어오며 set network를 활성화 시킨다. Sleep2 신호가 Active 되면 출력은 set 네트워크에 저장되어 있던 결과를 내보낸다. 피드백 PMOS PM2에 의한 hold 값으로 인하여 set 네트워크와 인버터단의 경쟁구조를 없애주기 위해서 sleep1 신호는 sleep2 신호보다 빨리 들어와야 한다.

2) Sleep 상태: Sleep 상태일 때 NMOS NM7는 노드 Z_bar를 강제로 zero로 풀다운 시킴으로써 노드 Z_bar와 Z를 똑 같은 출력 0으로 만든다. 이는 Sleep 모드일 때 누설전류를 줄이기 위한 방법이며 저전압에서 상대적으로 증가되는 누설전류를 줄일 수 있다.

제안된 저 전력 NCL 회로 설계 방법을 기본 27개 셀에 적용한 NCL 시스템 구조는 Fig. 5이다. 시스템 구조에서 같은 색깔의 NCL 레지스터 블록, NCL 로직 블록, Completion 블록이 하나의 전체 블록으로 이루어지며 Completion블록의 Ko신호에 의해서 이 3개 블록의 On/Off 상태가 결정된다. 즉 데이터가 2개 단을 지난 후에 도착하고, 다음 단에서 받을 준비가 되었다는 신호가 Completion 블록에서 오면 3개 블록이 On 상태가 된다. 현재 데이터가 2개 단을 지난 블록에 도착하면 현재 블록은 Completion 블록에서 오는 Sleep 명령을 받게 되며 휴면상태로 된다. 전체 시스템은 DATA-Sleep의 흐름으로 진행하게 되며 데이터를 안전하게 전달하기 위한 2개단의 흐름은 다소 지연이 늘어날 수 있지만 파워 스위치에 의한 휴면 상태가 매번 반복되므로 전체 전력을 크게 줄일 수 있다.

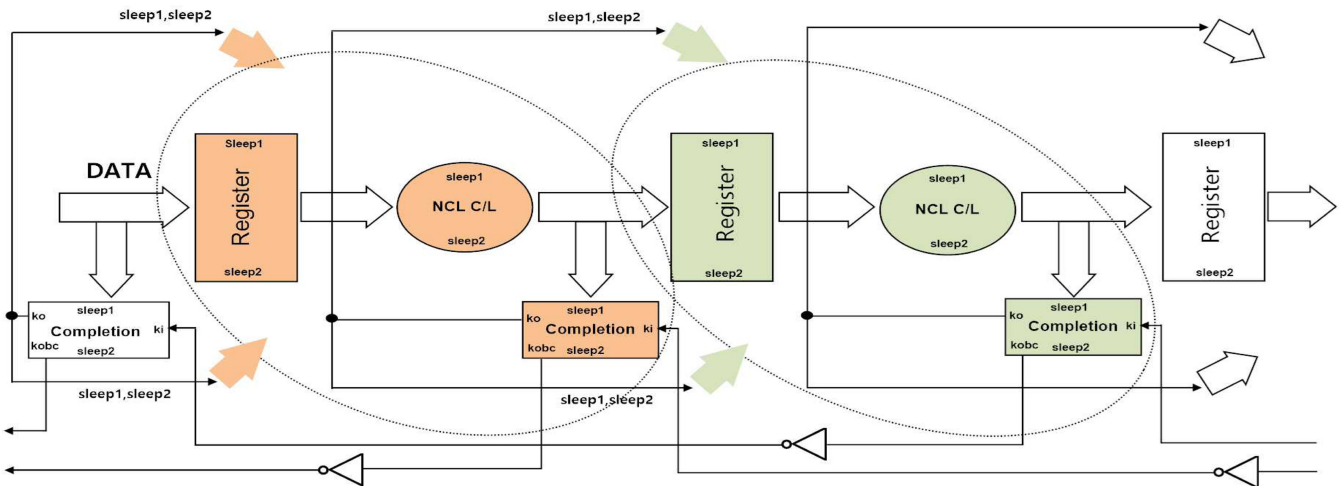


Fig. 5. NCL design flow.

4. 실험

제안된 저 전력 NCL 회로들은 PTM 45nm 공정으로 Cadence 와 Hspice 툴을 사용하여 설계 및 구현되었다. 구현된 비동기 방식의 곱셈기의 지연, 동적 전력, 누설 전력, 에너지, 사이즈에 의해서 Static NCL과 MTNCL과 비교하였다. Table 2는 공급전압이 1.0 V일 때의 실험결과이며 Table 3은 공급전압이 0.5 V일 때의 실험결과이다. 데이터 주기가 빠른 즉 각 스테이지 마다 데이터가 있는 케이스에서 static NCL 곱셈기의 지연은 MTNCL, 제안된 곱셈기보다 1-3배 빠르지만 동적 전력, 누설전력, 에너지 등 면에서 모두 증가를 보여주었다. 제안된 곱셈기는 MTNCL 보다 동적 전력에서는 50%가량 감소하였으며 에너지는 30% 가량 감소하였고 누설전력은 2.5배가량 감소하였다. 데이터 주기가 느린 즉 첫 번째 출력이 지나간 후에 두 번째 입력 데이터

Table 2. Comparison with the simulation results with conventional NCL gate and MTNCL gate

VDD=1.0V	Static NCL	MTNCL	new NCL
Delay(sec)	5.15E-09	5.15E-09	5.15E-09
Average Power (W)	6.45E-04	3.75E-04	1.75E-04
Leakage(A)	2.10E-05	3.44E-06	9.88E-07
Energy(J)	6.29E-11	3.66E-11	1.71E-11

Table 3. Comparison with the simulation results with conventional NCL gate and MTNCL gate.(VDD = 0.5V)

VDD=0.5V	Static NCL	MTNCL	new NCL
Delay(sec)	7.70E-08	7.70E-08	7.70E-08
Average Power(W)	1.23E-05	6.20E-06	4.36E-06
Leakage(A)	2.53E-06	4.29E-07	1.46E-07
Energy(J)	1.80E-11	9.42E-12	6.53E-12

가 들어가는 케이스에서 제안된 곱셈기의 지연은 기존의 static NCL과 MTNCL과 같으며 동적 전력과 에너지는 약 30% 감소 되었고 누설 전류는 약 3배 감소하였다.

마지막으로 곱셈기의 사이즈는 각각 제안된 NCL 방식의 곱셈기가 677 um, MTNCL 방식의 곱셈기는 933 um, static NCL 방식의 곱셈기는 2025 um이다. 트랜지스터의 개수는 각각 제안된 NCL 방식의 곱셈기가 3376개, MTNCL 방식의 곱셈기는 3568개, static NCL 방식의 곱셈기는 5322개이다. 제안된 NCL 방식의 곱셈기는 MTNCL 방식과 기존의 static NCL 방식보다 30%, 3배이상의 감소를 보여주며 트랜지스터의 개수도 상대적으로 감소하였다.

5. 결론

본 논문에서는 기존의 static NCL 및 MTNCL (Multi-Threshold NCL) 과는 다르게 회로의 성능, 전력 및 사이즈를 모두 고려한 새로운 NCL 게이트를 제안하고, 제안된 NCL 게이트 라이브러리를 기반으로 저 전력 곱셈기를 PTM 45 nm 공정을 사용하여 공급전압이 0.5V인 환경에서 설계하고 구현하였다. 구현된 곱셈기는 MTNCL 방식의 곱셈기보다 지연, 소모 전력, 에너지, 누설 전류에서 향상된 결과를 보여준다. 따라서, 본 논문에서 제안한 저 전력 비동기식 설계 방식은 저 전력, 고 신뢰도를 요구하는 IoT 시스템에서 요구되는 설계방식이 될 것이다.

감사의 글

이 논문은 대구대학교 연구장학기금(연구조교) 지원으로 수행되었습니다.

REFERENCES

- [1] Huajun Chi, Sangman Kim, and Jusung Park, "Mixed Dual-rail Data Encoding Method Proposal and Verification for Low Power Asynchronous System Design," *Journal of IEEK*, Vol. 51, No 7, pp. 66-102, 2014.
- [2] Myeong-Hoon Oh, "Design of QDI Model Based Encoder/Decoder Circuits for Low Delay-Power Product Data Transfers in GALS Systems," *Journal of IEEK (SD)*, Vol. 43, No. 1, pp. 27-37, 2006.
- [3] Scott C. Smith, Jia Di, "Designing Asynchronous Circuits using NULL Convention Logic (NCL)," Morgan & Claypool Publishers, 2009.
- [4] F. A. Parsan, W. K. Al-Assadi, S. C. Smith, "Gate Mapping Automation for Asynchronous NULL Convention Logic Circuits," *IEEE Trans. on VLSI Systems*, Vol. 22, Issue 1, pp.99-112, Jan. 2014.
- [5] Kyung Ki Kim, "Design and Implementation of low power ALU based on NCL (Null Convention Logic)," *Journal of the Korea Industrial Information System Society*, Vol. 18, No. 5, pp. 59-65, 2013.
- [6] Zhou, L.; Parameswaran, R.; Parsan, F.A.; Smith, S.C.; Di, J. Multi-Threshold NULL Convention Logic (MTNCL): An ultra-low power asynchronous circuit design methodology. *J. Low Power Electron. Appl.* 2015, 5, 81-100.