

<학술논문>

DOI <https://doi.org/10.3795/KSME-A.2017.41.6.443>

ISSN 1226-4873(Print)
2288-5226(Online)

수치해석을 이용한 구리기둥 범프 플립칩 패키지의 열압착 접합 공정 시 발생하는 휨 연구

권오영* · 정훈선** · 이정훈** · 좌성훈***

* 서울과학기술대학교 대학원 스마트생산융합시스템공학과

** 서울과학기술대학교 나노IT디자인 융합기술대학원

Numerical Analysis of Warpage Induced by Thermo-Compression Bonding Process of Cu Pillar Bump Flip Chip Package

Oh Young Kwon*, Hoon Sun Jung**, Jung Hoon Lee** and Sung-Hoon Choa***

* Dept. of Manufacturing System and Design Engineering, Seoul Nat'l Univ. of Science and Technology

** Graduate School of NID Fusion Technology, Seoul Nat'l Univ. of Science and Technology

(Received August 8, 2016 ; Revised January 15, 2017 ; Accepted January 23, 2017)

Key Words: Flip Chip(플립 칩), Copper Pillar Bump(구리기둥 범프), Thermal Compression Bonding(열압착
본딩), Warpage(휨), Numerical Analysis(수치해석)

초록: 반도체 플립칩 패키지에서 구리기둥 범프 기술은 미세 피치 및 높은 I/O 밀도로 인해 기존의 솔더 범프 접합 기술을 대체하는 중이다. 그러나 구리기둥 범프는 리플로우 접합 공정 사용 시, 구리 범프의 높은 강성으로 인해 패키지에 높은 응력을 초래한다. 따라서 최근에 플립칩 공정에서 발생하는 패키지의 높은 응력 및 휨을 감소시키기 위해 열압착 공정 기술이 시도되고 있다. 본 연구에서는 플립칩 패키지의 열압착 공정과 리플로우 공정에서 발생하는 휨에 대해 수치해석을 이용하여 분석하였다. 패키지의 휨 최소화를 위한 본딩 공정 조건 최적화를 위해 본딩 톨 및 스테이지의 온도, 본딩 압력에 대한 휨 영향을 검토하였다. 또한 칩과 기판의 면적 및 두께가 패키지의 휨에 주는 영향을 분석하였다. 이를 통해, 향후 미세피치 접합부 형성 시 휨 및 응력을 최소화하기 위한 가이드라인을 제시하고자 하였다.

Abstract: In flip chip technology, the conventional solder bump has been replaced with a copper (Cu) pillar bump owing to its higher input/output (I/O) density, finer pitch, and higher reliability. However, Cu pillar bump technology faces several issues, such as interconnect shorting and higher low-k stress due to stiffer Cu pillar structure when the conventional reflow process is used. Therefore, the thermal compression bonding (TCB) process has been adopted in the flip chip attachment process in order to reduce the package warpage and stress. In this study, we investigated the package warpage induced during the TCB process using a numerical analysis. The warpage of the TCB process was compared with that of the reflow process.

1. 서 론

최근, 노트북, 스마트폰, 태블릿PC 등의 휴대용 전자기기의 급격한 발전으로 인하여 반도체 패키지의 저전력, 고성능, 경량화 및 소형화가 크게 요구되고 있다. 이에 따라, 솔더 범프(solder bump)를 사용하여 칩과 기판을 전기적으로 연결

시키는 공정 기술인 플립칩 접합(flip-chip bonding) 기술이 전기적 성능 향상, 폼팩터(form factor) 감소와 배선 밀도 증가 등의 장점으로 와이어 본딩(wire bonding)에 비해 점점 중요성이 대두되고 있다.⁽¹⁾ 그러나 반도체 패키지의 고성능 및 소형화의 추세로 솔더 범프 피치(pitch)가 점점 감소하게 되어 약 150 μm 피치 이하의 솔더 범프를 형성하게 되면, 솔더 리플로우(solder reflow) 과정에서 솔더가 녹아 인접한 솔더와 서로 브리징

† Corresponding Author, shchoa@seoultech.ac.kr

© 2017 The Korean Society of Mechanical Engineers

(bridging)이 발생하여 전기적 합선(shorting)이 되는 문제가 발생한다.^(2,3) 이러한 기술적 한계를 해결하기 위하여 수 년 전부터 열과 전기적으로 우수한 특성을 가진 구리기둥 범프(copper pillar bump)의 개발이 진행되어 왔으며, 최근 수년 사이 솔더 범프 대신 구리기둥 범프로 대체되고 있는 실정이다.⁽⁴⁻⁸⁾

구리기둥 범프는 솔더 범프에 비해 강도가 높고, 일렉트로마이그레이션(electromigration)에 대한 저항성이 우수하며, 높은 범프 종횡비(aspect ratio)로 형성하는 것이 가능하기 때문에, 현재 최소 20 μm 의 범프 피치와 같은 초미세피치 형성이 가능하다고 보고되고 있다.^(2,5) 범프 피치가 감소하면 패키지 집적도가 증가하며 칩에서 한 번에 처리할 수 있는 I/O의 수가 증가하게 된다. 구리기둥 범프는 솔더에 비하여 신뢰성 측면에서도 유리하다고 알려져 있다.^(2,7) 또한 저항이 솔더보다 낮기 때문에 구리기둥 범프의 발열량이 비교적 적어 일렉트로마이그레이션 문제가 감소하고, 범프 간 전압 강하가 줄어들어 전력 효율은 증가한다. 그리고 구리의 열전도 특성이 솔더 대비 우수하기 때문에 구리기둥 범프를 사용한 패키지의 방열 특성도 향상된다고 알려져 있다. 이는 구리기둥 범프가 고전류를 사용하는 패키지에 적합하다는 것을 의미한다. 한편 비용적 측면으로 구리기둥 범프는 솔더 범프보다 고가이지만, Au 스타드 범프(stud bump)에 비해서 저가이며, 우수한 전기적 성능과 집적 밀도를 가지고 있어 플립칩 기술 발전을 위한 핵심기술로 각광받고 있다.^(8,9)

기존에 구리기둥 범프를 접합하는 공정은 주로 리플로우 접합(reflow bonding) 공정이 사용되고 있었다. 그러나, 구리기둥 범프 간의 간격, 즉 범프 피치가 100 μm 이하로 감소할 경우 칩과 PCB 기판의 정렬도 문제, 칩에 가해지는 열응력(thermo-mechanical stress)의 증가 및 배선 간의 단락과 같은 불량이 발생한다. 이러한 문제를 해결하기 위해 최근 열압착(thermo-compression bonding, TCB) 공정 기술이 제시되어 개발되고 있는 추세이다.^(6,10) 구리기둥 범프의 리플로우 접합 공정 중에 열팽창계수(coefficient of thermal expansion, CTE) 불일치에 의한 열응력이 발생하게 되는데, 이는 패키지의 휨(warping)을 야기시킨다. 이러한 열응력에 의한 휨은 칩에 존재하는

극저유전율층(extreme low-k layer)의 파괴, Al 패드(pad)와 UBM(under bump metallization) 층 및 구리 배선(Cu trace)의 박리(delamination) 등 여러 문제를 발생 시킨다.⁽⁸⁾ 열압착 공정은 이러한 문제들을 해결하기 위해 제안되었으며, 기판 및 칩에 가해지는 온도가 비교적 낮기 때문에 공정 시 발생하는 열응력 및 휨을 어느 정도 감소시킬 수 있다고 예측하고 있다.

반도체 패키지는 여러 고온의 공정 단계를 거치면서 패키지를 구성하고 있는 기판과 칩, 접합부 재료들 간의 열팽창계수 불일치로 인해 패키지의 휨이 발생한다. 과도한 휨은 패키지 보드 실장 등의 후속 공정 영향을 미치며, 패키지의 파괴 등 여러 신뢰성 문제를 일으킨다.^(11,12) 따라서 패키지의 휨을 가능한 최소화해야 하며, 이를 예측하는 기술도 매우 중요하다.

Addagarla 등은⁽¹³⁾ 기존 솔더 범프를 사용한 패키지의 리플로우 공정에서 발생한 휨에 대해서 유한요소해석 연구를 수행하였다. 또한 Hsieh 등은⁽¹⁴⁾ 구리기둥 범프와 솔더 캡으로 이루어진 접합부를 가진 패키지에 대해서 리플로우 공정 시 발생하는 휨과 응력에 대해서 연구를 수행하였다. Zhang 등은⁽¹⁵⁾ COG(chip on glass) 패키지의 열압착 공정에 대한 휨의 경향을 분석하기 위해 열 기계적 수치해석을 수행하였다. Lee 등은⁽¹⁶⁾ Cu/low-k에 발생하는 응력 최소화를 위한 구리기둥 범프 형상 최적화에 대해 연구를 진행하였다. 하지만, 유한요소해석(finite element method)을 통해 미세피치 구리기둥 범프를 사용한 반도체 패키지에 대해서 열압착 공정 후 발생하는 열응력 및 휨에 대해 해석한 연구는 현재까지 매우 미흡한 실정이다. 이는 열압착 공정의 복잡성으로 인한 수치해석의 난이도 때문이다. 기존 리플로우 공정은 패키지 전체에 일정한 열이 가해지는 반면에, 열압착 공정은 열과 압력이 동시에 가해지고, 가해지는 열 분포도 일정하지 않다. 따라서 열압착 공정에서 발생한 열응력과 휨을 해석하기 위해서는 본딩 온도, 본딩 압력, 열전달 및 열기계적 응력을 모두 고려한 수치해석이 필요하다.

본 연구에서는 구리기둥 범프를 사용한 플립칩 패키지의 열압착 공정에서 발생하는 휨의 경향을 수치해석을 사용하여 관찰하였다. 또한 열압착 공정과 리플로우 공정에서 발생하는 패키지의 휨을 비교 분석하였다. 특히, 패키지의 휨을 최소화

하기 위하여, 열압착 공정에서의 주요 인자인 본딩 툴(bonding tool) 및 본딩 스테이지(bonding stage)의 온도와 본딩 압력(bonding force)의 변화에 따른 힘의 경향을 분석하였다. 또한 패키지를 구성하는 칩과 PCB 기판의 면적 및 두께 변화에 따른 패키지의 힘을 분석하였다. 이를 통해 플립칩 패키지에서 구리기둥 범프와 열압착 공정을 이용한 접합부 형성 시, 패키지의 힘을 최소화하

기 위한 가이드라인을 제시하고자 하였다.

2. 구리기둥 범프 접합 공정

실리콘 칩을 PCB 기판에 접합시키는 공정은 크게 리플로우 공정 및 열압착 공정이 있다. 우선 종래에 전통적으로 사용되고 있는 리플로우 공정에 대해서 Fig. 1에 리플로우 공정 순서도를 개략적으로 나타내었다. 리플로우 공정은 우선 플럭스(flux) 도포 공정 및 기판과 칩(혹은 다이)의 정렬 및 안착이 진행되고(a), 리플로우 오븐에서 온도를 솔더의 용융 온도까지 상승시킨 후 솔더를 리플로우 시킨다(b). 그 후 언더필(underfill)을 도포하고(c), 언더필 경화 공정을 진행시킨다(d). 한편 Fig. 2는 열압착 공정에 대한 개략적인 개념도 및 순서도이다. 열압착 공정은 먼저 NCP(non conductive paste)를 기판에 도포한 후(a), 상부 본딩 툴(bonding tool)을 통해 칩을 PCB 기판에 정렬한 후(b), 본딩 툴에 적절한 열과 압력을 인가하여 접합한다(c). 접합 후에는 본딩 툴을 제거한다(d).

이때 열압착 공정에서는 NCP가 언더필의 역할을 수행하기 때문에 별도의 언더필 도포 및 경화 공정이 필요하지 않다.⁽¹⁷⁾ 접합 시의 본딩 압력은 구리기둥의 적절한 접합과 NCP의 균일한 도포 및 기공(void)을 최소화시키기 위하여 필요하다. 본딩 툴의 열은 솔더 리플로우 공정과 NCP의 경화를 위해 인가된다. 한편, 접합부 솔더는 기판과 접하고 있어 하부 본딩 스테이지(bonding stage)의 온도에 영향을 받기 때문에, 솔더의 온도를 고려하여 본딩 툴과 본딩 스테이지에 적절한 열 프로파일(profile)을 인가해야 한다. 따라서 열압착 공정에서의 공정 변수는 본딩 툴의 온도, 본딩 스테이지의 온도, 본딩 압력 및 온도가 인가되는 시간 등이 있다.^(18,19)

3. 유한요소 해석

전술한 바와 같이 열압착 공정에서의 열 인가 조건은 리플로우 공정과는 다르다. 즉, 리플로우 공정에서는 모든 부분이 동일 온도(리플로우 온도)로 인가되는 반면에, 열압착 공정은 기판 하부의 스테이지의 온도 및 본딩 툴의 온도가 각각 다르며, 본딩 툴의 온도를 증가시켜 구리기둥 접합부의 솔더를 용융하여 접합하게 된다. 또한 온

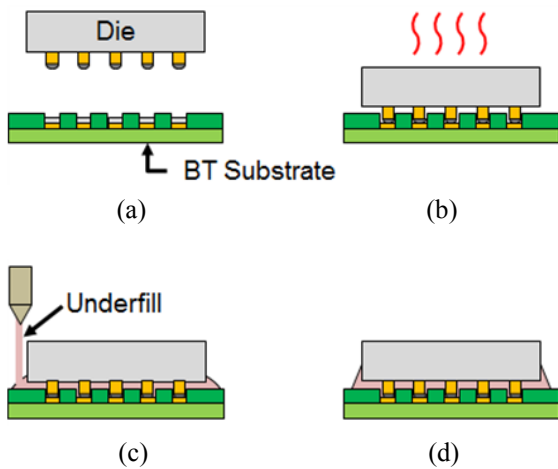


Fig. 1 Schematic drawing of the conventional reflow process. (a) Flux coating and alignment, (b) Solder reflow, (c) Underfilling and (d) Curing of underfill

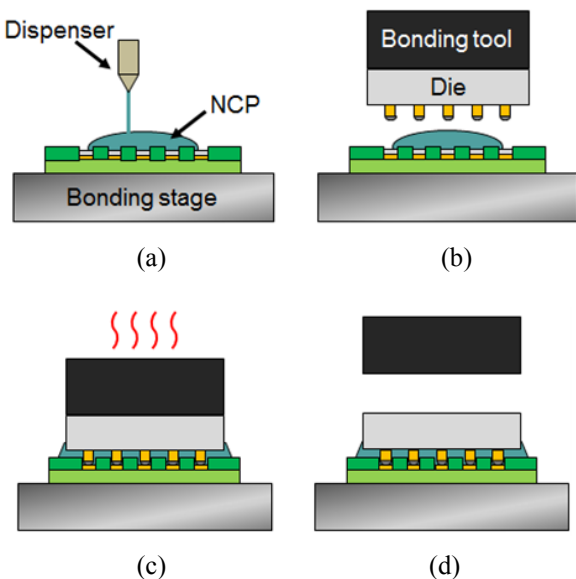


Fig. 2 Schematic drawing of thermal compression bonding process. (a) NCP dispensing, (b) Die placement and alignment, (c) Thermal compression bonding, (d) Bonding tool release

도를 인가함과 동시에 본딩 압력이 가해지게 된다. 따라서 하중 조건 적용 측면에서 열압착 공정을 모사하기 위한 수치해석의 난이도가 매우 높아진다. 본 연구에서는 열압착 공정에서 가해지는 본딩 온도, 압력 하중 조건을 모두 고려하여 수치해석을 수행하였다.

3.1 해석 모델

본 연구에서 사용된 미세피치 구리기둥 범프 플립칩 패키지의 개략적인 개념도가 Fig. 3에 나타나 있다. 해석에 사용된 패키지의 기본 구조는 2개의 구리층으로 구성된 150 μm 두께의 BT (Bismaleimide-Triazine) 기판(core 두께 : 70 μm)과 100 μm 두께의 실리콘 칩으로 구성되어 있으며, 기판과 칩 사이에 구리기둥 범프로 접합부가 형성되어 있다. 구리기둥 범프의 직경은 40 μm, 피치는 80 μm이며, 구리기둥 접합부의 높이는 60 μm이다. 실리콘 칩의 크기는 6×6 mm²이며, BT 기판의 크기는 10×10 mm²이다.

솔더는 Sn3.5Ag 솔더가 사용되었다. 해석 모델

Table 1 Dimension of each components in Cu pillar bump flip chip package used in this study

Item	Dimension
Chip	6 × 6 × 0.10 (mm ³)
Substrate	10 × 10 × 0.15 (mm ³)
Bump pitch	80 μm (peripheral) / 160 μm (center)
Stand-off height	60 μm
Bump diameter	40 μm
Cu bump height	30 μm
Solder bump height	10 μm
Cu pad	40 × 40 × 10 (μm ³)

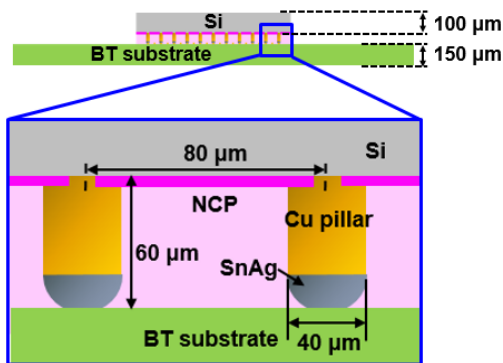


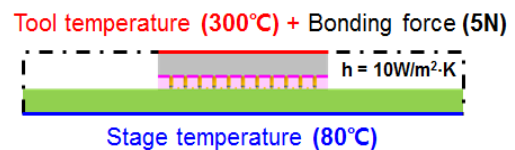
Fig. 3 Schematic drawing of Cu pillar bump flip chip package used in this study

에 사용된 자세한 패키지의 치수는 Table 1에 정리되어 있다.

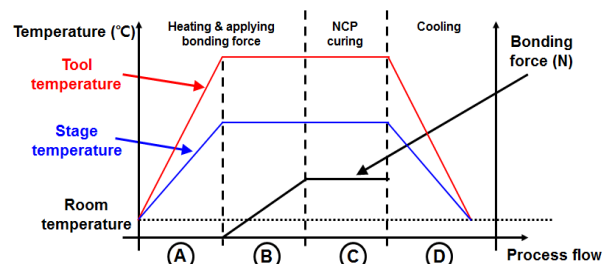
3.2 하중 조건 및 경계 조건

Fig. 4(a)에 열압착 공정 해석의 하중 조건에 대해 개략적으로 정리하였다. Fig. 4(b)에는 열압착 공정에서의 온도 및 압력 하중 조건 프로파일을 공정 시간에 따라 나타내었다. ㉠구간은 예열 구간으로서 본딩 툴의 온도를 300 °C, 기판 하부에 있는 본딩 스테이지 온도를 80 °C로 예열한다. ㉡구간에서는 본딩 툴 및 본딩 스테이지에 온도를 가한 후, 본딩 툴에 압력을 가하여 접합이 시작되며, 이때 접합력은 5 N으로 인가하였다. ㉢구간에서는 NCP의 경화(curing)가 시작되며 접합이 완료된다. ㉣구간에서는 접합 후 본딩 툴은 제거되며, 패키지는 상온인 25 °C로 냉각된다.

구리기둥 범프 플립칩 패키지의 칩 접합 공정은 리플로우 공정 및 열압착 공정에서 발생하는 패키지의 휨 경향에 대해 분석하기 위해서 범용 수치 해석 프로그램인 ANSYS를 사용하여 유한요소해석을 진행하였다. 패키지의 구조는 정 중앙부를 기준으로 대칭성을 가지고 있기 때문에, 1/4 대칭 모델을 사용하였으며, 휨 해석을 위하여 패키지 모델 하단 면 중심점의 x, y, z축 변위를 0으로 구속하였다. Fig. 5는 본 연구에서 사용한 미세피치 플립칩 패키지의 유한요소 모델링을 나타낸 것이다. 8절점 3차원 요소를 사용하였으며,



(a)



(b)

Fig. 4 Loading condition of thermal compression bonding: (a) Schematic drawing of bonding conditions, (b) Detailed process conditions including bonding temperature and force

Table 2 Material properties of various materials in Cu pillar bump flip chip package used in the finite element analysis

Material	Si	Cu	BT	Sn3.5 Ag	NCP
Young's modulus (GPa)	162.7	122	x 26 y 26 z 11	50	5.8
Poisson's ratio(ν)	0.28	0.35	x 0.39 y 0.39 z 0.11	0.4	0.4
Coefficient of thermal expansion (ppm/°C)	2.6	17	x 15 y 15 z 52	22	31
Thermal conductivity (W/m·K)	148	400	x 40 y 0.7	55	0.3

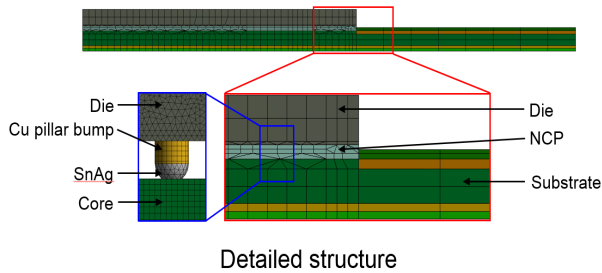


Fig. 5 Three-dimensional FEM mesh modeling of Cu pillar bump flip chip package used in this study

절점의 수는 약 95,412개, 요소의 수는 209,006개다.

NCP는 접합 전에 액체 상태, 접합 후에는 경화가 된 고체 상태로 물성이 다르기 때문에 이를 고려하기 위하여, NCP를 구성하고 있는 요소들에 대해 요소 생성법(element birth and death)을 이용하였다. 해석을 수행할 시에는 스트레스가 없다고 가정하는 온도인 스트레스-프리(stress-free) 온도를 Sn3.5Ag 솔더가 녹는 온도인 220 °C로 가정하였다. 또한 열전달 해석 시, 외부 공기와 접촉하고 있는 부분에 대해서는 10 W/m²·K를 대류 계수(convection coefficient)로 가정하였다. 한편, 리플로우 공정 해석에서의 온도 조건은 패키지 전체 부분에 걸쳐서 솔더의 용융온도인 220 °C로 상승시킨 후 접합이 완료된 후인 상온(25 °C)으로 냉각하는 조건이 사용되었다.

해석에 필요한 물성은 탄성 계수(E), 푸아송 비

Table 3 Anand's viscoplasticity of Sn3.5Ag

Parameter	Value	Meaning
S ₀ (MPa)	39.09	Initial deformation resistance
Q/R(1/K)	8900	Activation energy/universal gas constant
A(1/sec)	2.23e+4	Pre-exponential factor
ξ	6	Multiplier of stress
m	0.182	Strain rate sensitivity of stress
h ₀ (MPa)	3321.15	Hardening/softening constant
s^(MPa)	73.81	Coefficient for deformation resistance saturation
n	0.018	Strain rate sensitivity of saturation
a	1.82	Strain rate sensitivity of hardening or softening

(ν), 열팽창 계수(α) 및 열전도 계수이며, 해석에 사용된 물성은 Table 2와 같다. NCP는 Henkel사의 NCP이며 물성이 Table 2에 나타나 있다. 솔더의 경우 점소성(visco-plasticity) 거동을 고려하여 Anand 모델을 사용하였다.⁽²⁰⁾ Anand 모델은 9가지 상수로 점소성 특성을 나타내는데 Anand 모델에서 사용된 상수와 단위는 Table 3에 나타나 있다. BT를 제외한 모든 물질은 등방성 물성을 적용하였으며, BT는 직교이방성 물성(orthotropic properties)을 적용하였다.⁽²¹⁾ 구리는 소성변형을 고려한 탄소성(elasto-plastic) 물성을 적용하였으며, 이를 위해 사용된 모델은 이선형 등방 경화(bilinear isotropic hardening) 모델이다. 구리의 항복 강도(yield strength) 및 접선 계수(tangent modulus)는 각각 250, 650 MPa이다.⁽²²⁾

4. 수치해석 결과

4.1 열압착 공정 온도 최적화를 위한 열전달 해석

열압착 공정 시에 본딩 톨과 본딩 스테이지 온도의 최적화를 위하여 열전달 해석을 먼저 수행하였다. 본딩 톨과 본딩 스테이지에 가해지는 온도는 구리 접합부의 솔더를 가장 빠르고 효과적으로 접합시키기 위함이다. 즉, 본딩 톨의 온도가 너무 높을 경우 솔더는 쉽게 용융되지만 예열하는데 까지 걸리는 시간이 많이 걸리기 때문에 본딩 시간이 길어진다. 또한 온도가 너무 낮은 경우 솔더가 적절히 용융되지 않아 접합부의 불량을 초래한다. 본 연구에서는 본딩 톨의 온도는

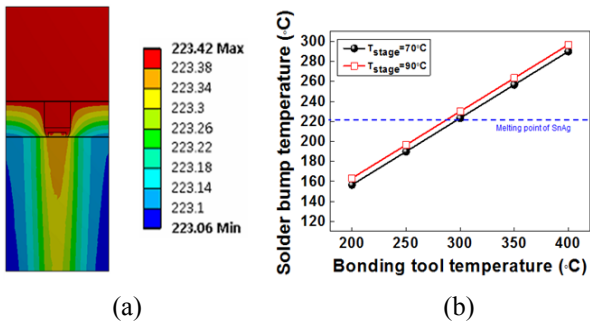


Fig. 6 Thermal steady-state analysis result of thermal compression bonding condition (a) Temperature distribution of Cu pillar bump area at the tool temperature of 300 °C and the stage temperature of 70, (b) Solder bump temperature for different bonding tool and bonding stage temperature conditions

200 °C에서 400 °C, 본딩 스테이지의 온도는 각각 70 °C, 90 °C일 때에 대해 열 분포를 분석하여 최적의 본딩 온도 조건을 구하고자 하였다.

실리콘 칩 상부의 본딩 틀과 기판 하부의 본딩 스테이지에는 각각 열접촉 저항(contact resistances)을 모사하기 위해 열대류 경계(thermal convection boundary) 조건을 사용하였으며, 열 대류 계수(thermal convection coefficient, h)는 50 W/m²·K로 설정하였다.⁽²³⁾

Fig. 6은 열전달 해석을 통해 얻어진 구리기둥 접합부의 온도분포 결과이다. Fig. 6(a)는 본딩 틀 온도가 300 °C, 본딩 스테이지 온도가 70 °C일 때의 온도 분포를 나타낸 것이다. 그림에서 솔더부의 온도는 대략 223 °C로 솔더 용융 온도에 도달함을 알 수 있다. 또한 Fig. 6(b)는 본딩 틀의 온도를 200 °C에서 400 °C까지 증가시키고, 본딩 스테이지의 온도가 각각 70 °C, 90 °C일 때의 솔더부 온도에 대해 해석한 결과이다.

본딩 스테이지의 온도 70 °C와 90 °C 사이에서의 솔더 온도의 차이는 그리 크지 않음을 알 수 있다. 또한 스테이지의 온도가 낮으면 솔더의 용융이 잘 안될 가능성이 있고, 너무 높으면 패키지의 휨이 증가할 수 있기 때문에 적절한 본딩 스테이지의 온도는 80 °C로 판단된다. 본딩 틀의 온도가 300 °C 이하일 때는 솔더의 온도가 220 °C 이하이기 때문에, 솔더의 용융이 일어나지 않아 접합부 형성이 되지 않을 가능성이 존재한다. 한편, 본딩 틀의 온도가 충분히 높은 400 °C일 때는 솔더부의 온도가 280 °C 이상이 되며, 이와 같은 경우, 솔더의 용융은 일어나기는 하지만 본딩 틀

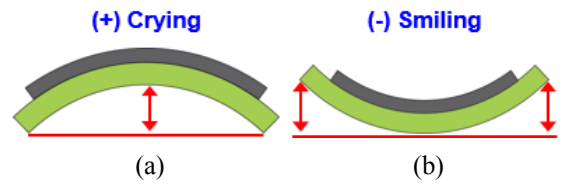


Fig. 7 Two modes of warpage. (a) Crying mode, (b) Smiling mode

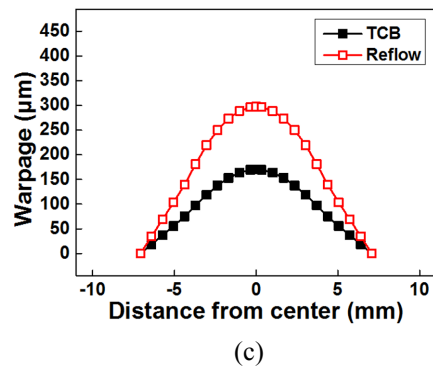
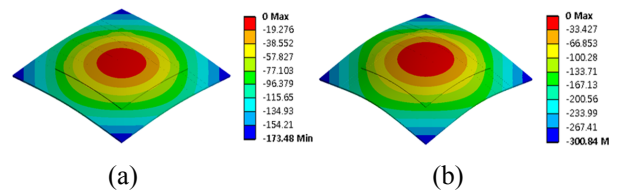


Fig. 8 Three-dimensional warpage contour plot of Cu pillar bump flip chip package. (a) Warpage of thermal compression bonding process, (b) Warpage of reflow process, (c) Comparison of the warpage results for each process

이 가열되는 데에 시간이 더 오래 걸려 접합 시간이 길어지기 때문에 적절하지 않다. 이에 따라 최적 본딩 온도는 본딩 틀의 온도가 300 °C, 본딩 스테이지의 온도가 80 °C인 것을 알 수 있었다.

4.2 칩 접합 공정에서 발생하는 휨 해석

최적 본딩 온도인 본딩 틀의 온도 300 °C, 본딩 스테이지의 온도 80 °C 조건에서 구리기둥 범프 접합 공정인 리플로우 공정과 열압착 공정에서 발생하는 패키지의 휨에 대해서 각각 검토하였다. Fig. 7에서 휨의 모드를 각각 나타내었다. 휨은 크게 두 가지 모드로 발생하며 crying 형상 (∩)을 (+)값, smiling (U) 형상을 (-)값으로 정의하였으며, 그 크기는 패키지 하부 중심점에서 대각선 방향 가장자리까지의 수직 방향(out-of-plane)의 변위 차이이다.⁽²⁴⁾

Fig. 8(a)와 Fig. 8(b)는 열압착 공정 및 리플로우 공정에 대한 휨의 형상을 각각 나타내고 있다. 휨에 의한 변형을 쉽게 확인하기 위하여, 휨에 의한 변형을 5배로 확대하여 표시하였다. 휨은 두 가지 공정에서 모두 *crying* 형상으로 변형되었으며, 열압착 공정에서의 휨은 $170\ \mu\text{m}$, 리플로우 공정에서는 $297\ \mu\text{m}$ 가 발생하였다. 통상적으로 대략 $10\ \text{mm}\times 10\ \text{mm}$ 칩을 reflow 공정으로 접합할 경우 $200\sim 300\ \mu\text{m}$ 의 휨이 발생하는 것으로 알려져 있다.^(9,19,21) 이 결과를 통해 열압착 공정에서의 휨이 리플로우 공정에서 발생한 휨 보다 약 57% 정도 적음을 알 수 있다.

리플로우 공정에서의 열은 패키지 전체에 인가된다. 반면, 열압착 공정에서는 고온의 열이 본딩틀을 통해 칩에 인가되고, 상대적으로 저온의 일정한 열이 본딩 스테이지를 통해 기판에 인가되기 때문에, 기판의 온도가 리플로우 공정에 비해 비교적 낮다. 따라서 상온으로 냉각 시 기판의 수축이 상대적으로 적다. 이로 인해, 칩과 기판과의 CTE 불일치로 인해 발생하는 휨 변형이 감소된 것으로 판단된다. 즉, 결론적으로 열압착 공정은 리플로우 공정에 비하여 패키지의 휨 변형이 적다. 이러한 경향은 Pan 등의⁽²⁵⁾ 실험에 의해서 확인된 바 있다. 패키지의 휨이 적게 발생하면서, 패키지에 가해지는 열응력도 적기 때문에 리플로우 공정에 비하여 신뢰성 측면에서 유리하다고 예측된다.

4.3 열압착 공정 조건 변화를 통한 휨 변화

본 장에서는 열압착 공정 조건의 변화가 패키지의 휨에 어떠한 영향을 주는지 관찰하였다. 변화시킨 공정 조건에는 본딩 틀 온도, 스테이지 온도 및 본딩 압력이다. Fig. 9에서 본딩 스테이지 온도 및 틀 온도 변화에 따른 패키지 휨의 크기를 비교하였다. 스테이지의 온도는 $80\ ^\circ\text{C}$ 와 $100\ ^\circ\text{C}$, 틀의 온도는 $250\ ^\circ\text{C}$, $300\ ^\circ\text{C}$, $350\ ^\circ\text{C}$ 로 각각 변화시켰다. 우선 스테이지 온도를 $80\ ^\circ\text{C}$ 에서 $100\ ^\circ\text{C}$ 로 $20\ ^\circ\text{C}$ 상승시켰을 때, 휨은 약 13% 증가하였다. 한편, 틀 온도가 $250\ ^\circ\text{C}$ 에서 $350\ ^\circ\text{C}$ 까지 $50\ ^\circ\text{C}$ 씩 상승할 때마다 휨은 약 6%씩 증가하였다. 즉, 본딩 스테이지의 온도가 틀 온도 보다 패키지의 휨의 변화에 더 민감하다는 것을 알 수 있다. 스테이지 온도는 PCB 기판의 예열을 위해 인가되며, 스테이지 온도가 낮아지면 패키지 휨은 감소하지만, NCP 내의 플럭스 활성화 및 솔더

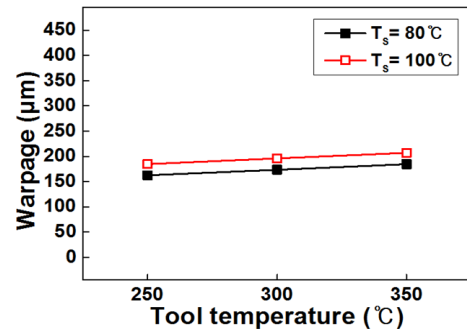


Fig. 9 Warpage results for different bonding tool and bonding stage temperatures (T_s) in thermal compression bonding process

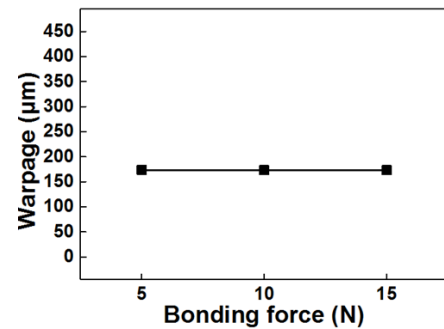


Fig. 10 Warpage results for different bonding forces in thermal compression bonding process

용융에 영향을 미칠 수 있기 때문에 본딩 스테이지의 온도 조건은 신중히 고려되어야 한다. 전술한 바와 같이 접합 시의 적절한 본딩 압력은 구리기둥 범프 접합 및 NCP의 균일한 도포에 필수적이며, 또한 접합부의 전체 높이(stand-off height)를 제어하기 위해 사용된다. Fig. 10에 본딩 압력을 5 N에서 15 N으로 5 N씩 증가시키면서 본딩 압력 변화에 따른 휨의 결과를 나타내었다. 해석 결과, 본딩 압력의 증가에 따른 패키지 휨의 변화는 거의 없는 것을 확인할 수 있었다. 이는, 본딩 압력이 칩 상부에 인가되어 접합이 완료된 후 상온으로 패키지가 냉각되는 과정에서 본딩 압력이 제거되기 때문이라고 판단된다. 즉, 본딩 압력은 패키지의 휨의 변화에 대한 영향이 거의 없다는 것을 확인하였다.

4.4 칩 면적의 영향

기준 패키지 모델에서 칩의 크기(면적)를 증가시키면서 패키지의 휨이 어떻게 변화하는지 해석하였다. 칩 면적이 4×4 , 6×6 , $8\times 8\ \text{mm}^2$ 로 증가됨에 따른 패키지의 휨 결과가 Fig. 11에 나타나 있다. 칩 면적이 4×4 에서 6×6 , $8\times 8\ \text{mm}^2$ 로 증가하면 열

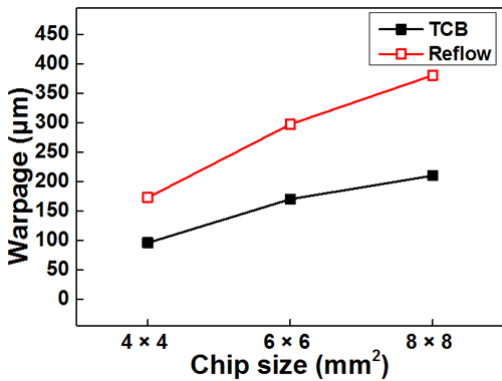


Fig. 11 Warpage results for different chip sizes in thermal compression bonding process and reflow process

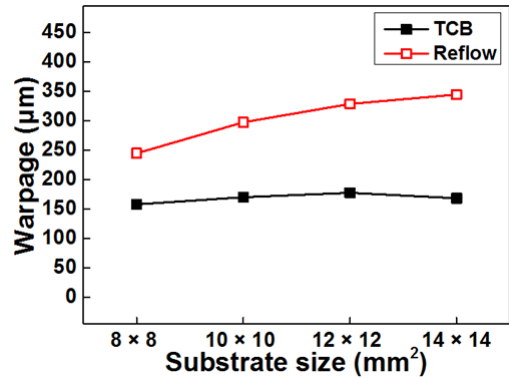


Fig. 13 Warpage results for different substrate sizes in thermal compression bonding process and reflow process

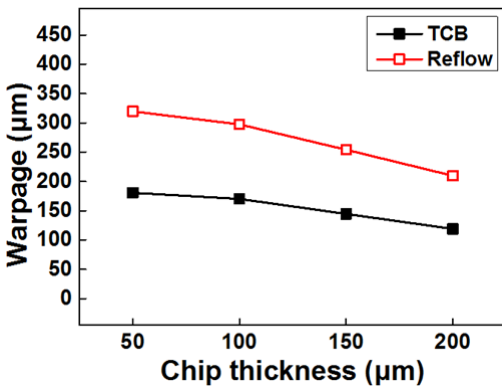


Fig. 12 Warpage results for different chip thicknesses in thermal compression bonding process and reflow process

압착 공정에서의 휨은 각각 96 μm, 170 μm, 210 μm 로 휨의 크기가 최대 119%로 크게 증가한다. 한편 리플로우 공정에서의 패키지의 휨은 173 μm, 297 μm, 380 μm으로 최대 약 120% 증가한다. 이는 칩이 커지면서, 칩에 해당하는 면적만큼 BT 기판과 패키지 및 본딩 접합부 구성 재료들 간의 열팽창계수 불일치가 그만큼 많이 증가하기 때문이다. 즉, 열압착 공정과 리플로우 공정에서 모두 칩 면적이 감소하면 휨은 감소하며, 칩 면적이 증가하면 휨은 증가함을 확인하였다.

4.5 칩 두께의 영향

실리콘 칩의 두께를 증가시키면서 패키지의 휨을 관찰하였다. Fig. 12는 칩의 두께가 50 μm에서 200 μm로 증가함에 따른 패키지의 휨 결과이다. 칩 두께가 50 μm에서 200 μm로 증가하면 열압착 공정에서 휨의 크기는 180 μm에서 119 μm으로 감소하고, 리플로우 공정에서의 휨은 320 μm에서

210 μm로 약 34%로 감소하였다. 두 공정에서 모두 동일한 경향을 확인하였으며, 칩의 두께를 200 μm까지 증가시켰을 때, 휨을 약 34%로 감소시킬 수 있었다. 이는 칩 두께가 증가하면서 패키지의 강성이 증가되면서 휨에 대한 저항이 증가하기 때문이다.

따라서 열압착 공정과 리플로우 공정에서 칩 두께를 증가시키면 패키지의 휨이 감소함을 알 수 있다. 그러나 현재 반도체 패키지에서 패키지 구조 전체의 두께는 지속적으로 감소되고 있는 추세이다. 그러므로 칩의 두께를 증가시켜 휨을 감소시키는 것은 효과적이지 못할 가능성이 높다.

4.6 기판 면적의 영향

다음은 BT 기판 크기(면적)에 따른 휨 경향을 관찰하였다. Fig. 13에 기판 면적을 8×8, 10×10, 12×12, 14×14 mm²으로 증가함에 따른 휨의 결과를 나타내었다. 열압착 공정에서 기판 면적이 8×8 mm²에서 12×12 mm²로 증가하면, 156 μm에서 177 μm로 약 13% 증가한다. 그러나 면적이 14×14 mm²로 증가하면 휨이 168 μm로 오히려 약간 감소한다. 이는 열압착 공정에서 기판의 면적이 증가할 때 열원, 즉 스테이지로부터 기판까지 도달하는 열량이 줄어들어 기판의 온도가 상대적으로 약간 감소하기 때문으로 판단된다. 물론 이 경우 기판의 크기가 증가한 만큼 본딩 툴 및 스테이지의 크기를 증가시키게 되면 휨도 약간 증가할 것으로 예측된다. 한편, 리플로우 공정에서의 기판 면적이 8×8 mm²에서 14×14 mm²로 증가하면, 245 μm에서 345 μm로 29% 증가한다. 즉, 기판 면적의 증가에 따

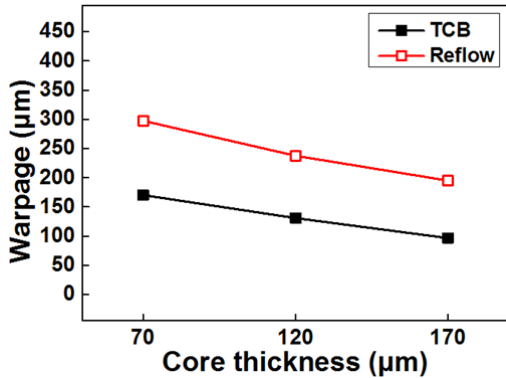


Fig. 14 Warpage results for different substrate core thickness in thermal compression bonding process and reflow process

른 휨은 열압착 공정에서 증가하다가 약간 감소하며, 리플로우 공정에서는 기판의 크기에 비례하여 패키지의 휨이 증가함을 확인하였다.

4.7 기판 core 두께의 영향

다음은 기존 패키지 모델에서 BT 기판의 core 두께만을 증가시키기에 따른 휨을 관찰하였다. Fig. 14는 BT 기판의 core 두께를 70, 120, 170 μm으로 각각 증가시키기에 따른 휨의 결과를 해석한 결과이다. 기판 core 두께가 70 μm에서 170 μm으로 증가함에 따라 열압착 공정에서는 휨의 크기가 172 μm에서 97 μm로 약 43%가 감소하였다. 한편, 리플로우 공정에서의 휨은 297 μm에서 195 μm로 약 34%가 감소하였다. 즉, 기판의 core 두께가 증가될 때, 패키지의 휨은 감소하는 것을 알 수 있다. 특히 열압착 공정에서 core 두께 증가에 따른 휨의 감소가 더 큼을 알 수 있다.

결과적으로 기판 core 두께가 증가하면서 기판의 강성이 증가하게 되며, 궁극적으로는 전체 패키지의 휨에 대한 저항이 증가하기 때문에 패키지 전체의 휨은 감소한다.

특히 수치해석을 통하여 휨을 최소화할 수 있는 기판의 두께를 설정해야 한다. 물론 기판의 두께를 증가시키면 전체 패키지의 두께가 증가되는 문제가 있기 때문에 이에 대한 최적화가 반드시 필요하다.

한편 열압착 공정에서 발생하는 휨으로 인한 솔더볼과 기판의 mis-alignment가 최근 이슈가 되고 있다.⁽²⁶⁾ 열팽창계수에 의하여 휨이 발생하며, 이러한 휨은 결국 솔더와 기판간의 mis-alignment를 발생시킨다. Fig. 15는 본 해석의 기본 모델에

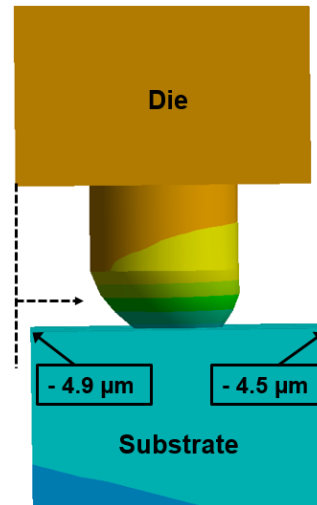


Fig. 15 Deformation behavior of Cu pillar bump structure after thermal compression bonding

대한 본딩 후에 솔더볼 및 기판의 변형을 나타내고 있다. 해석 결과 솔더볼과 기판은 최대 4.9 μm의 mis-alignment를 보여주고 있으며 솔더볼의 직경(40 μm)에 약 12%의 mis-alignment가 발생하였다. 그러나 실제 공정에서의 mis-alignment는 본딩 압력에 의한 칩의 미끄러짐, 장비의 alignment 정확도에 크게 영향을 받는다. 따라서 mis-alignment에 대한 영향에 대해서는 향후 연구로 진행할 예정이다.

5. 결 론

본 연구에서는 구리기둥 범프 플립칩 패키지의 칩 접합 공정인 열압착 공정과 리플로우 공정에서 발생하는 패키지의 휨에 대해 유한요소해석을 수행하였다. 열압착 공정의 최적 온도 조건을 도출하기 위하여 범프 모델의 열전달 해석을 진행하였으며, 접합 공정 조건 및 패키지 크기 변화 등을 통한 휨의 경향에 대해 분석하였다.

해석 결과, 솔더를 충분히 녹일 수 있는 열압착 공정의 본딩 온도의 최적 조건은 본딩 틀 온도가 약 300 °C, 본딩 스테이지 온도가 약 80 °C임을 알 수 있었다. 또한 열압착 공정에서 발생한 패키지 휨은 리플로우 공정 시와 비교하여 볼 때, 약 57% 정도로 감소하는 효과가 있었다. 열압착 공정 조건인 본딩 틀 온도와 본딩 스테이지 온도에 따라 패키지의 휨은 변하였으며, 본딩 스테이지의 온도 변화가 본딩 틀 온도보다 휨에 더 큰 영향을 주었다.

한편 휨에 대한 본딩 압력의 영향은 거의 미미하였다. 열압착 공정과 리플로우 공정에서 패키지 칩의 두께 및 기판의 core 두께 증가는 패키지의 휨 감소에 효과적이었다. 칩 면적 증가는 패키지의 휨를 증가시켰다. 기판 면적의 증가는 리플로우 공정에서 휨를 선형적으로 증가시켰으며, 열압착 공정에서의 휨는 증가하다 감소하는 경향을 보였다. 이는 칩 면적에 따른 열 분포에 기인하는 것으로 판단된다.

감사의 글

이 연구는 산업핵심기술개발사업인 “20 μm 급 초미세피치 모바일 패키지용 6 sec/chip 이하 고속 열압착 접합기술 개발(과제번호: 10051605)의 지원으로 수행되었습니다.

참고문헌 (References)

- (1) Nam, H. W., 2004, “Robust Design and Thermal Fatigue Life Prediction of Anisotropic Conductive Film Flip Chip Package,” *Trans. Korean Soc. Mech. Eng. A*, Vol. 28, No. 9, pp. 1408~1414.
- (2) Hsieh, M. C., Lee, C. C. and Hung, L. C., 2013, “Comprehensive Thermo-Mechanical Stress Analyses and Underfill Selection of Large Die Flip Chip BGA,” *IEEE Trans. Compon. Packag. Manuf. Technol.*, Vol. 3, No. 7, pp. 1155~1162.
- (3) Cheng, R., Wang, M., Kuo, R. H., Chen, E., Chuang, I. C., Pai, B., Chang, J. and Cheung, C., 2015, “FC Cu Pillar Package Development for Broad Market Applications,” *Proc. 65th Electron. Comp. Technol. Conf.*, pp. 609~614.
- (4) Kim, M. S., Ko, Y. H., Bang, J. H. and Lee, C. W., 2012, “The Chip Bonding Technology on Flexible Substrate by Using Micro Lead-free Solder Bump,” *J. Microelectron. Packag. Soc.*, Vol. 19, No. 3, pp. 15~20.
- (5) Cassier, A., Zhao, L., Syed, A., Bezuk, S., Miller, W., Leong, A. and Slessor, M., 2014, “Reliable Testing of Cu Pillar Technology for Smart Devices,” *Chip Scale Review*, Vol. 18, No. 5, pp. 22~27.
- (6) Park, J., Kim, Y., Na, S., Kim, J., Lee, C. H. and Nicholls, L., 2015, “High Reliability Packaging Technologies and Process for Ultra Low k Flip Chip Devices,” *Proc. 65th Electron. Comp. Technol. Conf.*, pp. 1~6.
- (7) Hsieh, M. C., Lee, C. C., Hung, L. C., Wang, V. and Perng, H., 2011, “Parametric Study for Warpage and Stress Reduction of Variable Bump Types in fcFBGA,” *Proc. 6th Inter. Microsys. Packag. Assemb. Circuits Technol. Conf.*, pp. 115~118.
- (8) Kim, M. Y., Lim, S. K. and Oh, T. S., 2010, “Thermal Cycling and High Temperature Storage Reliabilities of the Flip Chip Joints Processed Using Cu Pillar Bumps,” *J. Microelectron. Packag. Soc.*, Vol. 17, No. 3, pp. 27~32.
- (9) Hsieh, M. C., Lee, C. C. and Hung, L. C., 2013, “Comprehensive Thermomechanical Analyses and Validations for Various Cu Column Bumps in fcFBGA,” *IEEE Trans. Compon. Packag. Manuf. Technol. Conf.*, Vol. 3, No. 1, pp. 61~70.
- (10) Cheng, P. J., Wu, W. C., Wang, W. J. and Pai, T. M., 2015, “Challenge and Process Optimization of Thermal Compression Bonding with Non Conductive Paste,” *Proc. 65th Electron. Comp. Technol. Conf.*, pp. 484~489.
- (11) Lin, L., Wang, J., Wang, L. and Zhang, W., 2015, “Stress Analysis and Parametric Studies for a Ultralow-k Chip in the Flip Chip Process,” *Proc. 16th Inter. Conf. Electron. Packag. Technol.*, pp. 689~693.
- (12) Yang, H. G. and Joo, J. W., 2014, “Measurement and Evaluation of Thermal Expansion Coefficient for Warpage Analysis of Package Substrate,” *Trans. Korean Soc. Mech. Eng. A*, Vol. 38, No. 10, pp. 1049~1056.
- (13) Addagarla, A. and Prasad, N. S., 2012, “Finite Element Analysis of Flip - Chip on Board (FCOB) Assembly During Reflow Soldering Process,” *J. Solder. Surf. Mt. Technol.*, Vol. 24, No. 2, pp. 92~99.
- (14) Hsieh, M. C. and Tzeng, S. L., 2014, “Design and Stress Analysis for Fine Pitch Flip Chip Packages with Copper Column Interconnects,” *15th International Conference on Electronic Packaging Technology(ICEPT)*, pp. 502~507.
- (15) Zhang, J., Yuan, F. and Zhang, J., 2009, “Simulation Study on the Influences of the Bonding Parameters on the Warpage of Chip-on-glass Module with Nonconductive Film,” *J. Electron. Packag.*, Vol. 131, No. 4, pp. 041008-1~041008-5.
- (16) Lee, Y. C., Factor, B., Kao, C. L., Yannou, J. M. and Lee, C. C., 2013, “Copper Pillar Shape and Related Stress Simulation Studies in Flip Chip Packages,” *Euro. Microelec. Packag. Conf.*, pp. 1~5.
- (17) Fu, J., Aldrete, M., Shah, M., Noveski, V. and Hsu, M., 2015, “Thermal Compression Bonding for Fine Pitch Solder Interconnects,” *Proc. 65th Electron. Comp. Technol. Conf.*, pp. 7~11.

- (18) Au, K. Y., Che, F. X., Aw, J. L., Lin, J. K., Boehme, B. and Kuechenmeister, F., 2014, "Thermo-compression Bonding Assembly Process and Reliability Studies of Cu Pillar Bump on Cu/Low-k Chip," *Proc. 16th Electron. Packag. Technol. Conf.*, pp. 574~578.
- (19) Che, F. X., Lin, J. K., Au, K. Y., Hsiao, H. Y. and Zhang, X., 2015, "Stress Analysis and Design Optimization for Low-k Chip With Cu Pillar Interconnection," *IEEE Trans. Compon. Packag. Manuf. Technol.*, Vol. 5, No. 9, pp. 1273~1283.
- (20) Anand, L., 1982, "Constitutive Equations for the Rate-Dependent Deformation of Metals at Elevated Temperatures," *ASME Journal of Eng. Mater. Tech.*, Vol. 105. No. 1, p.12.
- (21) Hsieh, M. C., Lee, C. C. and Hung, L. C., 2012, "Reliability Assessments and Designs for Fine Pitch Flip Chip Packages with Cu Column Bumps," *Proc. 7th Inter. Microsys. Packag. Assemb. Circuits Technol. Conf.*, pp. 280~283.
- (22) Park, A. Y., Park, S. and Yoo, C. D., 2015, "Development of Inclined Conductive Bump for Flip-Chip Interconnection," *IEEE Trans. Compon. Packag. Manuf. Technol.*, Vol. 5, No. 2, pp. 207~216.
- (23) Smet, V., Huang, T. C., Kawamoto, S., Singh, B., Sundaram, V., Raj, P. M. and Tummala, R., 2015, "Interconnection Materials, Processes and Tools for Fine-pitch Panel Assembly of Ultra-thin Glass Substrates," *Proc. 65th Electron. Comp. Technol. Conf.*, pp. 475~483.
- (24) JEDEC Standard No. 22-B112A, 2009, "Package Warpage Measurement of Surface-Mount Integrated Circuits at Elevated Temperature."
- (25) Pan, C. A., Wu, M. Y., Lee, C. W., Lo, R., Wang, Y. P. and Hsiao, C. S., 2014, "TCBNCP Process Impact on Package Warpage Performance," *Proc. 9th Inter. Microsys. Packag. Assemb. Circuits Technol. Conf.*, pp. 146~149.
- (26) Li, M., Tian, D. W., Cheung, Y. M., Yang, L. and Lau, J. H., 2015. "A High Throughput and Reliable Thermal Compression Bonding Process for Advanced Interconnections," *2015 Electron. Comp. Technol. Conf.*, pp. 603~608.