

휴대기기용 DC-DC 부스트 컨버터 집적회로설계

(Design of a DC-DC Converter for Portable Device)

이 자 경¹⁾, 송 한 정^{2)*}

(Lee Ja-kyeong and Song Han-Jung)

요 약 본 논문에서는 휴대기기용 DC-DC 부스트 컨버터를 설계하였다. 제안하는 DC-DC 부스트 컨버터는 1MHz의 스위칭 주파수로 구동되며, 인덕터, 출력 커패시터, MOS 트랜지스터 등으로 이루어지는 파워단 부분과 보호회로단, 컨트롤블럭단으로 구성하였다. CMOS magnachip 0.18 μm 공정을 이용하여 SPICE 모의실험을 통하여 동작을 확인하였고, 칩을 제작하여 모의실험결과와 비교 분석하였다. 설계된 컨버터는 3.3 V 입력 전압 조건에서 출력전압 4.8 V 가 나타났고, 출력전류 95 mA 로 기존의 25~50 mA 보다 큰 출력을 얻었다.

핵심주제어 : DC-DC 컨버터, 휴대기기, PMIC

Abstract In This Paper, A DC-DC Boost Converter for Portable Device has been Proposed. The Converter Which is Operated with 1 MHz High Switching Frequency is Capable of Reducing Mounting Area of Passive Devices Such as Inductor and Capacitor, Consequently is Suitable for Portable Device. This Boost Converter Consists of a Power Stage and a Control Block and a Protect Block. Proposed DC-DC Boost Converter has been Designed a 0.18 μm Magnachip CMOS Process Technology, we Examined Performances of the Fabricated Chip and Compared its Measured Results with SPICE Simulation Data. Simulation Results Show that the Output Voltage is 4.8 V in 3.3 V Input Voltage, Output Current 95 mA Which is Larger than 20~50 mA

Key Words : DC-DC Converter, Portable Device, On-chip

1. 서 론

최근 휴대폰과 같은 소형 휴대기기 수요의 증가와 보편화가 빠르게 진행되고 있다. 또한, 무선 인터넷 기반의 시설들이 확충됨에 따라 소형 휴대기기의 수요는 점차 증가하고 있는 실정이며,

하나의 휴대기기 내에 더 많은 기능을 탑재하고 있다. 이런 개인 휴대 전자기기의 수요는 점차 더 증가할 것으로 예상되며, 하나의 휴대 전자기기 내에 더 많은 기능들이 탑재 될 것으로 예상된다.[1-2]. 이를 위해 적은 전력을 소모하며, 일정한 전압을 출력하는 전원 관리 회로(DC-DC 변환기)가 필요하게 되었으며, 이에 대한 연구 개발이 이루어지고 있다[3-5].

기존의 소형 휴대기기에 사용되는 일반적인 형태의 DC-DC 컨버터에서는 대체적으로 면적이 크고, 리플과 잡음으로 인해 출력 전압이 떨어지는 형태였다면 이 논문에서는 휴대기기를

* Corresponding Author : hjsong@inje.ac.kr

† 본 논문은 2016년 교육부와 한국연구재단의 지역혁신창의인력양성사업의 지원을 받아 수행된 연구(NRF-2014H1C1A1066686)

Manuscript received Jun, 3, 2016 / revised Jan, 20, 2017 / accepted Mar, 28, 2017

1) 인제대학교 대학원 나노융합공학과, 제1저자

2) 인제대학교 나노융합공학과, 나노메뉴팩처링연구소, 교신저자

위한 Pulse Width Modulation(PWM), 전압모드 DC-DC 부스트 컨버터를 제안한다. 이 컨버터는 휴대기기에 적합하게, 인덕터, 커패시터 크기를 줄여 칩 면적을 감소하기 위해, 1MHz의 스위칭 주파수를 가진다. 그리고 히스테리시스 비교기와 비-오버랩 드라이버단을 사용해서 낮은 전압에서 구동되는 휴대기기의 잡음의 영향을 줄이고 출력전압 리플을 감소시켰다. 제안하는 승압형 컨버터는 1-poly 6-metal CMOS 공정의 매그나 칩/하이닉스 0.18 μm 공정을 사용하여, 설계 하였다. 입력 전압 3.3 V, 출력전압 5 V, 출력전류 100 mA 출력전압 대비 1 %의 출력 전압 리플과 1 MHz의 스위칭 주파수의 특성 갖는다.

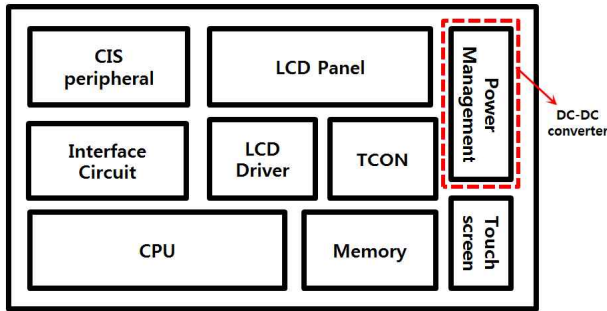


Fig. 1 Portable devices including DC-DC converter

2. DC-DC 부스트 컨버터 동작원리

그림 2는 승압형 DC-DC 컨버터의 단순화 된 회로이다. 이 회로는 인덕터, 커패시터, 다이오드를 포

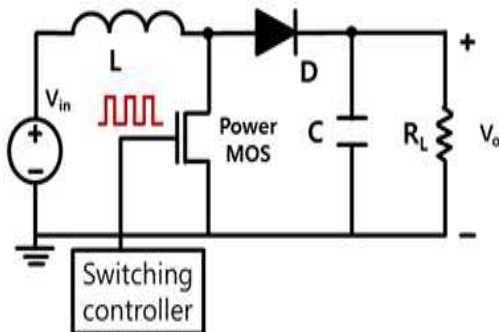


Fig. 2 Basic DC-DC step up converter

함한다. 인덕터(L) 및 커패시터(C)는 출력 필터를 구성한다.

그림 3의 (a)에서 트랜지스터가 ON이 되면 입력으로부터 전류가 L과 D를 흐르면서 L에는 에너지가 축적되게 된다. 다음 그림 3의 (b)에서 환류다이오드 D에는 역바이어스가 되어 OFF가 되고 C는 부하저항 R을 통하여 방전하게 된다. 트랜지스터가 OFF가 되면 L에 축적되었던 에너지가 D를 통하여 출력 측으로 방출하게 되며, 스위칭 주기 T_s 를 한 주기로 하여 이 동작이 반복된다[6-7].

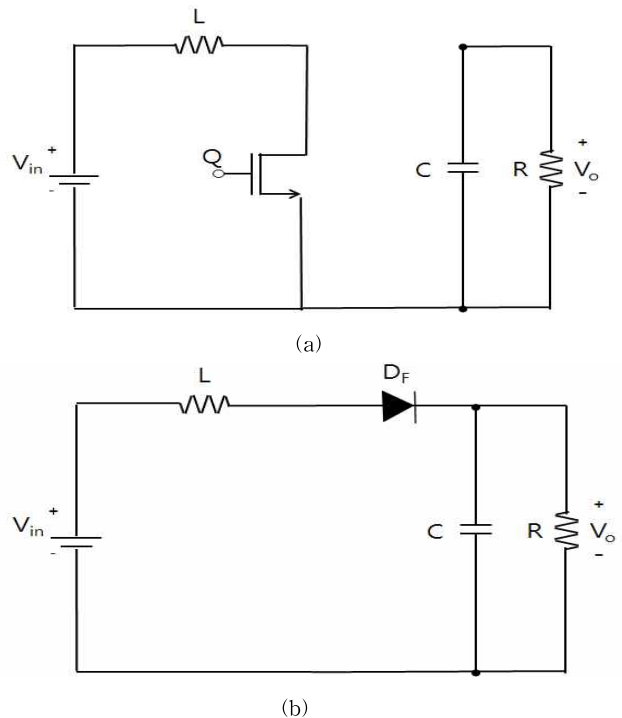


Fig. 3 Principle of a PWM step-up converter
(a) State ON (b) State OFF

$$V_i D T_s = (V_0 - V_i) D' T_s \dots\dots\dots (1)$$

$$\frac{V_0}{V_i} = \frac{T_s}{D' T_s} = \frac{1}{1 - D} \dots\dots\dots (2)$$

$$M = \frac{v_0}{v_i} = \frac{1}{D} \dots\dots\dots (3)$$

(1)식으로부터 boost 컨버터의 정상상태에서의 입력 출력 전압비를 구할 수 있고 식 (2)로부터 (3)식을 유도하여 V_0 가 V_i 보다 높은 범위에서 나타내는 승압형 컨버터라는 식을 도출해 낼 수 있다[8-9].

3. 제안하는 DC-DC 부스트 컨버터 설계

3.1 블록 다이어그램

그림 4는 제안하는 승압형 컨버터의 블록도를 나타내었다. 제안하는 회로는 인덕터, power MOS로 구성되는 입력단과, 커패시터, 저항으로 구성되는 출력단, PWM 신호를 생성하는 컨트롤러 부분으로 이루어진다.

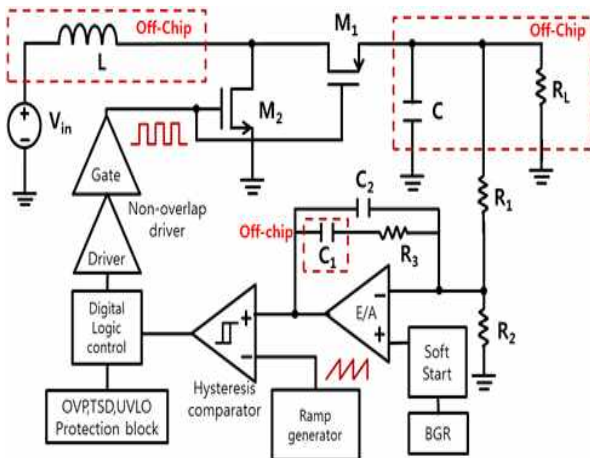


Fig. 4 Proposed PWM DC-DC converter block diagram

3.2 제안하는 주요 블록

BGR block

BGR은 온도와 VDD에 변화에도 일정한 출력을 갖는 회로로 주로 바이어스를 인가할 때 사용한다. BJT는 온도에 영향을 덜 민감하여, BGR은 BJT를 사용하여 주로 설계를 하며, 제안하는 BGR의 회로는 다음과 같으며, 시뮬레이션 결과 VDD에 대한 변화는 10mV/V 온도에 대한 변화는 2.3mV/C로 나왔다.

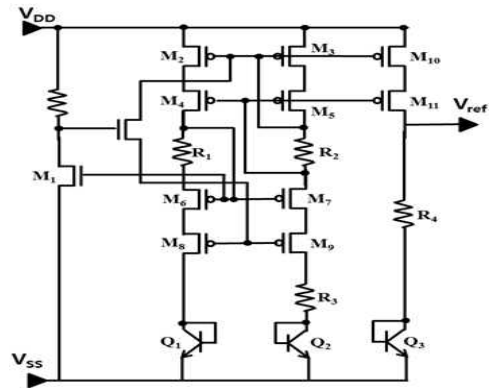
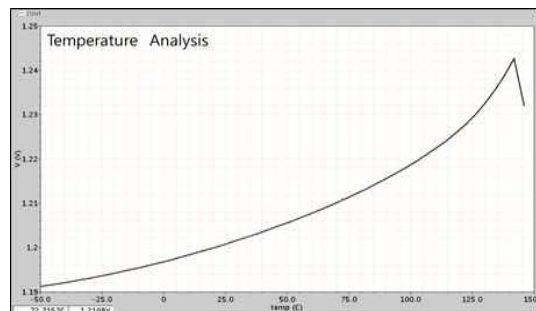


Fig. 5 BGR (Band Gap Reference) circuit

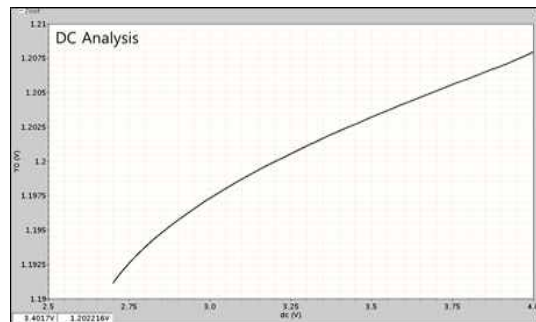
$$V_{ref} = V_{BE3} + \frac{R_4}{R_3} \cdot \ln n \cdot V_T \dots \dots \dots (1)$$

$$\frac{\partial V_{ref}}{\partial T} = \frac{\partial V_{BE3}}{\partial T} + \frac{R_4}{R_3} \cdot \ln K \cdot \frac{\partial V_T}{\partial T} \dots \dots \dots (2)$$

(1)식은 출력 전압을 조절하기위한 BGR의 수식이며, (2)식은 Vref값이 변화함에 따라 온도에 대한 변화를 나타내는 수식이다.



(a)



(b)

Fig. 6 Simulation results of the BGR block
(a) Temperature Analysis of BGR
(b) DC Analysis of BGR

그림 6의 (a)는 BGR의 온도에 대한 변화를 시뮬레이션 하였으며 그림 6의 (b)는 VDD에 대한 변화를 시뮬레이션하였다.

OVP block

OVP는 (Over Voltage Protection)으로 기준전압 이상의 전압이 흐르게 되면 회로 구동을 차단하여 회로 소자의 손상을 막아 회로를 보호하게 하는 회로이다. 그림7은 제안하는 OVP의 회로도이다. 5V이상의 출력을 받을 경우 오작동을 막기 위해 설계하였으며 비교기와 기준전압을 이용하였고, 출력 5V를 받아 비교하는 방식을 사용하였다.

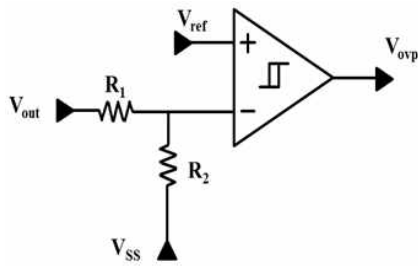


Fig. 7 OVP (Over Voltage Protection) circuit

그림 8은 OVP(Over Voltage Protection)의 시뮬레이션 결과로 5.08~5.1V의 마진을 두어서 설계하였다.

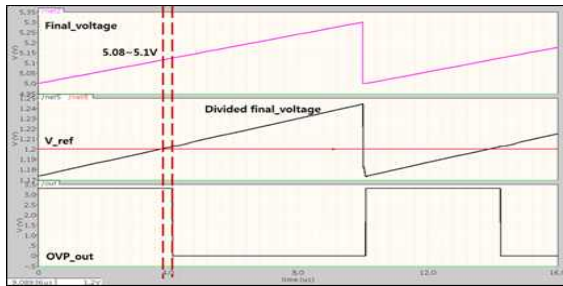


Fig. 8 Simulation result of OVP

Hysteresis Comparator

그림 9는 제안하는 비교기의 회로도이며, 히스테리시스 비교기를 사용하여 잡음 영향에 우수한 특성을 지니게 하였다. 비교기는 램프 발생기와 PWM에서 램프파와 에리앰프 출력단을 비교하여 펄스파를 발생시키는 역할을 한다. 앞에 인버터 단을 두어

출력을 정확하고 빠르게 On/Off 시킨다.[10-13]

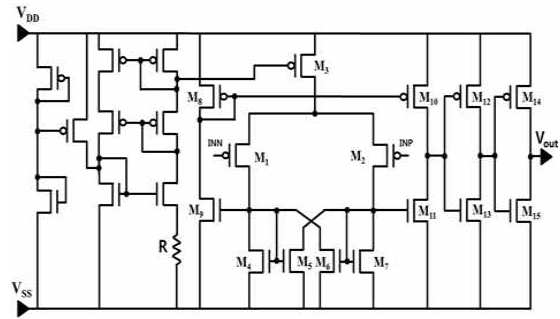
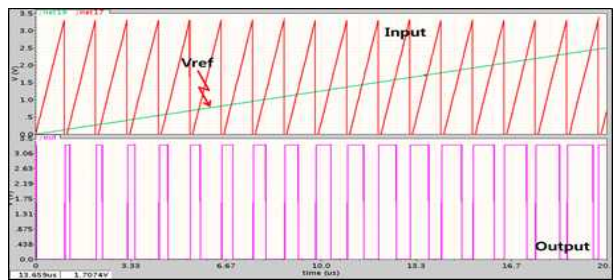
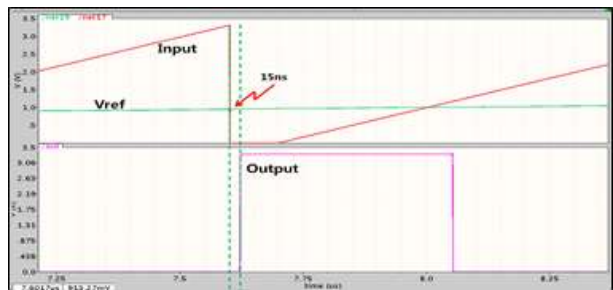


Fig. 9 Hysteresis comparator circuit



(a)



(b)

Fig. 10 (a)(b) Simulation of hysteresis comparator

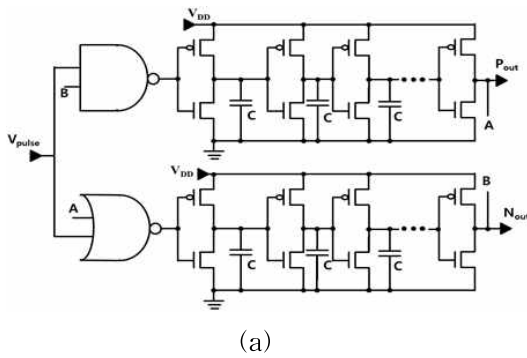
시뮬레이션 결과 그림 10(a)는 PWM에서 램프파와 에리앰프 출력단을 비교하여 펄스파가 생긴 시뮬레이션 결과이다. 10(b)에 나타난 것과 같이 지연시간은 약 15 ns인 것을 나타낸다. 제안하는 DC-DC 부스트 컨버터 회로에 대하여 케이던스 프로그램을 이용하여 0.18 μm CMOS공정 파라미터로 SPICE 회로해석을 실시하였다.

그림 11은 각 블록이 동작 될 때, 각 블록들로부터 신호가 출력 되는지 여부를 알 수 있는 차트이다. 램프의 램프신호출력, 비교기가 적용된

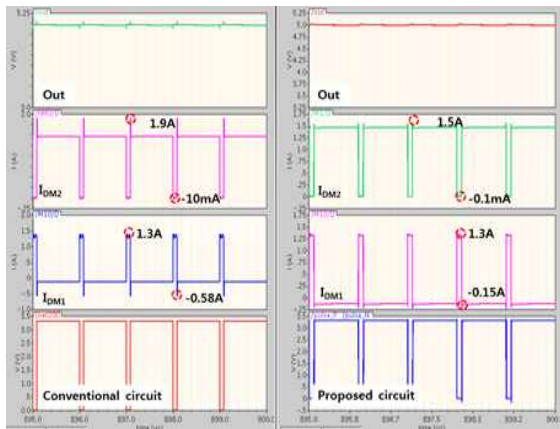
오차 증폭기로부터의 보상 신호출력, 그리고 비교기의 출력에서의 PWM 펄스를 생성한다.

Non-overlap driver

그림 11(a)는 제안하는 비 오버랩 드라이버의 회로도이며, 출력 펄스파의 on/off 시간 차를 발생시켜 파워모스 간의 단락을 줄여서 시스템의 안정성을 높인다.



(a)



(b)

Fig. 11 (a) Non-overlap driver circuit
(b) Comparison simulation of conventional circuit and proposed circuit

그림 11(b)는 일반적인 인버터 체인구조의 드라이버회로와 제안하는 비 오버랩 드라이버단의 시뮬레이션을 비교하였다. 파워단의 두 개의 파워모스 드레인전류는 기존의 드라이버단에서 값이 일정하지 못하고 튀어 오르는 현상을 나타내고 있다. 하지만 제안하는 비 오버랩 드라이버단은 일정한 전류를 출력하는 것을 볼 수 있다. 또

한 제안하는 비 오버랩 드라이버단의 출력 전압 리플은 40mV로 기존의 드라이버단의 출력 전압 리플이 80mV보다 반 이상 감소하였다.

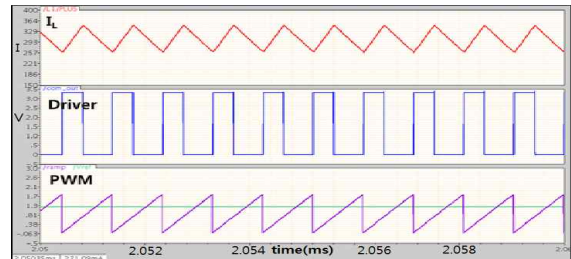


Fig. 12 Simulation results of each block

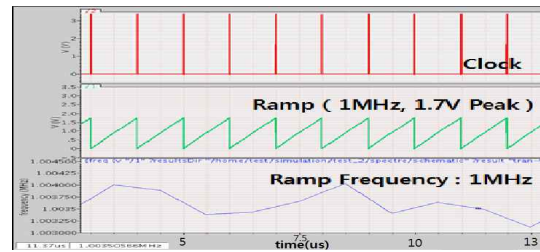


Fig. 13 Ramp generator simulation result

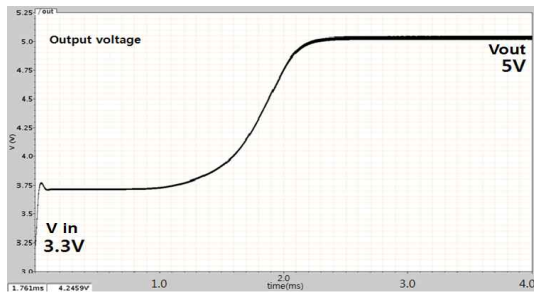
그림 12는 타이밍 차트 및 최종 출력파형으로 I_L 신호는 램프발생기의 램프신호출력, Driver 신호는 Compensation Block에서 비교기가 적용된 오차 증폭기로부터의 보상 신호출력, 그리고 PWM신호는 PWM block에서 PWM 펄스를 생성한다. 그림 13는 램프 발생기의 시뮬레이션 결과로 파형에서 볼 수 있듯 커패시터의 용량과 커패시터에 흐르는 전류에 따라 램프신호가 천천히 증가하면서 램프신호가 일정 전압 이상이 되면 클럭 신호가 켜지면서 램프신호가 0으로 돌아가는 것을 볼 수 있다. 또한 램프 발생기의 파라미터를 최적화하여 주파수 변화가 적음을 확인 할 수 있다.

3.3 제안하는 DC-DC 부스트 컨버터의 모의 실험 및 레이아웃

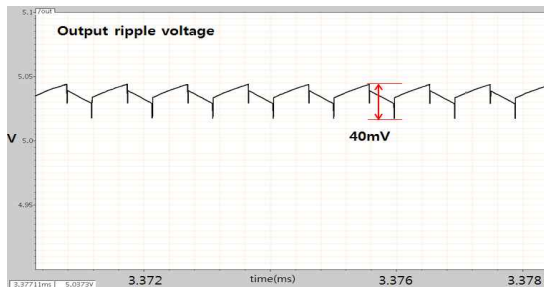
그림 14(a)는 제안하는 PWM DC-DC 컨버터의 출력 전압을 나타내고 있다. 그림에서 보이듯

이 약 2.5ms 후, 제안하는 승압형 DC-DC 컨버터는 정상모드로 전환하고, 입력전압 3.3V일 때 출력전압 5V가 출력되는 것을 확인 할 수 있었다.

그림 14(b)는 제안하는 회로의 출력 리플을 나타내고 있다. 출력 리플은 스위칭 주파수가 1 MHz의 조건일 때, 약 40 mV를 나타낸다.



(a)



(b)

Fig 14. (a) Simulation result of the output voltage
(b) Simulation result of output voltage ripple

그림 15는 매그나칩/하이닉스 0.18 μ m CMOS 공정으로 1-poly 6-metal을 사용하였으며, 컨트롤 블록, 보호회로 블록, 파워모스로 3부분으로 설계하였다. 총 크기는 1.59 mm \times 1.13 mm로 레이아웃 하였다.

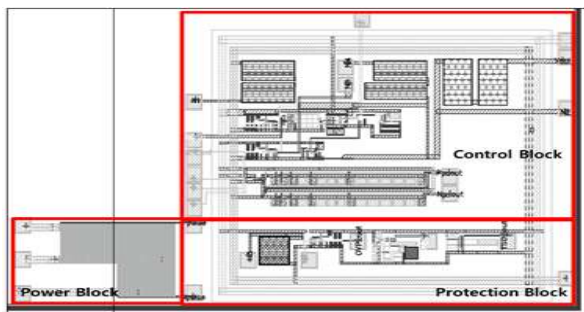
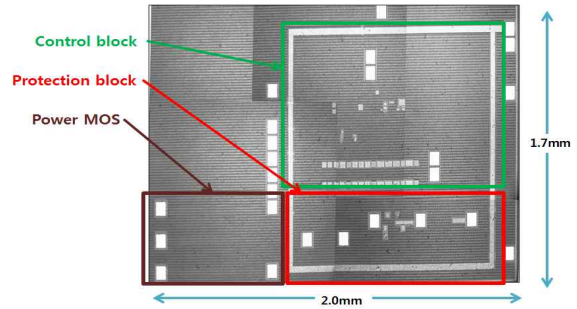


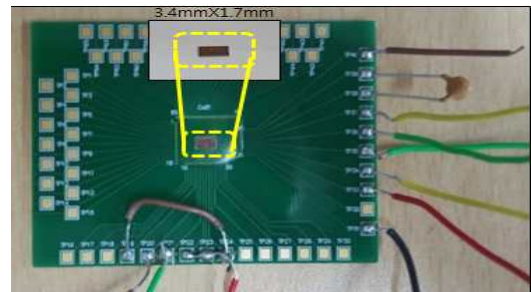
Fig. 15 Proposed DC-DC converter IC layout

4. 칩 제작 및 측정 분석

제작된 칩은 80 pin LQFP 형태로 패키징을 하였고, 패키징 된 프로토타입 칩은 PCB 보드를 구성하여 별 컨트롤 블록과 전체회로를 측정하였다.



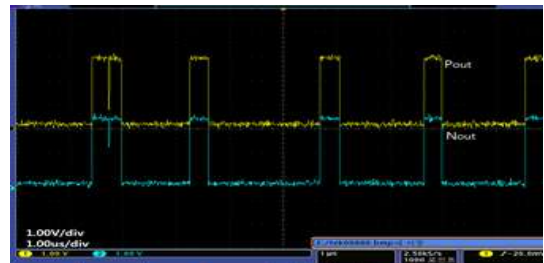
(a)



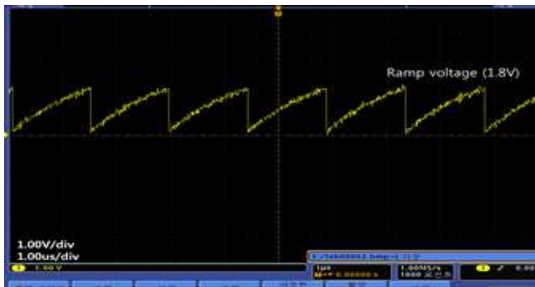
(b)

Fig. 16 (a) Proposed DC-DC converter of the fabricated chip
(b) PCB board of the packaged chip

그림 16(a)와 (b)는 각각 칩을 장착한 PCB 보드 사진과 하드웨어를 구성하여 측정중인 사진이다.



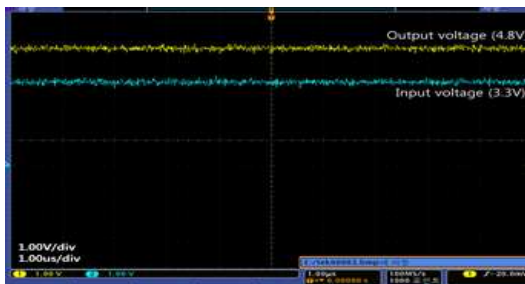
(a)



(b)



(c)



(d)

Fig. 17 (a) Measurement result of PWM pulse voltage
 (b) Measurement result of ramp generator
 (c) Measurement result of BGR
 (d) Measurement result of output voltage

그림 17(a)는 PWM 파형의 측정 결과이다. 램프파와 같은 600kHz의 주파수와 같은 600kHz를 나타낸다. 게다가 펄스파의 최고점은 3.3V 일 때 이다. 그림 17(b)는 램프파의 측정 결과이다. SPICE 모의 실험과 실제 칩 측정 파형을 비교한 결과 일치하였다. 그림 17(c)는 BGR 측정 결과로, BGR은 온도와 VDD의 변화에 일정 전압을 출력한다. 그림 17(d)는 램프파의 측정 결과이다. SPICE 모의 실험과 실제 칩 측정 파형을 비교한 결과 일치하였다. 그림 17(d)는 정상상태의 전압 출력 파형을 나타낸 것이다. 3.3V 입력 전압과 4.8V의 출력 전압이 측정되었

다. 측정된 리플은 시뮬레이션 결과값보다 더 높은 50 mV를 나타내었다.

Table 1 Summary table

Items	Proposed spec.	Simulated	Measured	Units
Process Technology	M/H 0.18 μ m CMOS process			
Input Voltage	3.3	3.3	3.3	v
Output Voltage	5	5	4.8	v
Frequency of Ramp generator	1	1	0.7	Mhz
Output Voltage Ripple	20	40	50	mV
Output current	100	100	95	mA

5. 결론

본 논문에서는 Magnachip의 0.18 μ m CMOS 공정을 이용하여 DC-DC 부스트 컨버터를 설계, 레이아웃을 진행하였다. 설계된 칩은 측정결과 3.3 V 입력 전압에 출력 전압 4.8 V가 나타났고, 출력 전압 리플은 50 mV가 나타나는 것을 확인할 수 있었다. 이에 따른 입출력 전력의 변환효율은 95 %로 나타난다. 제안하는 DC-DC 부스트 컨버터는 다양한 보호회로 (UVLO, OVP, TSD)들을 사용하여 회로들을 보호하고, 소프트-스타터와 비-오버랩 드라이버를 인버터 체인수를 늘려 시스템의 안정성을 향상시켰으며, 히스테리시스 비교기를 사용하여 노이즈의 영향을 덜 받게 하였다. 또한 제안된 드라이버는 피크 전류 및 출력 전압 리플을 감소시키며 설계된 파워 MOS는 칩의 면적 또한 감소시킨다. 설계된 칩은 소형화 되어가고있는 휴대기에 적용하기 위해 낮은 입력 전압에서 구동가능하고, 고효율을 가진다. 본 논문에서 제안하는 DC-DC 부스트 컨버터 휴대기에 널리 사용될 것으로 사료된다.

References

- [1] leung Chi Yat philip Mok K. T., leung Ka Nang "A 1-V Integrated Current-Mode Boost Converter in Standard 3.3/5-V CMOS Technoloties" IEEE journal of Solid- State Circuits. Vol. 40, No. 11, November 2005.
- [2] Lee S. H. and Kim S. Y. Design and Implementation of an Intelligent System for Personalized Contents Recommendation on Smart TVs Journal of the Korea Industrial Information Systems Research / v.18, no.4, pp.73-79, 2013
- [3] Roh Jeonjin "High-performance Error Amplifier For Fast Transient DC-DC Converters". IEEE Tran. Circuits and Systems, Vol. 52, No. 9, Sep 2005.
- [4] Yi K. H. and Lee D. S., Cost Effective Plasma Display Panel TV Driving System with an Address Misfiring Compensation Circuit, Journal of the Korea Industrial Information Systems Research / v.18, no.3, pp.1-8, 2013
- [5] Stephane Bidian, Hua Jin, "High Performance Predictive Dead-Beat Digital Controller for DC Power Supplies", IEEE Transactions on Power Electronics, Vol 17, No. 3, May 2002.
- [6] Lim K. J., Park J., Yang H., "A High Efficiency CMOS DC-DC Boost Converter with Current Sensing Feedback", IEEE Tran. Circuits and systems 2005.
- [7] Bryant B., Kazimierczuk M. K., "Voltage Loop of Boost PWM DC-DC converter with Peak Current-Mode Control", IEEE Trans. On Circuits and Systems, Vol. 53, No. 1, Jan 2006.
- [8] Duan Xiaoming, Deng Haifei, Sun Nick X., Huang Alex Q., Chen Dan Y., " A High Performance Intergrated Boost DC-DC converter For Portable Power Supply" IEEE 2004.
- [9] Kim J. K., "Design of High-efficiency Buck DC-DC Converter for Reduction of Control Circuit Loss," Hanyang University Master Degree, 2011.
- [10] Jacob Baker R., Li H. W, Boyce D. E., CMOS Circuit Design, Layout, and Simulation, IEEE Press
- [11] Gray, Hurst, Lewis, "Meyer Analysis and Design of Analog Integrated Circuits," John Wiley& sons, Ltd
- [12] TEXAS INSTRUMENTS, Comparator with Hysteresis Reference Design, 2013.
- [13] Hong Wook Hun, Kim Kyung Ki, "Design of Ultra Low-Voltage NCL Circuits in Nanoscale MOSFET Technology," Journal of the Korea Industrial Information System Society , Vol 17, No.4, pp. 17-23, 2012.



이 자 경 (Lee Ja-Kyeong)

- 준회원
- 인제대학교 나노공학부(공학사)
- 인제대학교 일반대학원 나노융합공학과(공학석사)
- 관심분야 : 반도체 회로 설계, 전기전자



송 한 정 (Song Han-Jung)

- 정회원
- 한양대학교 전자공학과(공학사)
- 한양대학교 전자공학과 (공학석사)
- 한양대학교 전자공학과 (공학박사)
- 인제대학교 나노융합공학과 정교수
- 관심분야 : 반도체 회로 설계, 전기전자