The Journal of The Institute of Internet, Broadcasting and Communication (IIBC)
Vol. 17, No. 2, pp.1-6, Apr. 30, 2017. pISSN 2289-0238, eISSN 2289-0246

https://doi.org/10.7236/JIIBC.2017.17.2.1
JIIBC 2017-2-1

사물인터넷 환경에서 프로세서와 메모리의 저전력 기술을 결합하는 실시간 태스크 스케줄링 기법

Real-time Task Scheduling Methods to Incorporate Low-power Techniques of Processors and Memory in IoT Environments

정선화*, 반효경**

Sunhwa A. Nam*, Hyokyung Bahn**

요 약 최근 사물인터넷의 급부상으로 배터리 기반 사물인터넷 기기를 위한 전력절감 기술이 주목받고 있다. 사물인터넷 기기는 일종으로 실시간시스템으로, 전력절감을 위해 프로세서의 전압을 동적으로 조절하는 방법이 각광받아왔으나, 최근 연구에 따르면 전력소모 중 메모리가 차지하는 비중이 급격히 증가한 것으로 분석되고 있다. 이에 본 논문은 프로세서의 전압조절 기법에 저전력 비휘발성메모리 기술을 결합하여 실시간시스템의 전력소모를 더욱 줄이고자 한다. 이는 낮은 전압의 프로세서로 태스크의 스케줄링이 가능한 시점에는 메모리의 성능이 낮아지더라도 여전히 스케줄링이 가능성할 것이라는 점에 착안한 것이다. 본 논문은 이기종메모리 상의 태스크 할당 문제를 프로세서의 전압조절 기법과 결합한 후 두 기법의 전력절감 효과를 분석하고, 이들을 결합하여 전력절감을 극대화한다.

Abstract Due to the recent advances in IoT technologies, reducing power consumption in battery-based IoT devices becomes an important issue. An IoT device is a kind of real-time systems, and processor voltage scaling is known to be effective in reducing power consumption. However, recent research has shown that power consumption in memory increases dramatically in such systems. This paper aims at combining processor voltage scaling and low-power NVRAM technologies to reduce power consumption further. Our main idea is that if a task is schedulable in a lower voltage mode of a processor, we can expect that the task will still be schedulable even on slow NVRAM memory. We incorporate the NVRAM memory allocation problem into processor voltage scaling, and evaluate the effectiveness of the combined approach.

Key Words : hybrid memory, phase-change memory, real-time task scheduling, voltage frequency scaling.

Ⅰ. 서 론

의료, 국방, 주거, 환경 등 다양한 분야에서 사물인터넷에 대한 관심이 증가하고 있다[1, 2]. 사물인터넷은 각종 사물에 센서와 통신 기능을 내장하여 인터넷에 연결하는 기술을 의미한다. 사물인터넷에서의 사물은 가전, 모바일, 웨어러블 등 독립적인 기능을 가진 기기로 고유한 IP에 의해 식별되며 센서들을 통해 외부의 데이터를 취득하고 전송하는 일종의 실시간 임베디드 시스템으로 볼 수 있다. 이러한 시스템은 한정된 배터리를 전력 공급원으로 사용하기 때문에 전력 소모를 줄이는 것이 중요하다.

*준회원, 이화여자대학교 컴퓨터공학과
**정회원, 이화여자대학교 컴퓨터공학과(교신저자)
접수일자 2017년 2월 14일, 수정완료 2017년 3월 14일
게재확정일자 2017년 4월 7일

Received: 14 February, 2017 / Revised: 14 March, 2017 / Accepted: 7 April, 2017
**Corresponding Author: bahn@ewha.ac.kr
Dept. of Computer Engineering, Ewha University, Korea

최근 메모리 집약적인 애플리케이션의 증가로 스마트폰과 같은 모바일임베디드시스템의 전력소모 중 메인메모리가 차지하는 비중이 전체 시스템의 40%에까지 이르는 것으로 분석되고 있다[3]. 이러한 막대한 전력소모는 DRAM의 전력재공급(refresh) 연산에 기인한다. DRAM은 휘발성 매체이므로 저장 데이터가 유실되지 않기 위해 지속적인 전력재공급 연산이 필요하며, 이는 유휴상태에서도 많은 에너지 소모를 발생시킨다. 최근, DRAM의 전력소모를 줄이기 위한 시도로 비휘발성메모리(nonvolatile memory) 기술이 주목받고 있다. PCM(phase change memory), STT-MRAM 등의 비휘발성메모리는 전력재공급 연산없이 데이터의 유지가 가능하므로 메모리의 전력소모를 크게 줄일 수 있다[4].

그러나, 비휘발성메모리의 읽기 쓰기 성능이 DRAM에 비해 떨어지기 때문에 아직까지 비휘발성메모리가 DRAM을 전면 대체하는 것은 어려운 상황이다. 이에 본 논문에서는 비휘발성메모리와 DRAM을 함께 사용하여 실시간시스템의 전력소모를 줄이는 스케줄링을 제안한다.

최근 프로세서의 연산능력이 비약적으로 발전하여 실시간시스템의 데드라인 조건을 충족하면서 전력소모를 줄일 수 있는 전압조절 기법(voltage scaling)이 태스크 스케줄링에 활용되고 있다. CMOS 회로 기술에 기반한 전압조절 기법은 프로세서에 공급되는 전압을 낮출 경우 처리량은 그에 비례하여 저하되지만, 전력 소모량도 그 제곱에 비례하는 만큼 크게 절약할 수 있다는 점에 착안한다[4, 5, 6]. 처리할 작업량이 프로세서의 처리 용량에 크게 못미치는 상황에서는 프로세서의 공급 전압을 낮추어 전력 소모를 줄이더라도 태스크의 데드라인을 보장할 수 있음을 활용하는 것이다.

본 논문에서는 이러한 전압조절 기법과 이기종메모리 상의 데이터 배치 기법을 결합하여 실시간시스템의 전력소모를 더욱 줄이고자 한다. 낮은 전압의 프로세서로 태스크의 스케줄링이 가능한 시점에는 메모리의 성능이 낮아지더라도 여전히 스케줄링이 가능할 것이라는 점에 착안하여 본 논문은 이러한 태스크를 비휘발성메모리에 배치하여 전력소모를 더욱 줄이고자 한다[7, 8]. 이를 위해 본 논문은 이기종메모리 상의 태스크 할당 문제를 프로세서의 전압조절 기법과 동일한 문제로 모델링한 후 프로세서의 전압조절 기법과 이기종메모리의 태스크 할당기법이 실시간시스템의 전력 절감에 어느 정도의 효과가 있는지를 비교하고, 이 둘을 결합하여 전력 절감을 극대화한다.

표 1. 메모리 접근시간 및 전력소모
Table 1. Memory access latency and power consumption

	DRAM	PCM
Read latency	50 (ns)	100 (ns)
Write latency	50 (ns)	350 (ns)
Read energy	0.1 (nJ/bit)	0.2 (nJ/bit)
Write energy	0.1 (nJ/bit)	1.0 (nJ/bit)
Idle power	1 (W/GB)	0.1 (W/GB)

본 논문의 이후 구성은 다음과 같다. Ⅱ장에서는 본 논문의 시스템 모델과 제안하는 기법에 대해 기술한다. Ⅲ장에서는 제안한 기법을 검증하는 실험과 그 결과에 대해 기술한다. 끝으로 Ⅳ장에서는 본 논문의 결론을 기술한다.

Ⅱ. 본 문

1. 시스템 모델

이기종메모리와 전압조절이 가능한 프로세서로 구성된 실시간 임베디드 시스템에서 수행되는 태스크 집합을 $\Gamma = \{\tau_1, \tau_2, \ldots, \tau_n\}$ 라 하자. 각 태스크 τ_i는 $<C_i, T_i, M_i>$로 정의되며, C_i는 태스크 τ_i의 최악실행시간, M_i는 τ_i의 메모리 요구량, T_i는 태스크의 실행주기를 나타낸다.

본 논문에서는 프로세서의 전압 모드를 디폴트 모드인 D-모드와 저전압 모드인 L-모드로 정의한다. D-모드에서의 전압값을 V_D라 할 때, 프로세서는 그에 따른 클락빈도 f_D로 동작하며, L-모드에의 전압값을 V_L이라 할 때, 프로세서는 그에 따른 클락빈도 f_L로 동작한다. $f_L < f_D$이므로 L-모드에서 프로세서의 작업시간은 길어지지만 길어진 작업시간을 고려하더라도 전력소모량이 전압의 제곱에 비례하는 값을 가지므로 전력 소모는 감소하게 된다. 태스크의 최악실행시간은 D-모드를 기준으로 정의된 것이므로 프로세서가 L-모드에서 동작할 경우 최악실행시간은 $(f_D/f_L) \cdot C_i$로 늘어나게 된다.

한편, 실시간태스크의 스케줄링 알고리즘 중 EDF (earliest deadline first)가 최적의 알고리즘으로 알려져 있다[5]. EDF는 태스크 집합에서 가장 데드라인이 임박한 태스크를 프로세서에 가장 먼저 스케줄링 하는 방법이다.

EDF로 스케줄링이 불가능한 태스크 집합은 다른 어떠한 알고리즘으로도 스케줄링이 안 되기 때문에 본 논문에서는 EDF를 태스크 스케줄링의 기본 알고리즘으로 사용한다. 한편, 모든 태스크들이 데드라인을 지키면서 실행이 되기 위해서는 프로세서의 이용률 U가 다음의 조건을 만족해야 한다.

$$U = \sum_{i=1}^{n} \frac{C_i}{T_i} \leq 1 \qquad (1)$$

이 때, 태스크의 최악실행시간 C_i는 프로세서가 L-모드로 수행될 경우 그에 비례해서 늘어나게 된다. 본 논문에서는 이러한 모델을 확장하여 태스크가 DRAM이 아닌 비휘발성메모리에 할당될 경우 메모리 접근시간이 늘어난다는 점에 착안하여 태스크의 최악실행시간을 이기종 메모리의 성능에 기반해서 새롭게 정의한다. 즉, 본 논문에서는 DRAM에 배치된 태스크를 D-task, 비휘발성메모리에 배치된 태스크를 L-task로 분류하여 D-task와 L-task의 집합을 각각 Γ_D, Γ_L로 정의하며, 이때 $\Gamma = \Gamma_D \cup \Gamma_L$을 만족한다.

실시간 태스크 스케줄링 연구가 대부분 채택하고 있는 가정에 따라 본 논문의 시스템 모델은 다음과 같은 가정을 토대로 스케줄링을 수행하게 된다.

가정 1. DRAM의 크기는 모든 태스크 집합을 할당할 수 있는 크기이지만, 태스크 할당이 끝난 후 불필요한 DRAM은 전원을 차단한다.

가정 2. 각 태스크가 메모리에 할당된 후 실행 중에는 이기종메모리로 옮길 수 없다.

가정 3. 각 태스크는 독립적으로 동작하며 다른 태스크의 결과값에 영향을 받지 않는다.

표 2. 태스크 집합의 예
Table 2. An example of task sets

태스크	실행시간	주기
τ_1	2	8
τ_2	1	10
τ_3	1	14

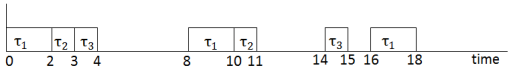


그림 1. 태스크 집합의 EDF 스케줄링 결과
Fig. 1. A scheduled task set by EDF

가정 4. 스케줄링 시 문맥전환, 즉 프로세서가 다른 태스크로 이양되는 오버헤드는 무시할 만큼의 값으로 가정한다.

가정 5. 프로세서의 클락빈도가 변경될 때 공급전력도 그에 따라 조정되는 것으로 가정한다.

2. 프로세서의 전압조절을 활용하는 스케줄링

주기성을 가지는 실시간 태스크의 집합은 일반적으로 오프라인 스케줄링이 가능하다. 예를 들어 표 2의 태스크 집합을 EDF로 스케줄링할 경우 어떤 결과를 얻을 수 있는지 살펴보자. 먼저 스케줄 가능성을 확인하기 위해 총 3개의 태스크 τ_1, τ_2, τ_3에 대해 프로세서 이용률을 구하면 U = 2/8 + 1/10 + 1/14 = 0.421 < 1이 되어 EDF로 스케줄이 가능함을 확인할 수 있다. 그림 1은 표 2의 태스크 집합을 EDF로 스케줄한 결과를 보여 준다. t=0일 때 τ_1, τ_2, τ_3가 모두 실행가능한 상태이며, 이중 데드라인이 가장 임박한 τ_1이 먼저 실행되고, t=2일 때 그 다음으로 임박한 τ_2가 실행된다. 끝으로 t=3이 되면 τ_3가 실행된다. 그런 다음 t=8이 되면 τ_1의 다음 주기가 도래하여 스케줄링 된다. 한편, 그림 1에서 구간 (4, 8), (11, 14), (15, 16), (18, 20)은 유휴구간을 보여 주고 있으며 그림에서 보는 것처럼 50% 이상의 구간이 유휴구간으로 프로세서 이용률이 현저히 낮음을 확인할 수 있다.

한편, 표 2의 태스크 집합에 대해 전압조절 기법을 이용하여 프로세서의 클락빈도를 $f_{L1} = 0.5, f_{L2} = 0.25$로 낮추어 τ_3와 τ_2를 각각 실행시키면, τ_3의 최악실행시간은 1에서 2로, τ_2의 최악실행시간은 1에서 4로 늘어나게 되며, 그에 따라 프로세서의 이용률은 U = 2/8 + 4/10 + 2/14 = 0.793으로 증가한다. 그렇지만, 여전히 이용률이 1 이하이므로 EDF로 스케줄링이 가능함을 확인할 수 있다. 그림 2는 전압조절 기법을 적용한 EDF 스케줄링의 결과를 보여주며, 그림에서 보는 것처럼 유휴구간이 크게 줄어든 것을 확인할 수 있다. 이에 따라 프로세서의 전력소모를 크게 절감할 수 있게 된다.

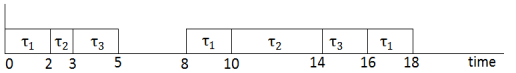


그림 2. 프로세서 전압조절 기법에 의한 스케줄링 결과
Fig. 2. A scheduled task set by voltage scaling

3. 이기종메모리에서의 실시간 태스크 배치기법

PCM과 같은 비휘발성메모리는 DRAM에 비해 접근시간이 느리지만, 전력재공급 연산이 필요하지 않으므로 유휴상태의 에너지 소모를 크게 줄일 수 있다. 본 논문은 그림 3과 같이 DRAM과 비휘발성메모리가 혼합된 이기종메모리 구조에서 실시간시스템의 전력 소모를 더욱 줄이기 위한 방안으로 태스크의 메모리배치 기법과 프로세서의 전압조절 기법을 결합하는 방안을 제안한다.

태스크의 정의에서 최악실행시간이란 태스크가 실행되면서 접근하는 메모리경로 중 최장시간이 소요되는 경로, 즉 캐쉬메모리에서 미스가 발생하여 DRAM을 접근하는 최악의 경우를 토대로 한 값이다. 한편, 이기종메모리 환경에서는 태스크가 DRAM이 아닌 비휘발성메모리에 배치될 경우 태스크의 최악실행시간은 DRAM 접근시간을 기준으로 정의된 기존 값에 비해 더 늘어나게 된다.

따라서, 본 논문에서는 확장된 태스크 모델을 정의하여 태스크가 비휘발성메모리에 배치될 경우 그 최악실행시간을 비휘발성메모리의 접근시간을 반영한 값으로 재정의한다. 이에 따라 EDF 알고리즘의 스케줄 가능성 테스트시 전압조절 기법 적용과 비휘발성메모리의 태스크 배치 등을 고려한 최악대기시간으로 프로세서의 이용률을 조사하게 된다.

프로세서의 전압조절 기법과 이기종메모리상의 태스크 배치 기법은 각각의 연구주제로 이미 많은 연구가 진행된 바 있다. 본 논문은 실시간시스템의 전력소모 절감에 이들 두 방법이 어느 정도의 효과가 있는지를 비교 분석하고 이들을 결합하는 기법을 제안하여 그 효과를 극대화시킨다는 데에 의의가 있다.

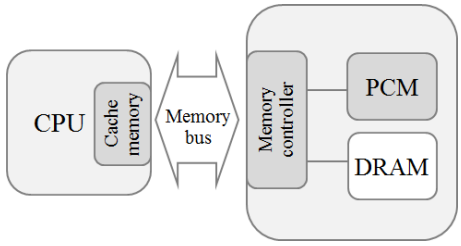
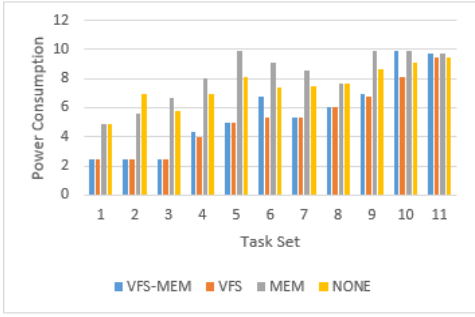
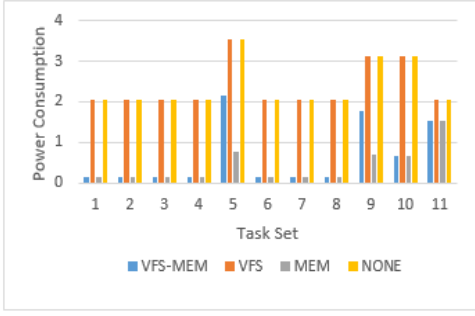


그림 3. 이기종메모리 아키텍쳐
Fig. 3. Hybrid main memory architecture.



(a) 프로세서 전력소모



(b) 메모리 전력소모

그림 4. 각 기법별 전력소모 비교
Fig. 4. Comparison of power consumption

III. 성능 평가

본 장에서는 제안한 기법의 성능을 평가하기 위해 시뮬레이션 실험을 진행하고 그 결과를 분석한다. 본 논문에서의 실험환경은 기존연구에서 사용한 방식과 유사하게 11개의 태스크 집합을 프로세서 이용률을 변화시키면서 생성하였다[6]. 비교 대상으로는 프로세서 전압조절 기법만을 적용한 기법(VFS: voltage frequency scaling), 이기종메모리 상의 할당기법만을 적용한 방식(MEM), 그리고 저전력 기법의 활용 없이 EDF로 스케줄링한 방식(NONE)과 본 논문이 제안한 방식(VFS-MEM)을 비교하였다.

이기종메모리를 구성하는 DRAM과 비휘발성메모리는 동일한 크기로 설정하였으며, 각 메모리의 접근 속도, 활성상태 및 유휴상태의 소모전력 값은 표 1에 정의된 값을 사용하였다. 프로세서의 클락빈도값은 1과 0.5의 두 가지 모드를 사용하였다.

그림 4(a), 4(b)는 11가지 태스크 집합에 대해 4가지 기법으로 스케줄링한 결과 프로세서와 메모리에서 소비하는 전력을 보여주고 있다. 그림 4(a)에서 보는 것처럼 전압조절 기법이 사용된 VFS와 VFS-MEM이 유사한

수준의 전력 절감을 나타낸 것을 확인할 수 있다. 전압조절 기법을 사용하지 않는 MEM과 NONE은 이에 비해 비교적 높은 전력소모를 나타낸 것을 확인할 수 있으며, 태스크 집합에 따라 전력소모에 어느 정도 편차가 발생한 것을 확인할 수 있다. 태스크 집합의 번호가 증가할수록 전압조절 기법을 활용한 VFS-MEM, VFS와 그렇지 않은 MEM, NONE 간의 차이가 줄어드는 것을 확인할 수 있는데, 이는 태스크 집합의 번호가 증가할수록 프로세서 이용률이 높은 태스크 집합으로 구성되어 전압조절을 통해 유휴구간을 활용할 수 있는 가능성이 줄어들기 때문이다.

그림 4(b)에서 보는 것처럼 메모리 전력소모에 있어서는 비휘발성메모리를 태스크 할당에 활용한 VFS-MEM과 MEM이 그렇지 않은 VFS와 NONE에 비해 큰 폭의 전력 절감을 나타내었다. 이는 비휘발성메모리의 유휴전력이 거의 0에 가깝기 때문에, 사용되지 않는 메모리 영역에 대한 불필요한 전력소모를 크게 줄일 수 있기 때문이다. 하지만, 비휘발성메모리는 접근시간이 DRAM에 비해 길기 때문에 메모리에서의 전력소모 절감이 프로세서에서의 수행시간을 길어지게 하여 프로세서 전력소모를 증가시킬 수 있다. 그러나, 그림 4(a)에서 보는 것처럼 이러한 현상은 MEM에서만 나타나는 것을 확인할 수 있으며, 프로세서 또한 전압조절 기법을 통해 저전력 모드를 활용할 경우 메모리 성능 저하로 인한 프로세서의 전력 소모 증가는 거의 나타나지 않는 것을 VFS와 VFS-MEM의 비교를 통해 확인할 수 있다. 오히려 프로세서가 저전력 모드로 느리게 동작할 때, 메모리도 이에 맞게 느린 비휘발성메모리 배치를 활용함으로써 전력소모 절감을 극대화시킨 것을 확인할 수 있다.

그림 5는 프로세서와 메모리의 전력소모를 합한 총 에너지 소모량을 보여주고 있다. 그림에서 보는 것처럼 제안한 기법인 VFS-MEM이 NONE, VFS, MEM에 비해 평균적으로 36%, 18%, 28%의 에너지 절감을 나타내는 것을 확인할 수 있었다. 그림 6은 제안한 기법을 사용함으로 인해 프로세서 이용률이 어떻게 증가했는지를 보여주고 있다. 그림에서 보는 것처럼 VFS-MEM은 모든 경우에 있어 가장 높은 이용률을 나타내었으며, 일부 태스크 집합에서는 100%에 근접하는 높은 이용률을 나타낸 것을 확인할 수 있었다.

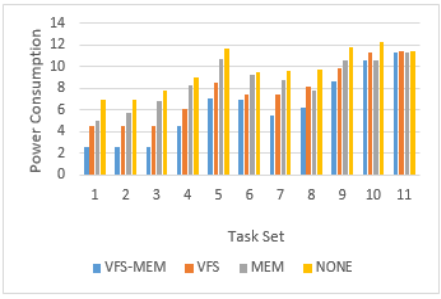


그림 5. 총 전력소모 비교
Fig. 5. Comparison of total power consumption

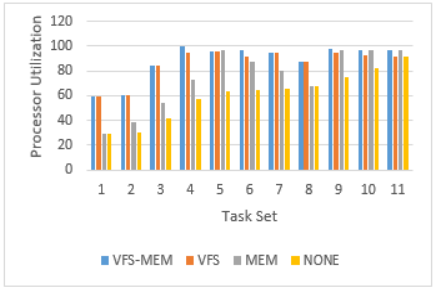


그림 6. 프로세서 이용률 비교
Fig. 6. Comparison of processor utilization.

Ⅳ. 결 론

본 논문은 사물인터넷 기기를 위한 프로세서의 전압조절 기법에 저전력 비휘발성메모리 기술을 결합하여 실시간시스템의 전력 소모를 더욱 줄이는 연구를 수행하였다. 낮은 전압의 프로세서로 태스크의 스케줄링이 가능한 시점에는 메모리의 성능이 낮아지더라도 여전히 스케줄링이 가능할 것이라는 점에 착안하여 본 논문은 이기종메모리 상의 태스크 할당 문제를 프로세서의 전압조절 기법과 동일한 문제로 모델링한 후 두 기법이 실시간시스템의 전력 절감에 어느 정도의 효과가 있는지를 분석하고, 이 둘을 결합하여 전력 절감을 극대화한다. 시뮬레이션 실험을 통해 본 논문이 제안한 기법이 동적전압 조절기법만 사용하거나 이기종메모리 상의 태스크할당 기법만을 사용한 경우보다 평균 18~28%, 두 기법을 적용하지 않은 경우보다 평균 36%의 전력절감 효과를 얻는 것을 확인할 수 있었다.

References

[1] E. Lee, S. Yoo, H. Bahn, “Performance Evaluation and Analysis of NVM Storage for Ultra-Light Internet of Things,” The Journal of the Institute of Internet, Broadcasting and Communication, Vol.15, No.6, pp.181-186, 2015.
DOI: https://doi.org/10.7236/JIIBC.2015.15.6.181

[2] H. Bahn, “Efficient Scheduling of Sensor-based Elevator Systems in Smart Buildings,” Journal of the Korea Academia-Industrial cooperation Society, Vol.17, No.10, pp.367-372, 2016.
DOI: http://dx.doi.org/10.5762/KAIS.2016.17.10.367

[3] A. Carroll and G. Heiser, “An Analysis of Power Consumption in a Smartphone,” Proc. USENIX Technical Conference, 2010.

[4] H. Choi, H. Bahn, “Buffer Cache Management based on Nonvolatile Memory to Improve the Performance of Smartphone Storage,” The Journal of the Institute of Internet, Broadcasting and Communication, Vol.16, No.3, pp.7-12, 2016.
DOI: https://doi.org/10.7236/JIIBC.2016.16.3.7

[5] H.E. Ghor and E.M. Aggoune, “Energy Saving EDF Scheduling for Wireless Sensors on Variable Voltage Processors,” International Journal of Advanced Computer Science and Applications, Vol 5, No. 2, pp. 158-167, 2014.
DOI: https://doi.org/10.14569/IJACSA.2014.050223

[6] P. Pillai, and K.G. Shin, “Real-Time Dynamic Voltage Scaling for Low-Power Embedded Operating Systems,” Proc. ACM Symposium on Operating Systems Principles, pp. 89-102, 2001.

[7] Z. Zhang, P. Liu, L. Ju, and Z. Jia, “Energy Effient Real-Time Scheduling for Embedded Systems with Hybrid Main Memory,” Proc. IEEE RTCSA Conf., pp. 1-10, 2014

[8] Y. Lin, N. Guan, and Q. Deng, “Allocation and Scheduling of Real-Time Tasks with Volatile/Non-Volatile Hybrid Memory Systems,” IEEE Non-Volatile Memory System and Applications Symposium, pp. 1-6, 2015.

저자 소개

정 선 화(준회원)

- 1986년 2월 : 이화여자대학교 물리학과 학사
- 1996년 5월 : Illinois Institute of Technology 컴퓨터과학과 석사
- 2015년 3월 ~ : 이화여자대학교 컴퓨터공학과 박사과정

<주관심분야 : 운영체제, 소프트웨어 테스팅, 스토리지 시스템, 임베디드 시스템>

반 효 경(정회원)

- 1997년 2월 : 서울대학교 계산통계학과 학사
- 1999년 2월 : 서울대학교 전산과학과 석사
- 2002년 2월 : 서울대학교 컴퓨터공학부 박사.
- 2002년 9월 ~ : 이화여자대학교 컴퓨터공학과 교수.

<주관심분야 : 운영체제, 스토리지시스템, 임베디드시스템>