

논문 2017-54-4-4

영상신호 전송용 CMOS 광대역 시리얼 데이터 송신기

(A CMOS Wide-Bandwidth Serial-Data Transmitter for
Video Data Transmission)

이 경 민*, 박 성 민**

(Kyungmin Lee and Sung Min Park[©])

요 약

본 논문에서는 270/540/750/1500-Mb/s 동작속도를 갖는 영상신호 전송용 시리얼 송신기 칩을 0.13- μ m CMOS 공정을 이용하여 구현하였다. 전송 채널은 저가형 RG-58 계열의 5C-HFBT-RG6T 동축 케이블로서, 싱글 BNC 커넥터로 연결되어 있으며, 1.5-GHz 주파수에서 케이블 손실은 최대 45 dB이다. 이를 RLGC 모델링을 통해 SPICE용 회로로 구현하였고, 케이블 손실 측정결과와 매우 유사한 특성을 갖는다. 신호감쇄의 보상은 송신기 회로의 프리엠퍼시스 기능 및 수신단의 이퀄라이저 기능을 통해 복원하며, 송신기 칩의 측정 결과 270-Mb/s, 540-Mb/s, 750-Mb/s 및 1.5-Gb/s 동작속도를 모두 만족하며, 프리엠퍼시스 기능을 OFF 했을 때에도 1.5 Gb/s에서 370-mV_{pp} 출력전압을 갖는다. 칩의 전력소모는 1.2/3.3-V 전원전압으로부터 104 mW, 칩 면적은 I/O 패드를 포함하여 1.65x0.9 mm² 이다.

Abstract

This paper presents a 270/540/750/1500-Mb/s serial-data transmitter realized in a 0.13- μ m CMOS technology for the applications of video data transmission. A low-cost RG-58 copper cable(5C-HFBT-RG6T) is exploited as a transmission medium connected to a single BNC connector, which shows cable loss 45 dB in maximum at 1.5 GHz. RLGC modeling provides an equivalent circuit for SPICE simulations of which characteristics are very similar to the measured cable loss. The loss can be compensated by pre-emphasis at transmitter and equalization at receiver if needed. Measurements of the proposed transmitter chip demonstrate the operations of 270-Mb/s, 540-Mb/s, 750-Mb/s and 1.5-Gb/s, and provide the output voltage levels of 370 mV_{pp} at 1.5 Gb/s even with the pre-emphasis turned-off. The total power consumption is 104 mW from 1.2/3.3-V supplies and the chip occupies the area of 1.65x0.9 mm².

Keywords : CMOS, Coaxial cables, Driver, MUX, PLL, Serial links, Transmitter, Video data

I. 서 론

멀티미디어 데이터 송수신 시스템에서 병렬구조의 데이터 전송 링크가 널리 유용하게 사용되었으나, 많은 I/O pin 수가 필요하며, 데이터 전송속도의 증가에 따라 송신단과 수신단을 연결하는 채널에서 발생하는 스킨이펙트 효과, 신호크기의 전기적 감쇄, 및 심각한 Inter Symbol Interference(ISI) 등의 문제뿐만 아니라, 채널

간 발생하는 skew와 근접채널 간 crosstalk 문제도 발생한다. 이로 인해 데이터 전송에 있어서 수신단 내 복원신호의 bit-error-rate(BER) 열화현상을 피할 수 없게 되며, 전송거리에도 상당히 제한을 받게 된다^[1].

반면, 직렬 데이터 전송 링크의 경우, I/O-pin 수가 현저히 적고, 채널 간 skew 현상 및 crosstalk에 의한 BER 열화현상을 줄일 수 있는 장점이 있다. 다만, 채널로 전송하는 신호의 동작속도가 높아짐으로 인해 상당한 신호감쇄는 발생한다. 이러한 신호감쇄를 보상해주기 위해서 송신단에 프리엠퍼시스 기술을 적용하거나, 수신단에서 이퀄라이저 회로를 적용한다^[1~5].

본 논문에서는 저가형의 동축 케이블을 통해 NRZ

* 학생회원, 이화여자대학교(Ewha Womans University)

** 평생회원, 이화여자대학교(Ewha Womans University)

© Corresponding Author(E-mail : smpark@ewha.ac.kr)

Received : November 10, 2016 Revised : January 31, 2017

Accepted : March 8, 2017

binary 데이터 신호를 270-Mb/s부터 1500-Mb/s의 넓은 주파수 범위에서 전송할 수 있는 송신기 회로를 구현하였다. 0.13- μm CMOS 공정을 사용하였고, 주파수에 따른 동축 케이블의 신호감쇄는 1.5-GHz 주파수에서 최대 45-dB로서, 이러한 신호감쇄 특성을 보상하기 위해서 송신단 front-end 회로에 D-FF을 이용한 프리앰퍼시스 기능을 포함하였다. 또한, 광대역 주파수에서 동작이 가능한 PLL 회로뿐 아니라, 디지털 신호를 시리얼 동작가능하게 만드는 8:1 MUX 회로를 포함하였다.

일반적으로 PLL 회로를 넓은 주파수 범위에서 동작하도록 설계하는 것은 매우 어렵다. 따라서 본 논문에서는 고주파의 생성된 클록을 분주하여 설계의 큰 어려움 없이 넓은 주파수 범위를 갖도록 구현하였다. 즉, 1.5 GHz의 클록주파수를 VCO에서 생성한 후 이를 D-FF으로 분주하여 750 MHz 클록을 생성하도록 하였고, 540 MHz 클록을 분주하여 270 MHz 클록을 생성한 후, 4:1 MUX 회로를 통해 원하는 클록신호를 selection 할 수 있도록 설계하였다

한편, 송신채널로 사용하는 RG-58 동축 케이블은 RLGC 모델링을 통해 SPICE 시뮬레이션이 가능한 회로로 구현하였다.

II. 본 론

그림 1은 시리얼 데이터 링크의 송수신기 시스템을 보여준다. 송신단에서는 병렬 디지털 신호를 직렬 데이터 전송으로 변환하기 위해 MUX 및 PLL 회로를 사용하였으며, 채널의 신호감쇄를 보상하기 위해 프리앰퍼시스 기능을 추가한 드라이버를 사용하였다.

또한 수신단에서는 이퀄라이저 및 Clock and Data Recovery(CDR)를 사용하여 timing jitter를 최소화 하였으며, DEMUX를 통해 낮은 속도의 병렬 디지털 신호로

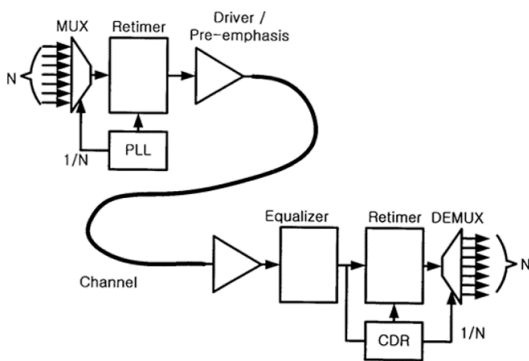


그림 1. 시리얼 데이터 송수신기 시스템의 원리
Fig. 1. Block diagram of a serial data transceiver system.

변환하였다.

그림 2는 제안한 송신부의 블록 다이어그램을 보여준다. 27-MHz와 75-MHz의 두 종류 reference 클록을 갖는 PLL 신호를 통해 270 Mb/s부터 1.5 Gb/s까지의 데이터를 8:1 MUX 및 드라이버를 통해 전송케이블로 송신하도록 한다. 특히, 드라이버단은 PLL 클록신호를 받아 retiming 하는 D-FF 구조의 프리앰퍼시스 기능을 포함함으로써, 회로의 출력신호가 칩 PAD 및 패키지 pin을 지나, SMA-BNC 커넥터를 통과한 후 장거리의 동축 케이블로 전송하게 될 때 발생하는 상당한 신호감쇄를 보상할 수 있도록 한다.

채널로 사용한 케이블은 그림 3(a)와 같이 RG-58 계열의 5C-HFBT-RG6T를 사용하였으며, 케이블 주파수 특성을 Agilent N5071C 네트워크 분석기를 사용하여 측정하였다(그림 4 참조). 또한, 측정결과를 바탕으로 그림 3(b)과 같은 RLGC 모델링을 하여 SPICE 시뮬레이션이 가능한 등가회로로 구현하였다. 그림 4에서 보는 바와 같이, RLGC 모델링을 통한 주파수에 따른 감쇄 정도는 실제 케이블 감쇄측정 값과 4 GHz 미만의 주파수에서 거의 일치한다. 특히, 180 미터의 장거리용 동축 케이블을 사용할 때, 1.5 GHz에서 약 45 dB 신호감쇄가 일어난다.

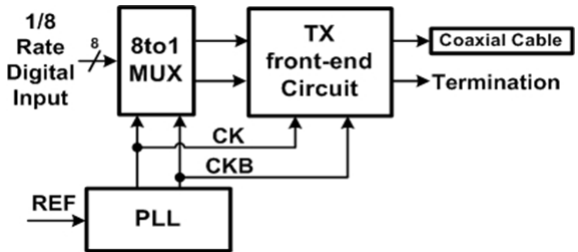


그림 2. 제안한 송신기의 블록다이어그램
Fig. 2. Block diagram of the proposed TX.

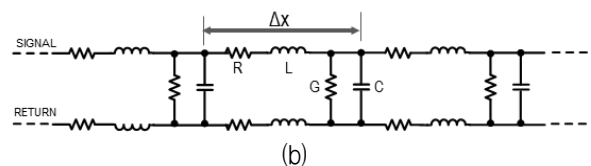


그림 3. (a) 동축 케이블(5C-HFBT-RG6T) 사진, 및 (b) 케이블의 RLGC 모델링 등가회로
Fig. 3. (a) Photo of the coaxial cable(5C-HFBT-RG6T), (b) Its RLGC modeling equivalent circuit.

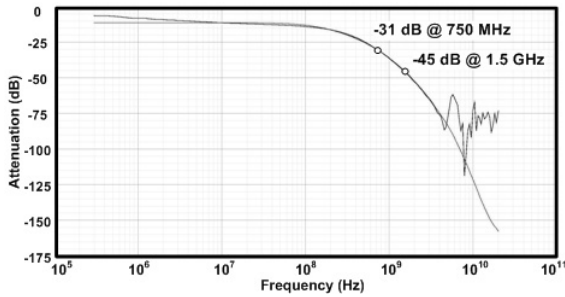


그림 4. 케이블 신호감쇄 측정 및 RLGC 모델링 결과비교
Fig. 4. Measured and modeling results of cable attenuation.

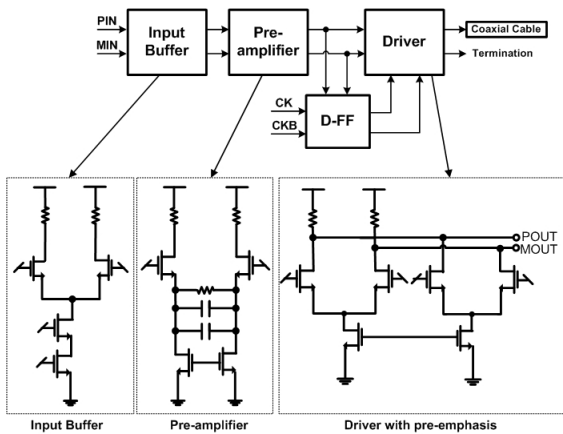


그림 5. 송신기 front-end 회로의 블록다이아그램 및 상세한 회로도
Fig. 5. Block diagram of the TX front-end circuit and its schematic diagrams.

그림 5는 송신기의 front-end 드라이버단을 구성하는 각 블록의 상세한 회로도를 보여준다. 입력버퍼단은 CML 구조의 차동증폭기로서 캐스코드 구조의 전류소스를 이용하였다. 프리앰프단은 저항 및 캐패시터 디제너레이션 구조를 갖고 있으며, 저항 값과 캐패시턴스 값에 따라 제로 주파수를 대역폭 주파수 근처에서 발생하여 피킹을 일으키며, 이로써 송신기 회로가 1.5-Gb/s 동작속도를 갖도록 한다. 동축 케이블을 직접 구동하는 마지막 메인 드라이버단은 거의 풀 스wing을 갖는 입력신호를 받기 때문에 트랜지스터가 스위칭 동작을 한다. 특히 프리앰프시스 기능을 D-FF을 이용하여 포함시켰고, 이를 100-Ω 출력저항에 동시에 연결하여 구동하도록 하였다.

그림 6은 메인 드라이버단과 프리앰프시스단의 보다 상세한 회로도와 프리앰프시스 기능을 통한 출력파형의 한 예를 보여준다. 각 트랜지스터를 구동하는 전류 I1 및 I2의 스위칭 동작에 의해 발생하는 파형이며, 그림 10의 시뮬레이션 결과를 통해 검증하였다.

그림 7(a)는 설계한 PLL 회로의 블록 다이어그램이다.

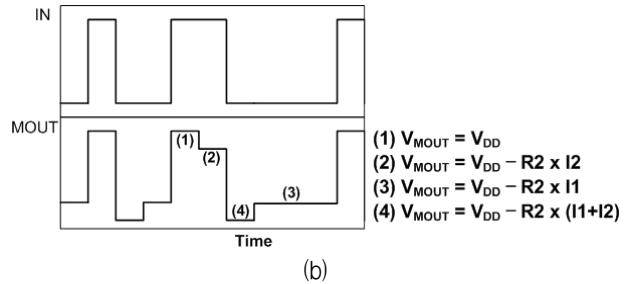
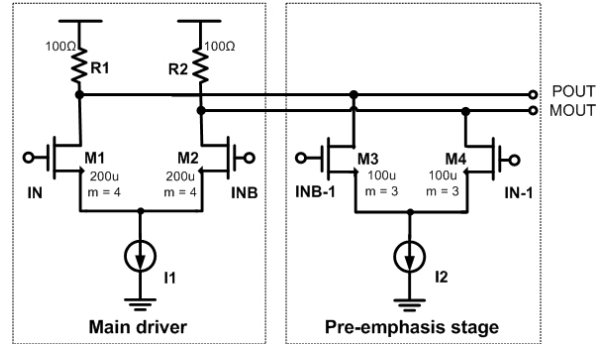


그림 6. (a) 제안한 프리앰프시스 드라이버의 회로도 및 (b) 프리앰프시스 동작 파형의 예
Fig. 6. (a) Schematic diagram of the proposed pre-emphasis driver, (b) An example of waveform with pre-emphasis.

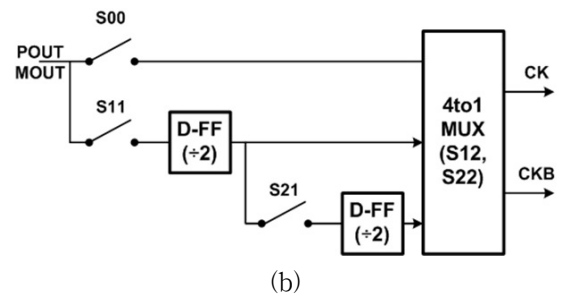
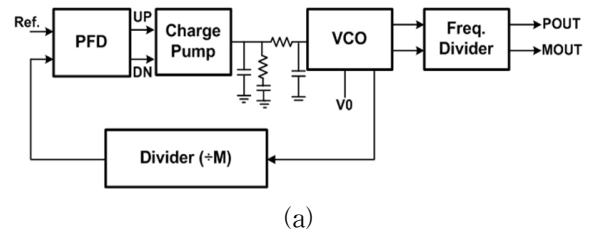


그림 7. (a) PLL 회로의 블록 다이어그램 및 (b) 분주신호생성 블록 다이어그램
Fig. 7. Block diagrams of (a) the PLL circuit, (b) Divided clock generation.

이는 전통적인 방식의 PLL 회로로써, 루프 필터의 경우, 2차 루프 필터 이후에 저대역통과필터(low-pass filter)를 한 번 더 사용하여 VCO 회로 내 입력 조절전압의 지터 특성을 개선할 수 있도록 하였다.

그림 7(b)는 PLL에서 생성된 클럭신호를 분주하는 블록 다이어그램을 보여준다^[6-7].

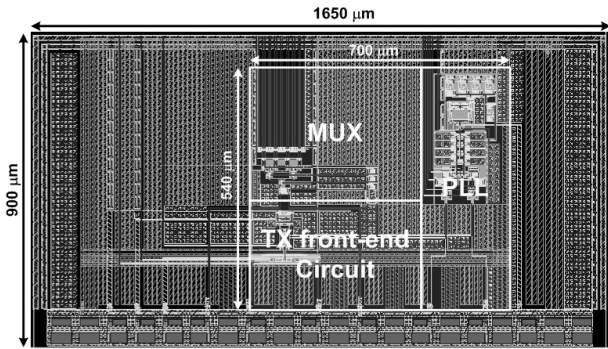


그림 8. 제안한 송신기의 레이아웃
Fig. 8. Chip layout of the proposed TX.

4:1 MUX 회로는 selector의 역할을 하며, 3개의 스위치를 이용해 높은 1.5 GHz 주파수의 클럭을 제공할 경우 S00 스위치를 ON 시키고, 이를 2분주한 750 MHz의 클럭을 사용할 경우 S11을 ON 시키도록 한다. 또한, 540 MHz의 클럭신호 및 이를 2분주한 270 MHz의 클럭신호를 생성할 때에도 동일한 스위칭 동작을 이용해 생성한다. 이를 위해 PLL은 넓은 주파수 범위를 모두 생성할 수 있도록 설계하였다.

그림 8은 제안한 송신기 회로의 레이아웃이며, I/O 패드를 제외한 칩 코어 면적은 700×540 μm² 이다.

그림 9는 포스트 레이아웃 시뮬레이션 결과로서, 사용한 동축 케이블의 RLGC 모델링을 SPICE 시뮬레이션에 포함하였다. 각 열마다 세 개의 eye-diagram을 보여주는데, 동작 주파수 별로 270 Mb/s, 540 Mb/s, 750 Mb/s, 및 1.5 Gb/s의 입력신호에 대한 출력결과를 보여준다. 또한 각 주파수 별로 3개의 eye-diagram을 보여주는데, 먼저 (i)는 동축 케이블을 연결하지 않은 상태에서 메인 드라이버단만의 출력 eye-diagram을 나타내며, (ii)는 프리앰프시스 기능이 포함되고 케이블을 연결한 상태에서의 송신기 출력 eye-diagram이다. 마지막 (iii)는 45 dB 신호감쇄가 있는 동축 케이블의 끝단에서의 출력 전압 eye-diagram을 보여준다.

위 결과에서 볼 수 있듯이, 1.5 Gb/s 동작속도에서 수신단으로 약 8 mVpp 신호가 입력되는 것으로 볼 수 있으며, 이 경우 충분한 신호복원이 수신단에서 이루어지도록 이퀄라이저 및 CDR 회로를 설계하였다.

한편, 메인 드라이버단의 경우 3.3-V 전원전압을 사용하였고, 이 외의 회로에서는 1.2-V 전원전압을 사용하였다. 또한, 위 시뮬레이션 결과는 칩의 동작온도를 상온인 25°C 보다 높게 70°C를 기본으로 설정하여 시뮬레이션한 결과이다.

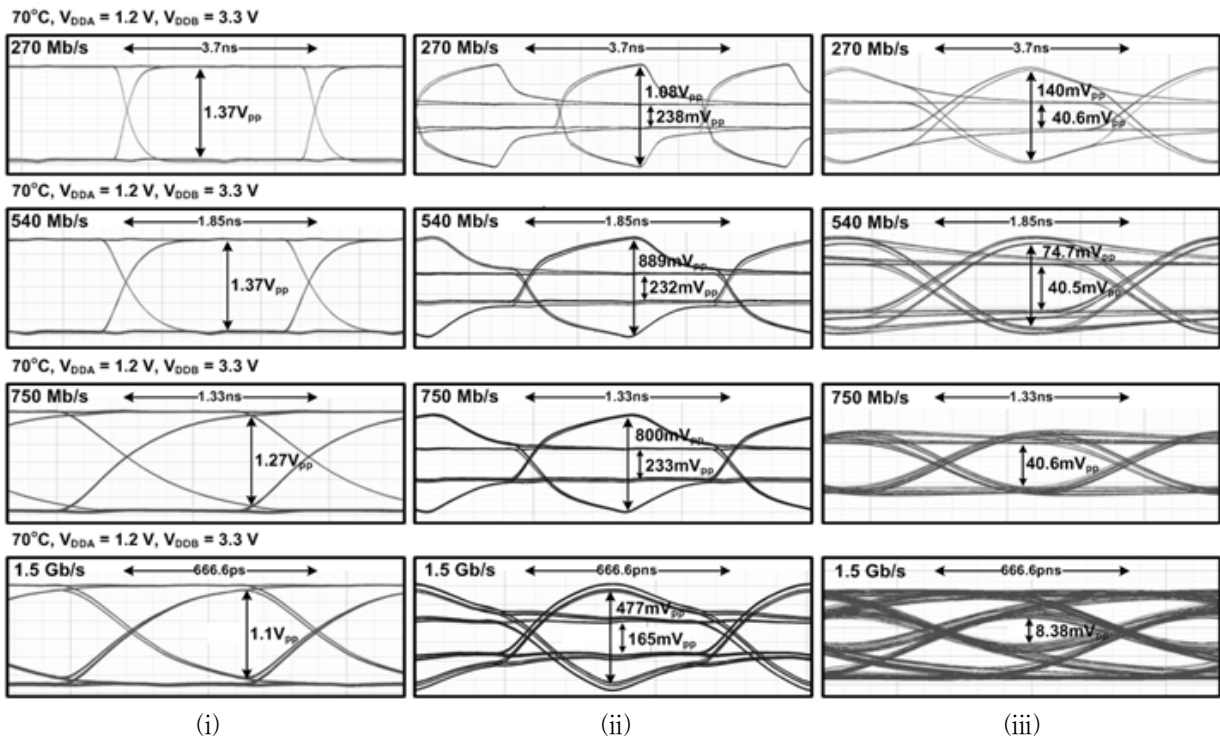


그림 9. TX eye-diagrams 시뮬레이션 결과 (270-Mb/s, 540-Mb/s, 750-Mb/s, 및 1.5-Gb/s 2³¹-1 PRBS 입력)
Fig. 9. Simulated eye-diagrams of the TX for 270-Mb/s, 540-Mb/s, 750-Mb/s, and 1.5-Gb/s 2³¹-1 PRBS inputs.

III. 실험

본 논문에서 설계한 송신기 칩은 0.13- μm CMOS 공정으로 제작하였다. 그림 10은 제작한 송신기 칩을 보여준다. 코어회로의 면적은 $700 \times 540 \mu\text{m}^2$ 이며, I/O 패드를 포함한 전체 칩 면적은 $1.65 \times 0.9 \text{mm}^2$ 이다. 그림 11은 제작한 송신기 칩의 eye-diagram을 측정된 결과로서, Anritsu MP1775A pulse pattern generator 및 Agilent 86100D digital communication analyzer 장비를 사용하여 측정하였다.

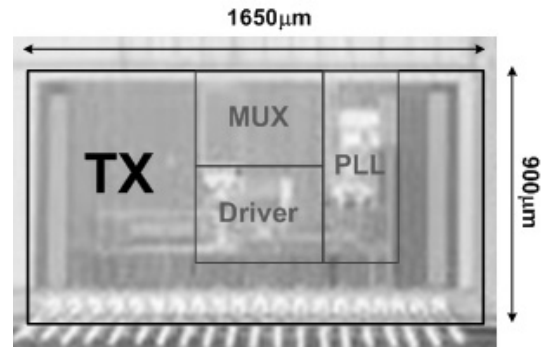


그림 10. 제안한 송신기의 칩 사진
 Fig. 10. Chip micro-photograph of the proposed TX.

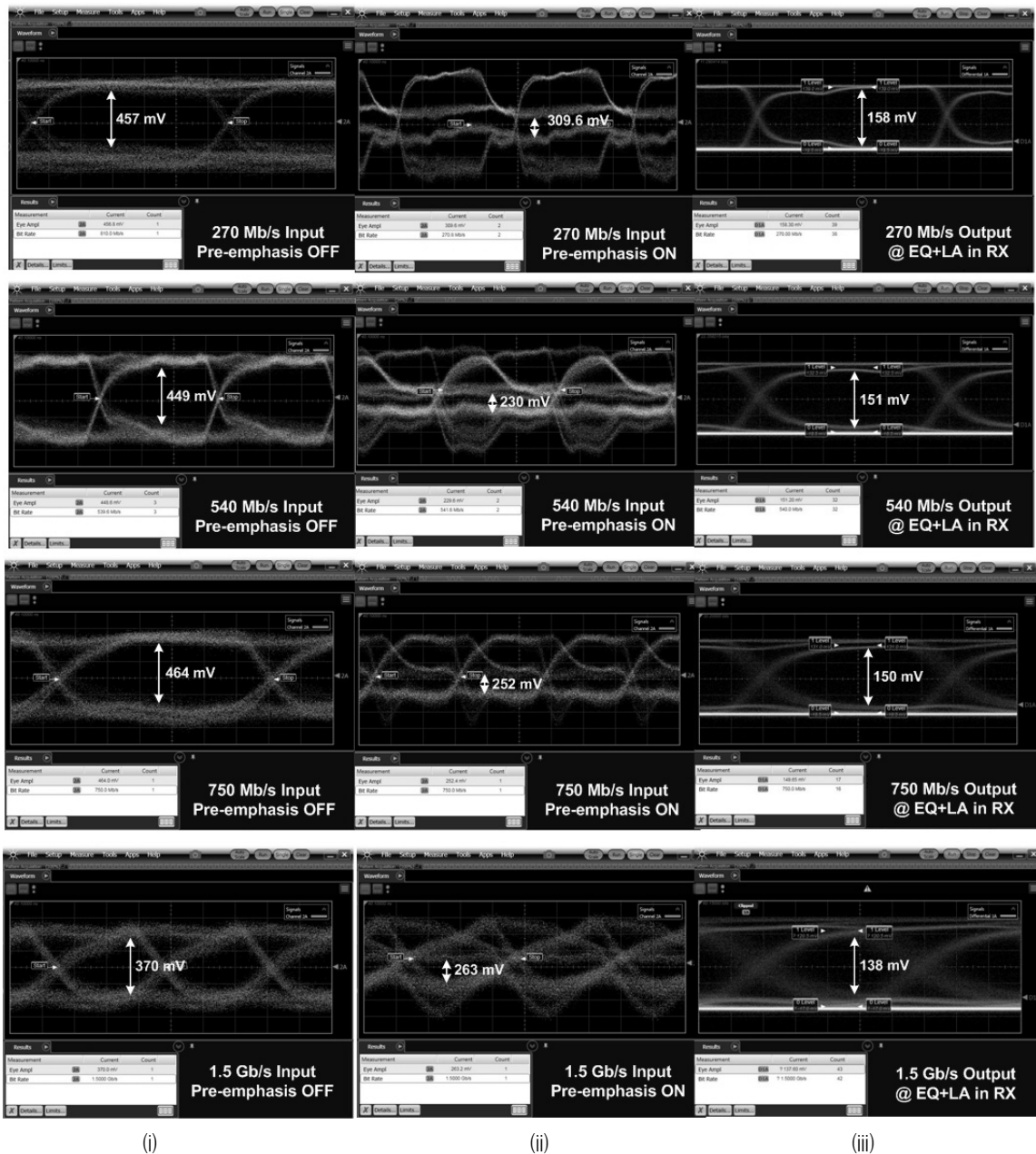


그림 11. TX 및 수신단(EQ+LA)의 eye-diagram 측정결과 @ 270 Mb/s, 540 Mb/s, 750 Mb/s 및 1.5 Gb/s 입력
 Fig. 11. Measured eye-diagrams of TX and RX(EQ+LA) for 270 Mb/s, 540 Mb/s, 750 Mb/s and 1.5 Gb/s input.

표 1. 제안한 TX의 성능 요약 및 성능 비교표.

Table1. Performance summary and comparison of the proposed TX.

Parameters	[1]	[2]	This work
Technology (nm)	110	250	130
Supply voltage (V)	1.2	2.5	1.2 / 3.3
Data rate (Gb/s)	5-6.4	3.2-4	1.5
Max. cable loss (dB)	20	***-	45
Core size (mm ²)	*3.92	0.3718	0.378
Power dissipation (mW)	240	**450	104

* including receiver

** including PRBS data generator

*** 60-cm transmission line

그림 11(i) 및 (ii)는 각 동작주파수 270 Mb/s, 540 Mb/s, 750 Mb/s, 및 1.5 Gb/s의 231-1 PRBS 입력에 대해 메인드라이버 단의 프리엠퍼시스 기능을 ON 혹은 OFF 한 상태에서 측정하였으며, 동축 케이블을 연결하지 않은 상태에서 eye-diagram을 측정 한 결과이다. 그림 11(iii)는 동축 케이블을 연결한 이후에 송신단의 프리엠퍼시스 기능을 ON 시키고, 동축 케이블을 거쳐 수신단의 front-end 회로인 이퀄라이저와 리미팅 증폭기를 통과한 신호의 eye-diagram을 측정한 결과로서, 1.5-Gb/s 동작속도에서 138 mVpp의 신호가 복원되는 것을 볼 수 있다.

송신기 칩의 전력소모는 1.2-V 및 3.3-V의 전원전압을 사용하였으며, 전체 104-mW 전력을 소모한다. 표 1은 제안한 송신기 칩의 성능을 요약한 표이다.

IV. 결 론

본 논문에서는 장거리용 동축 케이블을 이용하여 영상신호를 전송할 수 있는 송신기 회로를 0.13- μ m CMOS 공정을 이용하여 구현하였다. 제안하는 송신기 칩은 8:1 MUX 및 넓은 주파수 범위를 갖는 PLL 회로를 통해 병렬 디지털 신호를 직렬 데이터 전송으로 변환하고, PLL에서 발생시킨 1.5 GHz의 높은 클럭신호를 낮은 주파수로 분주하는 회로를 사용함으로써 270 Mb/s 부터 1500 Mb/s의 넓은 주파수 범위에서 동작이 가능하도록 하였다. 또한, 메인 드라이버단의 프리엠퍼시스 기능을 통해 케이블 신호감쇄를 보상할 수 있다. 따라서 본 논문에서 제작한 송신기 칩은 넓은 주파수 범위의 시리얼 데이터 저가형 전송 시스템에 적합하다고 할 수 있다.

Acknowledgment

이 논문은 2016년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2014R1A2A2A01005686).

REFERENCES

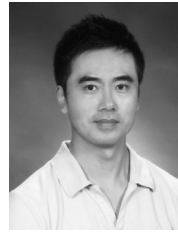
- [1] H. Higashi et al., "5-6.4 Gbps 12 channel Transceiver with Pre-emphasis and Equalizer" Technical Digest of IEEE Symposium on VLSI Circuits, pp. 130-133, Jun. 2004.
- [2] S.-W. Choi, H.-B. Lee, and H.-J. Park, "A Three-Data Differential Signaling Over Four Conductors With Pre-Emphasis and Equalization: A CMOS Current Mode Implementation", IEEE J. of Solid-State Circuits, Vol. 41, No. 3, pp. 633-641, Mar. 2006.
- [3] K. -J. Kim et al., "HDMI Transmitter with a pre-emphasis technique", IEIE Summer Conference, Vol. 33, No. 1, pp. 768-771, 2010.
- [4] J. Tak et al., "A Multi-Channel Gigabit CMOS Optical Transmitter Circuit", J. of IEIE-SD, Vol. 48, No. 12, pp. 1-6, 2011.
- [5] D. Lee et al., "A 120-dB Ω 8-Gb/s CMOS Optical Receiver Using Analog Adaptive Equalizer", J. of IEIE-SD, Vol. 45, No. 6, pp. 119-124, 2008.
- [6] S. Min, T. Copani, S. Kiaei and B. Bakaloglu, "A 90-nm CMOS 5-GHz Ring-Oscillator PLL With Delay-Discriminator-Based Active Phase-Noise Cancellation", IEEE J. of Solid-State Circuits, Vol. 48, No. 5, pp. 1151-1160, May 2013.
- [7] D. Park and S. Cho, "A 14.2 mW 2.55-to-3 GHz Cascaded PLL With Reference Injection and 800 MHz Delta-Sigma Modulator in 0.13 μ m CMOS", IEEE J. of Solid-State Circuits, Vol. 47, No. 12, pp. 2989-2998, Dec. 2012.

저 자 소 개



이 경 민(학생회원)
2014년 이화여자대학교 전자공학과
학사 졸업.
2016년 이화여자대학교 전자공학과
석사 졸업.
현재 이화여자대학교 전자공학과
박사 과정 재학.

<주관심분야: 초고속 아날로그 집적회로 설계, 광
인터페이스 회로>



박 성 민(평생회원)-교신저자
1993년 KAIST 전기및전자공학과
공학사 졸업.
1994년 Univ. of London 전자공학과
석사 졸업.
2000년 Imperial College London
전자공학과 박사 졸업.

현재 이화여자대학교 전자공학과 교수.
<주관심분야: 초고속 광 인터페이스 회로, 실리콘
포토닉스 회로, PMIC 회로 설계>