

반도체 Package 공정에서 MCP(Multi-chip Package)의 Layer Sequence 제약을 고려한 스케줄링 방법론

정영현 · 조강훈 · 정유인 · 박상철[†]

Scheduling Methodology for MCP(Multi-chip Package) with Layer Sequence Constraint in Semiconductor Package

Young-Hyun Jeong · Kang-Hoon Cho · You-In Choung · Sang-Chul Park[†]

ABSTRACT

An MCP(Multi-chip Package) is a package consisting of several chips. Since several chips are stacked on the same substrate, multiple assembly steps are required to make an MCP. The characteristics of the chips in the MCP are dependent on the layer sequence. In the MCP manufacturing process, it is very essential to carefully consider the layer sequence in scheduling to achieve the intended throughput as well as the WIP balance. In this paper, we propose a scheduling methodology considering the layer sequence constraint.

Key words : Semiconductor, Back-end Manufacturing, Multi-chip Package, Layer Sequence

요약

MCP(Multi-chip Package)는 두 개 이상의 Chip을 적층하여 하나의 패키지로 합친 제품이다. MCP를 만들기 위해서는 두 개 이상의 Chip이 동일한 Substrate에 적층되기 때문에 다수의 조립 공정이 필요하다. Package 공정에서는 Lot들이 동일한 특성을 가지는 Chip으로 구성되고 MCP를 구성하는 Chip의 특성은 Layer sequence에 의해 결정된다. MCP 생산 공정에서 WIP Balance 뿐만 아니라 Throughput을 달성하기 위해서는 Chip의 Layer sequence가 중요하다. 본 논문에서는 Chip들의 Layer sequence의 제약 조건을 고려한 스케줄링 방법론을 제안한다.

주요어 : 반도체, 후공정, Multi-chip Package, Layer sequence

1. 서론

무어의 법칙(Moore's law)에 따라 반도체 집적회로의 성능이 18개월마다 2배씩 향상 되어왔다. 하지만 집적도가 높아질수록 회로의 발열문제가 발생하고 더 이상 집적도를 높이더라도 수익성이 크지 않아 무어의 법칙이

한계에 부딪히게 되었다. 이로 인해 반도체 칩을 생산하는 전공정에 비해 주목 받지 못했던 후공정에서 한계를 극복할 방법에 대한 연구가 많이 이루어지고 있다.

이러한 공간적 한계를 극복하기 위한 방법 중 하나가 MCP(Multi-Chip Package)이다. MCP는 두 개 이상의 Chip을 적층하여 하나의 패키지로 구성하는 메모리 제품이다. MCP는 적층되는 위치에 따라 서로 다른 Chip의 특성을 가지게 된다.

MCP제품은 Die Attach (D/A) 공정에서 Substrate라고 하는 전기적 신호를 흘려 줄 수 있는 기판 위에 각 칩들이 적층되어진다(Tang, Y., 2003). 그리고 Wire Bonding (W/B) 공정에서 칩이 전기적 성질을 가질 수 있도록 금선을 연결하며 또 다른 칩을 적층하기 위해 D/A 공정을 다시 방문하게 되는 Re-entrant 구조를 가지

* 이 연구는 한국연구재단(NRF-2015R1A2A2A01005871)과 방위사업청(UD150042AD)과 미래창조과학부 및 정보통신기술진흥센터의 정보통신·방송 연구개발사업(R-20150505-000691)의 지원으로 수행되었습니다.

Received: 21 November 2016, **Revised:** 13 March 2017, **Accepted:** 13 March 2017

[†] **Corresponding Author:** Sang-Chul Park
E-mail : scpark@ajou.ac.kr
Ajou University, Industrial Engineering

고 있다(C.Almeder and R.F Hartl, 2013).

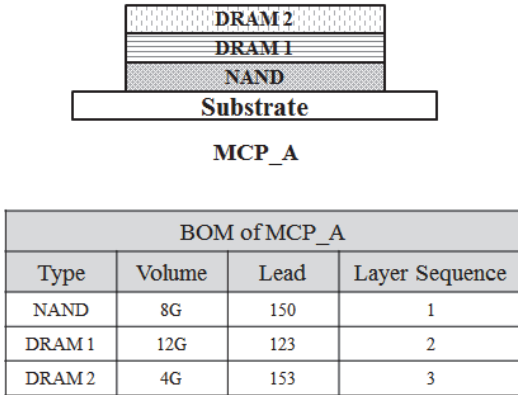


Fig. 1. MCP Layer

Fig. 1은 MCP_A 제품의 구조와 Layer별 특성을 나타낸 것이다. MCP_A 제품의 첫 번째 Layer에는 Volume이 8G 이며 Lead의 수가 150인 NAND가 적층되고 두 번째 Layer에는 Volume이 12G 이고 Lead의 수가 123인 DRAM이 적층된다. 세 번째 Layer의 경우에도 DRAM이 적층되지만 두 번째 Layer와는 다른 특성을 가진 DRAM이 적층되며 MCP는 적층되는 위치에 따라 서로 다른 칩의 특성을 가지게 되는 것이다. 단일 제품보다 복잡한 과정으로 완성품이 되는 MCP의 경우 복잡한 공정들을 진행해야한다(Lee and Lee, 2008). 이와 관련하여

MCP생산을 위한 기존 연구들은 다음과 같다.

Package 공정의 Throughput을 증가시키기 위한 연구들이 있다. Chai and Park (2010)은 실제 공장의 공정분석을 하여 Package 공정의 Throughput을 늘리기 위한 3가지 방안을 제안하고 시뮬레이션 모델을 이용하여 평가하였다. Kim et al.(2011)은 현 공정에서 생산한 부품의 부족 현상 때문에 발생하는 후공정의 작업 지연을 최소화 시키기 위하여 후공정의 부품 부족 시간을 지표로 하여 Pull 생산 시스템의 생산 계획 작성을 위한 Framework를 제안하였다.

Package 공정의 MCP 생산에 관련된 기존 연구들도 진행 되었다. T. J. Chua et al.(2007)은 효율적인 MCP 생산을 위하여 휴리스틱 한 스케줄링 기법을 제안하였다. F. Tovia et al.(2004)은 Wire Bonding 공정의 Throughput을 증가시키기 위한 휴리스틱 방법을 제안하였고, 유전 알고리즘을 이용하여 On-time delivery, Throughput의 최대화, WIP level의 최소화를 만족시키는 스케줄링 기법을 제안하였다. Lee and Lee(2008)는 MCP 생산 공정에서 다른 종류의 MCP가 생산 될 때 설비에 발생하는 Setup시간을 고려한 스케줄링 방법을 제안하였다.

기존 연구들의 경우 주로 MCP의 Throughput을 증가시키기 위한 스케줄링 기법에 집중 되어있다. 하지만 MCP는 Layer마다 서로 다른 특성을 가지는 칩으로 구성되기 때문에 칩들의 Sequence를 고려하는 것이 중요하다

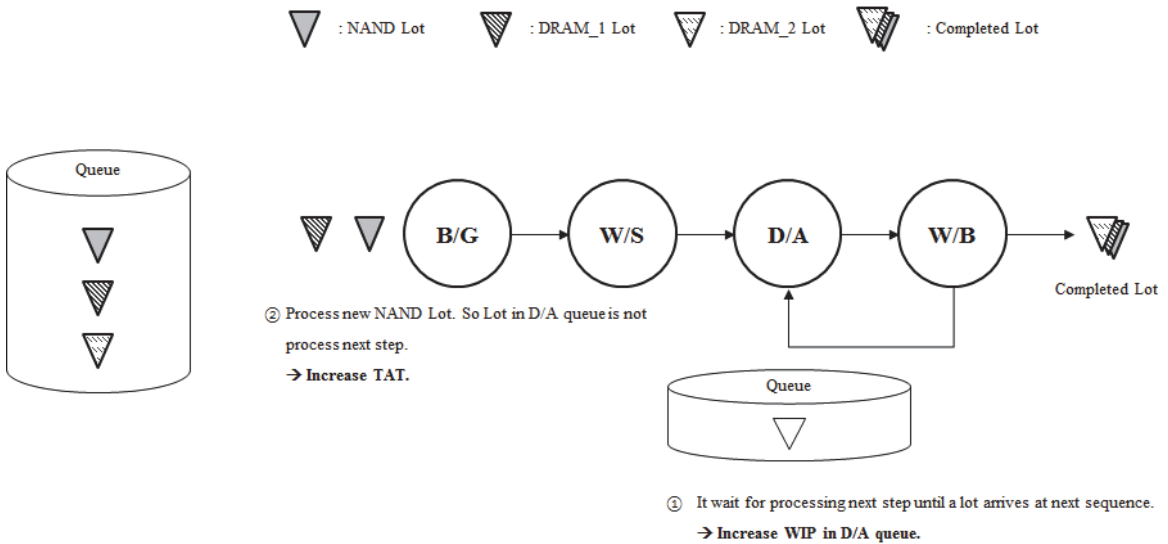


Fig. 2. Problem of conventional method

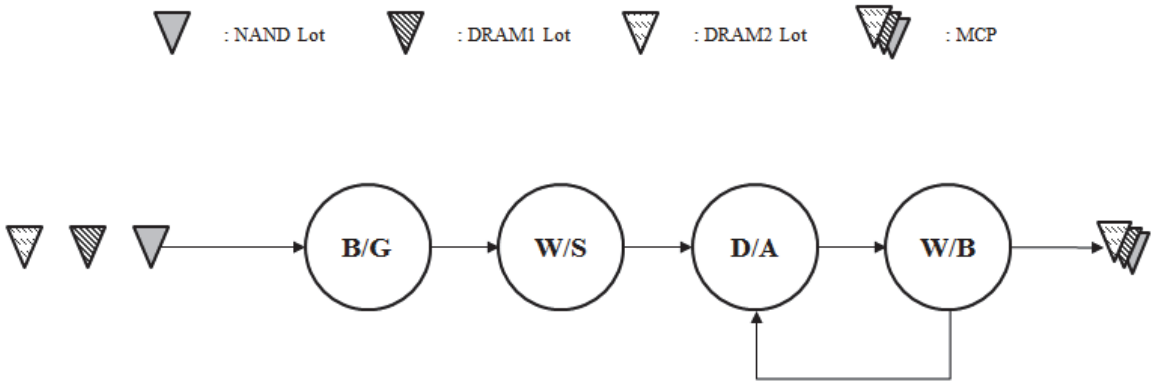


Fig. 3. Manufacturing process of MCP

다. Fig. 2와 같이 D/A와 W/B 공정을 한 번 이상 진행한 Lot의 경우 다음 공정을 작업할 때 다음 Sequence를 가지는 Lot이 없다면 D/A Queue에서 대기하게 된다(T. J. Chua et al., 2007). 이 경우 D/A Queue의 WIP이 증가하게 되며 Package 공정의 Throughput 감소를 야기하게 된다(Chai J. I. and Park Y. B., 2010). Fig. 3처럼 MCP의 경우 D/A와 W/B공정을 다시 방문하는 구조를 가지기 때문에 Package 공정의 병목 구간인 D/A와 W/B의 WIP 수량 증가는 Package 공정의 Throughput에 영향을 줄 수 있다.

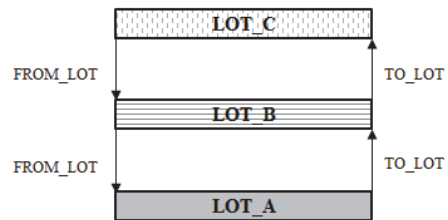
본 논문에서는 D/A Queue의 WIP을 감소시키고 Package 공정의 Throughput을 증가시키기 위해 Layer sequence를 고려한 방법론을 제안한다. 2장에서는 Package 공정의 대표적인 4가지 공정을 설명하고 Layer sequence를 고려하여 Lot을 선택 할 때 정보를 제공하는 Stack BOM에 대해 소개하며 3장에서는 제안하는 방법을 이용하여 실험하고 결과를 분석한다. 4장에서는 결과를 기술한다.

2. 본론

Package 공정은 크게 1) Back Grinding(B/G) 2) Wafer Sawing(W/S) 3) Die Attach(D/A) 4) Wire Bonding과 같이 4가지 공정으로 구성된다. Fab In 된 Wafer의 두께를 줄이기 위하여 후면을 얇게 절삭하는 Back Grinding(B/G), Wafer를 단일 칩으로 만들기 위하여 Wafer를 개별 칩으로 자르는 Wafer Sawing(W/S), 개별 잘린 칩들을 Substrate에 옮기는 작업을 하는 Die Attach(D/A), Substrate위에 올려진 칩들에 금선을 연결하여 전기적 특성을 부여하는 Wire Bonding(W/B) 공정

으로 분류 할 수 있다(M. T. Zhang et al., 2005).

MCP를 생산하기 위해서는 D/A와 W/B 공정을 한번 이상 작업한 Lot이 다음 Layer sequence를 가지는 Lot이 존재 할 때 다음 공정을 진행 할 수 있다(Kang et al., 2007). 하지만 기존에는 B/G 공정에서 Layer sequence를 고려하지 않은 채 Lot을 선택하며 그로 인하여 다음 공정을 진행하기 위한 Lot이 D/A에 존재하지 않아 Queue에 WIP으로 쌓이게 된다. 이러한 문제점을 해결하기 위하여 Stack BOM을 이용하여 B/G 공정 앞의 Queue에서 MCP를 구성하는 Lot들을 조합한다. Stack BOM은 MCP를 구성하기 위한 Lot별 Sequence 정보를 가지고 있는 테이블이다.



LOT_ID	FROM_LOT	TO_LOT	LAYER_SEQ
LOT A	-	LOT B	1
LOT B	LOT A	LOT C	2
LOT C	LOT B	-	3

Fig. 4. Structure of Stack BOM

Fig. 4와 같이 Stack BOM을 이용하여 MCP를 구성하는 Lot을 조합한다. D/A 공정의 Queue에 존재하는 Lot

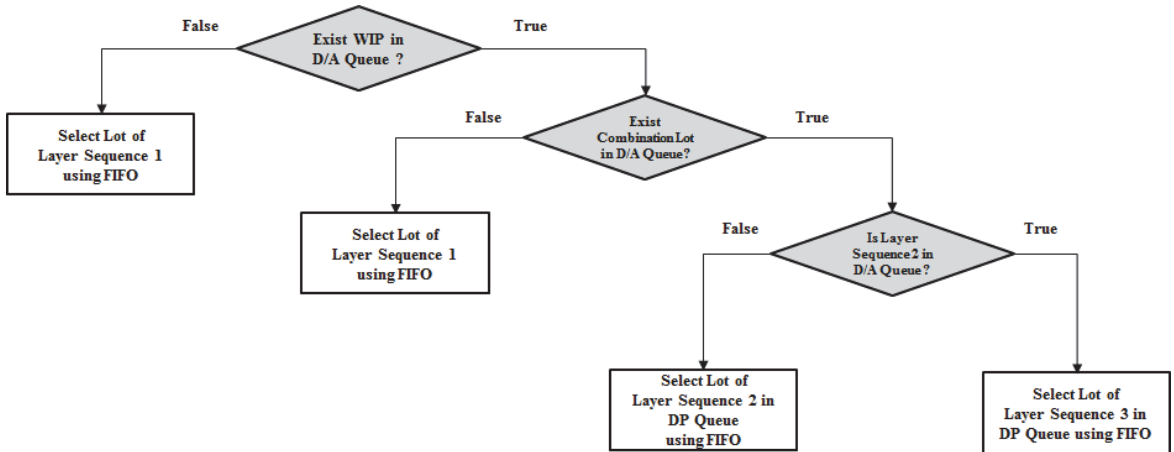


Fig. 5. Flow chart of proposed rule

중 다음 공정을 작업하기 위한 정보를 파악할 수 있기 때문에 B/G 공정에서 작업을 진행할 Lot을 선택하는데 도움이 된다.

본 논문에서 제안하는 방법은 Fig. 5와 같다. Stack BOM을 이용하여 MCP Lot들을 조합하고 Layer sequence를 고려하여 B/G 공정에서 Lot을 선택하는 것이다.

첫 번째로 D/A 공정 Queue 내 WIP의 존재 여부를 파악한다. WIP이 존재하지 않는다면 D/A의 설비가 유휴상태일 수 있기 때문에 B/G Queue에서 Layer sequence가 1인 Lot을 선택한다.

두 번째로 D/A 공정 Queue 내 Lot이 B/G 공정 Queue의 Lot과 조합을 이루는지 파악한다. 만약 존재하지 않는다면 B/G 공정 Queue에서 Layer sequence가 1인 Lot을 선택하여 작업을 진행한다. 특정 조합의 Lot만을 작업 할 경우 짧은 작업 시간으로 MCP를 완성시킬 수 있지만 다른 조합을 이루는 Lot들을 함께 작업하기 위함이다.

마지막으로 D/A 공정 Queue 내 Lot의 Layer sequence가 2인지 파악한다. Layer sequence가 3이 되는 Lot은 W/B 공정 이후로 완성된 MCP 제품으로 빠져 나가기 때문에 D/A 공정 Queue로 돌아오지 않는다. 그러므로 D/A 공정 Queue 내 Lot의 Layer sequence가 2가 아닐 경우 Layer sequence가 1이 되는 Lot이라고 판단할 수 있다. Layer sequence가 2일 경우 B/G 공정 Queue에서 Layer sequence가 3인 Lot을 선택한다. 이것은 완성된 MCP를 생산하여 D/A 공정 Queue의 WIP을 줄이기 위한 과정이다. Layer sequence가 1인 Lot의 경우 B/G 공정 에서 Layer sequence가 2인 Lot을 선택한다.

제안된 방법을 적용하여 시뮬레이션을 수행한다면 D/A Queue 의 WIP이 감소하고 Throughput이 증가 할 것으로 예상된다. 3장에서는 제안된 방법을 적용하여 시뮬레이션을 수행한 결과를 분석한다.

3. 실험 결과 및 분석

본 논문의 실험을 하기 위하여 Rockwell Automation사의 ARENA 14 Student버전으로 모델링 하였다(Kelton, 2007). ARENA 14 Student 버전을 이용하여 생성할 수 있는 Lot의 최대 개수가 150개이다. Lot생성의 개수에 제한이 있어 시뮬레이션 시간이 12시간으로 제한되며 동일한 Process에 의해 작업되는 MCP제품은 3가지로 설정하였다.

MCP Type	Type	Layer Sequence	D/A Cycle Time (Unit: Second/Chip)	W/B Cycle Time (Unit: Second/Chip)
MCP_A	NAND_A	1	3.4	23.8
	DRAM1_A	2	5	45
	DRAM2_A	3	4.2	21
MCP_B	NAND_B	1	2.5	25
	DRAM1_B	2	3	24
	DRAM2_B	3	2	18
MCP_C	NAND_C	1	1.8	16.2
	DRAM1_C	2	3	18
	DRAM2_C	3	4.5	36

Fig. 6. Characteristics of MCP

각 제품은 Layer sequence가 3까지 존재하며 동일한 장비그룹에 의해 작업된다. Fig. 6은 MCP를 구성하는 칩

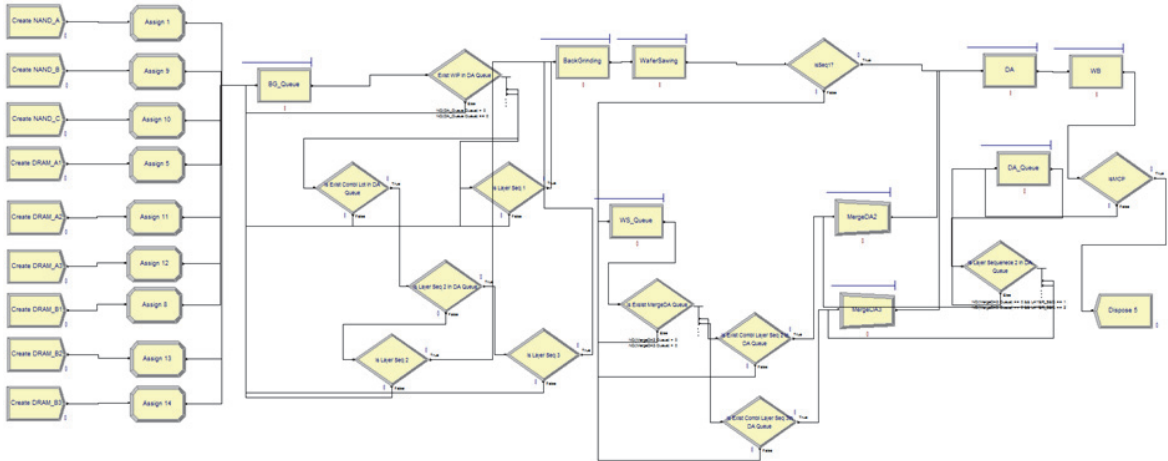


Fig. 7. Modeling for package process

들의 Layer sequence와 칩 하나 당 D/A 공정과 W/B 공정에서의 작업 시간을 나타낸다. 칩이 W/B 공정에서 작업되는 시간이 D/A 공정의 약 7~10배 정도의 시간이 소요되기 때문에 Fig. 6에 나온 시간으로 가정하여 실험을 한다. 모델링을 통하여 D/A Queue의 WIP 수량, 시간별 WIP의 수량, MCP의 Throughput, 각 제품별 Cycle time을 기존의 방법과 비교한다.

Fig. 7은 Stack BOM을 이용하여 MCP를 생산하는 Package 공정의 모델이다. B/G 공정 Queue에서 MCP를 구성하는 Lot들의 특성을 부여하고 Stack BOM을 이용하여 조합을 시행한다. 제안된 방법에 의하여 B/G 공정 내 Queue와 D/A 공정 내 Queue를 비교하여 Lot을 선택한다.

시뮬레이션 결과는 Fig. 8, Fig. 9와 같다.

Fig. 8은 각 제품별 Cycle time과 Throughput를 나타낸다. 기존 방법의 경우 MCP_A와 MCP_B의 평균 Cycle time이 제안한 방법 보다 짧지만 동일한 시간 동안 MCP_C제품을 생산하지 못하였다. 하지만 제안한 방법의 경우 MCP_A와 MCP_B제품의 Cycle time이 기존 보다 조금 길지만 MCP_C제품을 하나 생산할 수 있었다. 이것은 제안한 방법이 B/G Queue와 D/A Queue에 조합을 이루는 Lot이 없을 경우 Layer sequence가 1인 새로운 조합을 이루는 Lot을 작업하였기 때문이라고 볼 수 있다. 기존 방법의 경우 MCP_C를 생산하지 못하였기 때문에 MCP_C제품을 구성하는 Lot이 작업을 시작 하지 않았을 가능성이 있다.

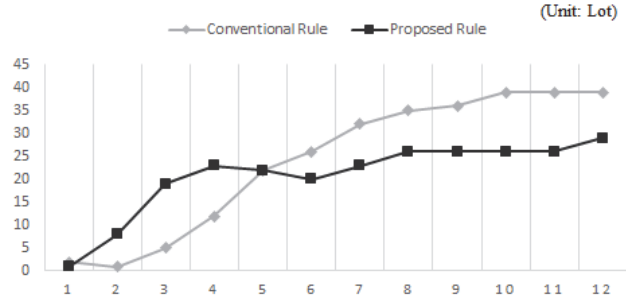
Fig. 9을 보면 D/A Queue의 WIP이 기존의 방법보다 줄어든 것을 확인 할 수 있다. 이것은 D/A Queue의 Lot

Rule	MCP	Lot Sequence	Cycle Time (Unit : Hours)	Throughput (Unit : Lot)
Conventional Rule	MCP_A	1	1.37	6
		2	3.45	
		3	3.55	
		4	3.75	
		Average	3.03	
	MCP_B	1	1.54	
		2	3.38	
		Average	2.46	
	MCP_C	0	0	
Average		0		
Proposed Rule	MCP_A	1	4.64	9
		2	4.76	
		3	5.41	
		4	3.64	
		5	4.98	
		6	4.89	
		Average	4.72	
	MCP_B	1	3.87	
		2	5.35	
		Average	4.61	
	MCP_C	1	10.37	
		Average	10.37	

Fig. 8. Average cycle time and throughput for each MCP product

중 Layer sequence가 2인 경우 완성된 MCP로 만들기 위해 B/G Queue에 있는 동일한 조합을 이루며 Layer sequence가 3인 Lot을 우선적으로 선택했기 때문이다. 또한 기존의 경우 시간이 지날수록 WIP 수량이 점차 증가하고 있다. Lot의 Layer sequence를 고려하지 못하고

The Number of WIP in D/A Queue per Hour



(Unit: Lot)

Number of WIP in D/A Queue per Hour												
Hours	1	2	3	4	5	6	7	8	9	10	11	12
Conventional Rule	2	1	5	12	22	26	32	35	36	39	39	39
Proposed Rule	1	8	19	23	22	20	23	26	26	26	26	29

Fig. 9. The number of WIP in D/A queue per hour

작업을 진행하여 다음 공정을 진행하지 못하는 Lot들이 D/A Queue에 쌓이게 되며 WIP의 수량이 점차 증가하게 되는 것이다. 반면 제안하는 방법의 경우 시뮬레이션이 시작한지 3시간이 지난 이후부터 적정 WIP을 유지하고 있는 것을 확인 할 수 있다. 제안하는 방법에서 WIP의 수량이 유지되고 있는 이유는 B/G 공정에서 작업할 Lot을 선택할 때 D/A Queue의 Lot과 조합을 이루며 다음 공정을 진행 할 수 있는 Lot을 선택하기 때문이다. 또한 공정이 얼마 남지 않은 Lot부터 작업을 하여 완성된 MCP Lot으로 Package 공정을 빠져나가기 때문에 동일한 시뮬레이션 시간 동안 Throughput이 증가하게 된다 (F. Tovia, 2004).

4. 결론

본 논문의 목적은 반도체 Package 공정의 MCP 생산 시 WIP의 수량을 감소시키고 Throughput 증가를 위한 방법을 제안하는 것이다. 시뮬레이션 결과에서 확인 할 수 있는 것처럼 제안 된 방법을 이용하여 B/G 공정에서 Lot을 선택할 경우 D/A Queue의 WIP 수량이 감소하게 되며 Package 공정의 Throughput이 증가하게 된다. 본 논문에서는 MCP 생산 시 Layer sequence를 고려하는 것은 WIP감소와 Throughput증가에 영향을 준다는 것을 보여주고 있다. 향후 연구에는 Lot의 Due date를 고려하여 On-time delivery를 만족시키는 결과를 도출 할 수 있

을 것이라 예상된다.

References

Almeder C. and Hartl R. F. (2013) "A metaheuristic optimization approach for a real-world stochastic flexible flow shop problem with limited buffer", *Int. J. Prod. Econ.*145(1), 88-95.

Chai. J. I. and Park. Y. B. (2010) "A Study on Throughput Increase in Semiconductor Package Process of K Manufacturing Company Using a Simulation Model", *Journal of the Korea Society for Simulation*, 19(1), 1-11.

Tovia F., Mason S. J. and Ramasami B. (2004) "A Scheduling Heuristic for Maximizing Wirebonder Throughput", *IEEE Transactions on Electronics Packaging Manufacturing*, 27(2), 145-150.

Kang, Y. H., S. S. Kim, and H. Shin (2007) "A scheduling algorithm for the reentrant shop: an application in semiconductor manufacture", *International Journal of Advanced Manufacturing Technology*, 35, 566-574.

Kelton W., Sadowski R. and Sturrock D. (2007) *Simulation with Arena*, 4th ed., McGraw-Hill, New York, USA.

Lee S. J. and Lee T. E. (2008) "Scheduling a Multi-Chip Package Assembly Line with Reentrant Process and Unrelated Parallel Machines", *Simulation Conference, 2008*.

Zhang M. T., Fu J. and Zu E. (2005) "Dynamic capacity modeling with multiple re-entrant workflows in semiconductor assembly manufacturing", *Automation Science and Engineering, 2005. IEEE International Conference on*.

Chua T. J., Cai T. X. and Yin X. F. (2007) "A Heuristic Approach for Scheduling Multi-Chip Packages for Semiconductor Backend Assembly", *Emerging Technologies and Factory Automation, 2007*.

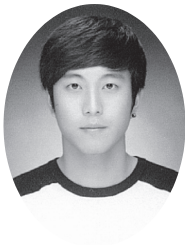
Tang Y., Zhou M. and Qiu R. (2003) "Virtual production lines design for back-end semiconductor manufacturing systems", *IEEE Transactions on Semiconductor Manufacturing, 16(3), 543-550*.



정영현 (aus2468@ajou.ac.kr)

2016 아주대학교 산업공학과 학사
2016~ 현재 아주대학교 산업공학과 석사과정

관심분야 : Modeling & Simulation, Digital Manufacturing, Back-end Scheduling



조강훈 (sung15jin@ajou.ac.kr)

2013 아주대학교 산업공학과 학사
2015 아주대학교 산업공학과 석사
2015~ 현재 아주대학교 산업공학과 박사과정

관심분야 : Simulation-based Scheduling and Planning, Digital Manufacturing



정유인 (youinchoung@gmail.com)

1991 성균관대학교 산업공학과 학사
1994 한국과학기술원 산업공학과 석사
1999 한국과학기술원 산업공학과 박사

관심분야 : Semiconductor Scheduling, Systems Engineering, Neural Networks



박상철 (scpark@ajou.ac.kr)

1994 한국과학기술원 산업공학과 학사
1996 한국과학기술원 산업공학과 석사
2000 한국과학기술원 산업공학과 박사
2004~ 현재 아주대학교 산업공학과 정교수

관심분야 : Digital Manufacturing System, CAD/CAM, CAPP, Manufacturing System Modeling & Simulation, Defense Modeling & Simulation, Discrete Event System Simulation