JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 21, No. 3 : 601~606 Mar. 2017

SEM Controller에 의해 보호되는 SRAM 기반 FPGA의 가용성 분석

류상문*

Availability Analysis of SRAM-Based FPGAs under the protection of SEM Controller

Sang-Moon Ryu*

Department of Information and Control Engineering, Kunsan National University, Gunsan 54150, Korea

요 약

고성능 디지털 회로 개발과 구현에 사용되는 SRAM 기반 FPGA(Field Programmable Gate Array)는 configuration memory가 SRAM으로 구현되었기 때문에 configuration memory에 소프트 에러가 발생하는 경우 오동작하게 된다. Xilinx사의 FPGA는 configuration memory 영역에 추가된 ECC(Error Correction Code)와 CRC(Cyclic Redundancy Code) 그리고 이들을 활용하는 SEM(Soft Error Mitigation) Controller를 이용하여 이러한 소프트 에러의 영향을 줄일 수 있다. 본 연구에서는 SRAM 기반 FPGA에서 SEM Controller에 의해 configuration memory 영역이 소프트 에러로부터 보호될 때 FPGA의 신뢰도를 가용성 관점에서 해석하고 그 효과를 분석하였다. 이를 위해 FPGA 계열별 SEM Controller의 소프트 에러 정정 성능에 따른 가용성 함수를 유도하고 FPGA 계열별 사례를 적용하여 비교하였다. 연구 결과는 SRAM 기반 FPGA의 선정 및 가용성 예측에 활용될 수 있을 것으로 기대된다.

ABSTRACT

SRAM-based FPGAs mainly used to develop and implement high-performance circuits have SRAM-type configuration memory. Soft errors in memory devices are the main threat from a reliability point of view. Soft errors occurring in the configuration memory of FPGAs cause FPGAs to malfunction. SEM(Soft Error Mitigation) Controllers offered by Xilinx can mitigate the influence of soft errors in configuration memory. SEM Controllers use ECC(Error Correction Code) and CRC(Cyclic Redundancy Code) which are placed around the configuration memory to detect and correct the errors. The correction is done through a partial reconfiguration process. This paper presents the availability analysis of SRAM-based FPGAs against soft errors under the protection of SEM Controllers. Availability functions were derived and compared according to the correction capability of SEM Controllers of several different families of FPGAs. The result may help select an SRAM-based FPGA part and estimate the availability of FPGAs running in an environment where soft errors occur.

키워드 : FPGA, 소프트 에러, 신뢰성, 가용성 분석

Key word : FPGA, soft error mitigation, reliability, availability analysis

Received 12 October 2016, **Revised** 14 October 2016, **Accepted** 06 December 2016

* **Corresponding Author** Sang-Moon Ryu(E-mail:smryu@kunsan.ac.kr, Tel:+82-63-469-4688)
Department of Information and Control Engineering, Kunsan National University, Gunsan 54150, Korea

Open Access http://doi.org/10.6109/jkiice.2017.21.3.601 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/ by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

고성능 디지털 회로 개발 및 구현에 자주 사용되는 SRAM 기반 FPGA(Field Programmable Gate Array)는 개발의 효율성 및 재 프로그램 가능성 등의 장점 때문에 인공위성 같은 우주 개발 프로그램을 포함하여 다양한 분야에 적용되고 있다[1-5]. SRAM 기반 FPGA 내부에 존재하는 SRAM은 그 용도에 따라 distributed memory, block memory, configuration memory로 나뉜다. Distributed memory는 FPGA 전체에 분포되어 있는 메모리로서 FPGA로 구현되는 디지털 회로의 상태를 저장하는 용도로 사용된다. Block memory는 FIFO나 Dual-port RAM처럼 일시적 저장 공간으로 사용되며 물리적으로 블록 형태로 FPGA에 분포되어 있다. Configuration memory는 가장 큰 규모의 메모리로 FPGA로 구현되는 디지털 회로의 구성 정보를 저장한다. 따라서 configuration memory에 소프트 에러(soft error)[1, 6, 7]가 발생하면 FPGA로 구현된 디지털 회로가 변경되는 상황이 발생하게 되므로 그 영향이 매우 심각하다.

Distributed memory와 block memory에서 발생하는 소프트 에러의 영향은 FPGA를 활용하는 디지털 회로 개발자가 요구 조건에 적합하도록 소프트 에러에 대항하는 보호회로나 관련 기능을 추가하여 그 영향에 대응하는 것이 일반적이다[8, 9]. 그러나 configuration memory에 대해서는 이러한 것이 불가능하다. 전 세계적으로 시장 점유율이 가장 높다고 평가되는 Xilinx사는 자사의 SRAM 기반 FPGA에 적용할 수 있는 SEM (Soft Error Mitigation) Controller[10-12]를 IP(Intellectual Property) 형태로 제공하고 있다. SEM Controller는 Xilinx FPGA의 configuration memory 영역에 추가된 ECC(Error Correction Code)와 CRC(Cyclic Redundancy Code) 기능을 이용하여 configuration memory에 발생한 소프트 에러를 검출하고 그 영향을 제거할 수 있도록 해준다. SEM controller가 소프트 에러의 발생을 억제하는 것은 아니고 소프트 에러 발생 여부를 주기적으로 검사하여 소프트 에러 발생 시 partial reconfiguration 과정을 수행하여 FPGA의 기능을 소프트 에러 발생 이전으로 복구한다.

복구 방법은 크게 두 가지로 나뉜다. 첫 번째 방법은 configuration memory 전체를 복구할 수 있는 정보를 저장하는 추가의 저장 장치를 장착하고 이를 이용하는 것이다. 이 방법은 ECC와 CRC로 소프트 에러를 검출하고 추가의 저장 장치에 저장된 정보를 이용하여 에러의 영향을 제거하기 때문에 발생하는 모든 소프트 에러를 정정할 수 있다. 두 번째는 추가의 저장 장치 없이 ECC와 CRC의 소프트 에러 검출 능력과 정정 능력만을 이용하는 것으로 정정 성능이 첫 번째 방법에 비해 제한되지만 추가의 저장 장치가 필요 없다는 장점이 있다.

SRAM 기반 FPGA로 구현된 디지털 회로가 SEM Controller에 의해 소프트 에러로부터 보호된다고 해도 고신뢰성이 담보되는 항공우주용 FPGA를 이용하는 경우만큼의 신뢰수준을 얻을 수는 없을 것이다. 하지만 mission-critical 영역이 아닌 응용분야에 적용한다면 비용 대비 다소 우수한 신뢰도를 얻을 수 있을 것으로 보인다. 그리고 이러한 적용을 위해서는 SEM Controller로 보호되는 SRAM 기반 FPGA의 신뢰성에 대한 검토가 선행되어야 한다. 본 논문에서는 Xilinx사의 SRAM 기반 FPGA와 SEM Controller를 이용하여 소프트 에러를 극복하는 방법 중 추가의 저장 장치 없이 ECC와 CRC의 소프트 에러 검출 및 정정 능력만을 이용하는 방법으로 얻을 수 있는 SRAM 기반 FPGA의 신뢰도를 가용성(availability) 관점에서 분석한다. Xilinx사의 7-Series에 대해 분석했던 이전 연구 [13]의 결과를 Spartan-6, Virtex-6 그리고 UltraScale 계열의 FPGA까지 포함하도록 확장한다. 시간의 함수로 표현되는 가용성은 특정 시스템이 요구되는 기능을 임의의 시각 t에 정상적으로 수행할 확률로 정의되어 있다[14]. SRAM 기반 FPGA의 가용성은 SEM Controller의 소프트 에러 검출 및 정정 능력, 구현 가능한 최소 정정 주기 그리고 FPGA configuration memory의 크기 등에 의해 영향 받는다. SRAM 기반 FPGA의 가용성 분석 결과는 소프트 에러가 발생하는 환경에서 동작해야하는 디지털 회로를 SRAM 기반 FPGA를 이용하여 구현하고자할 때 그 가능성 검토 및 FPGA 부품 선정 시 참고할 근거가 될 것으로 기대된다.

Ⅱ. 가용성 분석

2.1. SEM Controller와 소프트 에러 정정

Xilinx사의 SEM Controller는 Spartan-6, Virtex-6,

7-Series(Artix-7, Kintex-7, Virtex-7, Zynq-7000) 그리고 UltraScale 계열의 FPGA에 대해 지원되고 있다. FPGA의 configuration memory는 다수의 프레임(frame)으로 구성되어 있으며 각 프레임은 ECC에 의해 소프트 에러로부터 보호되고 모든 프레임은 CRC에 의해 한 번 더 보호된다[10-12]. SEM Controller는 ECC와 CRC를 이용하여 configuration memory 영역에 발생한 소프트 에러를 감지하고 가능한 경우에 이를 정정한다.

서론에서 언급한 것처럼 추가의 저장 장치에 configuration memory 전체를 복원할 수 있을 만큼의 정보를 저장해 놓고 이를 이용하는 경우에는 소프트 에러를 100% 정정 가능하므로 가용성은 1이 되며 본 연구에서는 다루지 않는다. 추가의 저장 장치 없이 ECC와 CRC의 오류 검출 및 정정 기능만을 이용하면 FPGA 계열에 따라 프레임 당 최소 1 비트에서 최대 4 비트의 소프트 에러를 정정할 수 있다.

표 1에 정리된 것처럼 ECC만을 이용하면 Spartan-6, Virtex-6 그리고 7-Series 계열에 대해서는 프레임 당 1 비트의 소프트 에러를 정정할 수 있다. ECC와 CRC를 결합하면 7-Series 계열에 대해서는 프레임 당 1 비트 그리고 프레임 당 인접한 2 비트의 소프트 에러를 정정할 수 있으며, UltraScale 계열에 대해서는 프레임 당 4 비트의 소프트 에러를 정정할 수 있다.

Table. 1 Soft Error Correction Capability

Device Family	Error Correction	Algorithm
Spartan-6, Virtex-6	1-bit/frame	ECC
7-Series	1-bit/frame	ECC
	up to adjacent 2-bit/frame	ECC+CRC
UltraScale	up to 4-bit/frame	ECC+CRC

2.2. 가용성 분석

가용성 분석을 위해 소프트 에러가 평균값 를 갖는 Poisson process를 따라서 발생한다고 가정하고[6], FPGA의 configuration memory를 구성하는 프레임의 수를 로, 한 개의 프레임을 구성하는 비트의 수를 로, 그리고 SEM Controller에 의해 소프트 에러가 검출되고 정정되는 주기를 로 나타낸다. 가용성 분석 중 일부는 이전 연구 [13]의 결과를 이용하였다.

SEM Controller의 ECC를 적용하여 프레임당 1비트의 소프트 에러까지 정정 가능한 경우 FPGA의 가용성 함수를 구한다. 이것은 Spartan-6, Virtex-6 그리고 7-Series 계열에서 ECC를 이용하여 소프트 에러를 정정하는 경우에 해당한다. 개의 비트로 구성되는 개의 프레임들 중 각 프레임에서 소프트 에러가 전혀 발생하지 않을 확률은 식(1)과 같다[14].

$$e^{-\lambda N_b N_f t}, t \geq 0 \tag{1}$$

그리고 각 프레임에서 정정 가능한 1비트의 소프트 에러가 발생할 확률은 식(2)와 같다[14].

$$\left[N_b(1-e^{-\lambda t})e^{-\lambda(N_b-1)t}\right]^{N_f}, t \geq 0 \tag{2}$$

따라서 N_b개 비트로 구성되는 N_f 개의 프레임들 중 각 프레임에서 소프트 에러가 전혀 발생하지 않거나 정정 가능한 1비트의 소프트 에러가 발생할 확률을 $a_1(t)$라고 하면 $a_1(t)$는 식 (3)과 같다.

$$a_1(t) = \left[e^{-\lambda N_b t} + N_b(1-e^{-\lambda t})e^{-\lambda(N_b-1)t}\right]^{N_f}, t \geq 0 \tag{3}$$

따라서 SEM Controller와 ECC를 적용하여 주기 T_c로 프레임당 1비트의 소프트 에러까지 정정할 때의 가용성 함수를 $A_1(t)$라고 하면 $A_1(t)$는 식 (4)와 같다.

$$A_1(t) = [a_1(T_c)]^n a_1(\tau), t \geq 0 \tag{4}$$

여기서 $t = nT_c + \tau$이고 τ와 n은 각각 $0 \leq \tau < T_c$과 $n \geq 0$을 만족하는 실수와 정수이다. 식 (4)에서 $[a_1(T_c)]^n$는 모든 프레임이 소프트 에러를 T_c의 주기로 n회 극복할 확률이며 $a_1(\tau)$는 모든 프레임이 τ 동안 소프트 에러를 극복할 확률이다.

SEM Controller와 ECC와 CRC를 모두 적용하여 프레임당 1비트 그리고 인접한 2비트 소프트 에러까지 정정 가능한 경우 FPGA의 가용성 함수를 구한다. 이것은 7-Series 계열에서 ECC와 CRC를 결합하여 소프트 에러를 정정하는 경우에 해당한다. N_b개 비트로 구성되는 N_f 개의 프레임들 중 각 프레임에서 소프트 에러가 전혀 발생하지 않거나 정정 가능한 1비트 또는 인접한 2비트의 소프트 에러가 발생할 확률을 $a_2(t)$라고 하면 $a_2(t)$는 식 (5)와 같다.

$$a_2(t) = \left[a_1(t) + (N_b - 1)(1 - e^{-\lambda t})^2 e^{-\lambda(N_b - 2)t}\right]^{N_f}, t \geq 0 \quad (5)$$

식 (5)에서 [•] 안의 두 번째 항은 한 개의 프레임에 인접한 2비트 소프트 에러가 발생할 확률을 의미한다. 이것은 N_b개 비트로 구성되는 프레임에 2비트 소프트 에러가 발생할 확률(식 (6))과 이 2비트가 서로 인접할 확률(식 (7)) 의 곱이다.

$$\binom{N_b}{2}(1 - e^{-\lambda t})^2 e^{-\lambda(N_b - 2)t} \quad (6)$$

$$\frac{N_b - 1}{\binom{N_b}{2}} \quad (7)$$

따라서 SEM Controller와 ECC와 CRC를 모두 적용하여 주기 T_c로 프레임당 1비트 그리고 인접한 2비트 소프트 에러까지 정정할 때의 가용성 함수를 $A_2(t)$라고 하면 $A_2(t)$는 식 (8)과 같으며 여기서 τ와 n는 식 (4)의 경우와 같다.

$$A_2(t) = [a_2(T_c)]^n a_2(\tau), t \geq 0 \quad (8)$$

SEM Controller와 ECC와 CRC를 모두 적용하여 프레임당 4비트 소프트 에러까지 정정 가능한 경우 FPGA의 가용성 함수를 구한다. 이것은 UltraScale 계열에서 ECC와 CRC를 결합하여 소프트 에러를 정정하는 경우에 해당한다. N_b개 비트로 구성되는 N_f 개의 프레임들 중 각 프레임에서 소프트 에러가 전혀 발생하지 않거나 정정 가능한 1비트, 2비트, 3비트 그리고 4비트의 소프트 에러가 발생할 확률을 $a_4(t)$라고 하면 $a_4(t)$는 식 (9)와 같다.

$$a_4(t) = \left[\sum_{i=0}^{4}\binom{N_b}{i}(1 - e^{-\lambda t})^i e^{-\lambda(N_b - i)t}\right]^{N_f}, t \geq 0 \quad (9)$$

따라서 SEM Controller와 ECC와 CRC를 모두 적용하여 주기 T_c로 프레임당 4비트 소프트 에러까지 정정할 때의 가용성을 $A_4(t)$라고 하면 $A_4(t)$는 식 (10)과 같으며 여기서 τ와 n은 식 (4)의 경우와 같다.

$$A_4(t) = [a_4(T_c)]^n a_4(\tau), t \geq 0 \quad (10)$$

Ⅲ. FPGA 계열별 가용성 비교

소프트 에러 발생률은 FPGA 구현에 적용된 공정 기술과 FPGA가 동작하는 환경 등에 의해 결정되기 때문에 그 값을 특정하기가 어렵다[5]. Xilinx사의 문헌 [6]에 따르면 지구동기 궤도에서 FPGA의 configuration memory에서의 평균 소프트 에러 발생률은 $2.8 \times 10^{-8}[bit-error/hour]$이다. 본 연구에서는 이 값을 적용한다.

Xilinx사 FPGA의 configuration memory는 계열별로 그 프레임의 구성 방식이 다르다. Spartan-6 계열은 16 비트 65 워드, Virtex-6 계열은 32 비트 81 워드, 7-Series 계열은 32 비트 101 워드, UltraScale 계열은 32 비트 123 워드로 구성되어 있다[15-18]. 표 2는 이에 따른 FPGA 계열별 N_b값을 보여준다. 특정 FPGA의 N_f 값은 FPGA configuration memory를 구성하는 비트 수를 표 2의 N_b값으로 나누어 구할 수 있다.

Table. 2 Assumed values of N_b

Device Family	N_b
Spartan-6	1040
Virtex-6	2592
7-Series	3232
UltraScale	3936

그림 1은 FPGA 계열별 가용성을 비교하기 위해서 configuration memory의 크기는 Spartan-6 계열의 중간 정도 규모의 FPGA에 해당하는 1.8×10^7 비트로 그리고 소프트 에러 정정 주기, T_c는 10[msec]로 가정한 가용성 비교 그래프이다.

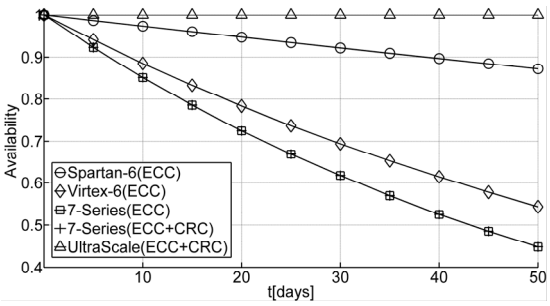

Fig. 1 Comparison of availability functions(config. memory size = 1.8×10^7, T_c = 10[msec])

그림 1로부터 UltraScale 계열의 성능이 가장 좋으며 Virtex-6 계열과 7-Series 계열의 성능이 좋지 않다는 것을 알 수 있다. 특히 7-Series 계열의 성능의 경우, 소프트 에러 정정을 위해 ECC와 CRC를 결합한 경우와 ECC만을 사용한 경우가 그다지 차이가 없음을 알 수 있다. 이것은 ECC와 CRC를 결합하여 프레임 당 인접한 2비트의 소프트 에러를 정정하는 것이 그다지 효과가 없다는 것을 의미한다. 프레임 내 인접한 2비트에 소프트 에러가 동시에 발생할 확률이 매우 낮기 때문이다. UltraScale 계열의 경우에는 프레임 당 4비트 소프트 에러까지 정정 가능하기 때문에 가용성 값이 거의 1로 유지된다. 실제로는 모든 FPGA의 configuration memory의 크기와 소프트 에러 정정 주기가 동일한 것은 아니다. Configuration memory의 크기는 유사한 용량의 FPGA라도 계열별로 다르며 소프트 에러 정정 주기는 FPGA의 허용된 동작 주파수에 따라 그 최소값이 달라진다. 표 3은 실제 FPGA의 사례를 적용하여 가용성을 비교하기 위해 선정된 FPGA들과 이들의 configuration memory 크기 그리고 실현 가능한 소프트 에러 정정 주기의 최소값을 보여준다.

Table. 3 Assumed devices and values

Family	Device	Config. Memory(bits)	T_c(msec)
Spartan-6	SLX75T	17,872,400	69.1
Virtex-6	VCX75T	19,416,672	6.2
7-Series	A75T	30,606,304	8
UltraScale	VU065	200,696,640	30

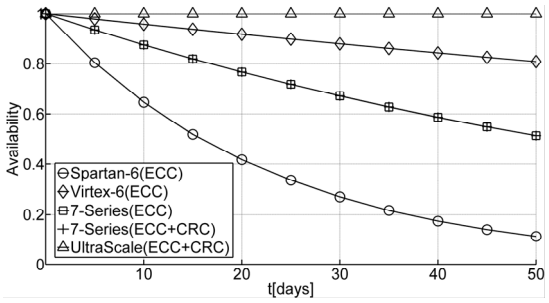

Fig. 2 Comparison of availability functions(parameter listed in Table 3)

표 3에 나열된 SLX75T, VCX75T, A75T는 모두 유사한 용량을 가지며 VU065는 UltraScale 계열에서 가장 작은 용량을 가지나 표에 나열된 다른 FPGA들의 10배 정도 용량을 갖는다. 그림 2는 표 3에 대응하는 가용성 비교 그래프이다. 그림 1의 그래프와 비교하면 가용성 성능의 우열이 일부 뒤바뀐 것을 알 수 있다. Spartan-6 계열의 경우 구현 가능한 소프트 에러 정정 주기가 69[msec]로 가장 크기 때문에 가용성 성능이 가장 나빠졌다. Virtex-6와 7-Series 계열의 경우에는 주기가 각각 6.2[msec]와 8[msec]이기 때문에 가용성 성능이 그림 1의 경우보다 개선되었다. Configuration memory를 구성하는 프레임의 크기가 작은 Virtex-6 계열이 7-Series 계열 보다 좋은 성능을 제공한다.

UltraScale 계열의 경우 configuration memory 크기가 크고 소프트 에러 정정 주기가 작지 않음에도 불구하고 가용성 값이 거의 1로 유지되어 가장 좋은 성능을 보여준다. 이것은 프레임 당 4비트 소프트 에러까지 정정할 수 있는 탁월한 소프트 에러 정정 성능 때문이다.

Ⅳ. 결 론

본 논문에서는 configuration memory에 소프트 에러가 발생할 수 있는 환경에서 동작하는 SRAM 기반 FPGA의 신뢰도를 가용성 관점에서 검토하였다. 이를 위해 가장 많이 사용되고 있는 Xilinx사의 FPGA를 고려하였으며 FPGA의 configuration memory가 SEM Controller에 의해 보호되는 상황을 가정하였다.

UltraScale 계열의 경우 프레임 당 4비트 소프트 에러까지 정정 가능하기 때문에 configuration memory 크기가 크고 소프트 에러 정정 주기가 작지 않음에도 불구하고 가장 좋은 성능을 갖는다. Configuration memory를 구성하는 프레임의 크기와 구현 가능한 소프트 에러 정정 주기의 최소값이 작은 Virtex-6 계열이 상대적으로 양호한 성능을 보이며, 7-Series와 Spartan-6 계열은 매우 낮은 성능을 보인다. 그러나 소프트 에러 정정 주기가 동일한 상황에서는 Spartan-6 계열의 FPGA가 상대적으로 양호한 성능을 보이므로 저용량 FPGA를 저속으로 구동시켜도 되는 상황에서는 Spartan-6 계열을 채택하는 것이 합리적일 수도 있다.

본 연구 결과는 SRAM 기반 FPGA를 사용해야하는 경우에 FPGA의 선정 및 구동 환경에 따른 가용성 예측에 활용될 수 있을 것으로 기대된다.

REFERENCES

[1] P. Adell and G. Allen, "Assessing and Mitigating Radiation Effects in Xilinx FPGAs," in *Proceedings of 2008 European Conference on Radiation and Its Effects on Components and Systems*, pp. 418-424, 2008.

[2] D. Weigand and M. Harlacher, "A radiation-tolerant low-power transceiver design for reconfigurable applications," in *Proceedings of Earth Science Technology Conference 2002*, pp. 9-15, Jun. 2002.

[3] D. Ratter, "FPGAs on Mars," X*cell Journal*, vol. 50, pp. 8-11, Fall 2004.

[4] M. Caffrey, T. P. Plaks, and P. M. Athanas, "A space-based reconfigurable radio," in *Proceedings of International Conference on Engineering of Reconfigurable Systems and Algorithms*, pp. 49-53, Jun. 2002.

[5] M. Caffrey, K. Morgan, D. Roussel-Dupre, S. Robinson, A. Nelson, A. Salazar, M. Wirthlin, W. Howes, and D. Richins, "On-orbit flight results from the reconfigurable cibola flight experiment satellite," in *Proceedings of the 17th IEEE Symposium on Field Programmable Custom Computing Machines*, Napa: CA, pp. 3-10, Apr. 2009.

[6] B. Bridgford, C. Carmichael, and C. W. Tseng, "Single-Event Upset Mitigation Selection Guide," Xilinx Application Note XAPP987, 2008.

[7] A. Lesea, S. Drimer, J. J. Fabula, C. Carmichael, and P. Alfke, "The rosetta experiment: atmospheric soft error rate testing in differing technology FPGAs," *IEEE Transactions on Device and Materials Reliability*, vol. 5, no. 3, pp. 317-328, Sep. 2005.

[8] F. Brosser, E. Milh, V. Geijer, and P. Larsson-Edefors, "Assessing scrubbing techniques for Xilinx SRAM-based FPGAs in space applications," in *Proceedings of 2014 International Conference on Field-Programmable Technology*, pp. 296-299, 2014.

[9] P. S. Ostler, M. P. Caffrey, D. S. Gibelyou, P. S. Graham, K. S. Morgan, B. H. Pratt, H. M. Quinn, and M. J. Wirthlin, "SRAM FPGA Reliability Analysis for Harsh Radiation Environments," *IEEE Transactions on Nuclear Science*, vol. 56, no. 6, pp. 3519-3526, Dec. 2009.

[10] "LogiCORE IP Soft Error Mitigation Controller v3.4.1 Product Guide," Xilinx Product Guide PG036, 2015.

[11] "Soft Error Mitigation Controller v4.1 LogiCORE IP Product Guide," Xilinx Product Guide PG036, 2015.

[12] "UltraScale Architecture Soft Error Mitigation Controller v3.1 LogiCORE IP Product Guide," Xilinx Product Guide PG187, 2016.

[13] S.-M. Ryu, "Availability Analysis of Xilinx 7-Series FPGA against Soft Error," in *Proceedings of 2016 fall conference of Korea Institute of Information and Communication Eng.*, pp. 655-658, 2016.

[14] D. P. Siewiorek and R. S. Swarz, *Reliable Computer Systems: Design and Evaluation*, Natick, MA: A K Peters, 1998.

[15] "Spartan-6 FPGA Configuration User Guide," Xilinx User Guide UG380, 2016.

[16] "Virtex-6 FPGA Configuration User Guide," Xilinx User Guide UG360, 2015.

[17] "7 Series FPGAs Configuration User Guide," Xilinx User Guide UG470, 2015.

[18] "UltraScale Architecture Configuration User Guide," Xilinx User Guide UG570, 2015.

류상문(Sang-Moon Ryu)

금오공과대학교 전자공학 학사
KAIST 전기및전자공학 석사
KAIST 전기및전자공학 박사
LG전자 주임연구원
KAIST 선임연구원 및 연구교수
군산대학교 IT정보제어공학부 교수
※관심분야 : 결함허용 임베디드 시스템, FPGA 기반 임베디드 시스템