JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 21, No. 3 : 585~593 Mar. 2017

모바일 시스템을 위한 저전력 HEVC 루프 내 필터의 디블록킹 필터 하드웨어 설계

박승용 · 류광기*

Low-power Hardware Design of Deblocking Filter in HEVC In-loop Filter for Mobile System

Seungyong Park · Kwangki Ryoo*

Department of Information and Communication Engineering, Hanbat National University, Daejeon 34158, Korea

요 약

본 논문에서는 모바일 시스템을 위한 저전력 HEVC(High Efficiency Video Coding) 루프 내 필터의 디블록킹 필터 하드웨어 구조를 제안한다. HEVC의 디블록킹 필터는 영상압축 시 발생한 블록화 현상을 제거한다. 현재 다양한 모바일 시스템에서 UHD 영상 서비스를 지원하지만 전력 소모가 높은 단점이 있다. 제안하는 저전력 디블록킹 필터 하드웨어 구조는 필터를 적용하지 않을 때 내부 모듈에 클록을 차단하여 전력 소모를 최소화 하였다. 또한, 낮은 동작 주파수에서 높은 처리량을 위해 4개의 병렬 필터 구조를 가지며, 각 필터는 4단 파이프라인으로 구현하였다. 제안하는 디블록킹 필터 하드웨어 구조는 65nm CMOS 표준 셀 라이브러리를 사용하여 합성한 결과 약 52.13K개의 게이트로 구현되었다. 또한, 110MHz의 동작 주파수에서 8K@84fps의 실시간 처리가 가능하며, 동작 전력은 6.7mW이다.

ABSTRACT

In this paper, we propose a deblocking filter hardware architecture for low-power HEVC (High-Efficiency Video Coding) in-loop for mobile systems. HEVC performs image compression on a block-by-block basis, resulting in blockage of the image due to quantization error. The deblocking filter is used to remove the blocking phenomenon in the image. Currently, UHD video service is supported in various mobile systems, but power consumption is high. The proposed low-power deblocking filter hardware structure minimizes the power consumption by blocking the clock to the internal module when the filter is not applied. It also has four parallel filter structures for high throughput at low operating frequencies and each filter is implemented in a four-stage pipeline. The proposed deblocking filter hardware structure is designed with Verilog HDL and synthesized using TSMC 65nm CMOS standard cell library, resulting in about 52.13K gates. In addition, real-time processing of 8K@84fps video is possible at 110MHz operating frequency, and operation power is 6.7mW.

키워드 : HEVC, 루프 내 필터, 디블록킹 필터, 저전력 하드웨어 설계

Key word : HEVC, In-loop Filter, Deblocking Filter, Low-power Hardware Design

Received 09 December 2016, **Revised** 09 December 2016, **Accepted** 14 January 2017

* **Corresponding Author** Kwangki Ryoo(E-mail:kkryoo@gmail.com, Tel:+82-42-821-1710)
Department of Information and Computer Engineering, Hanbat National University, Daejeon 34158, Korea

Open Access http://doi.org/10.6109/jkiice.2017.21.3.585 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/ by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

최근 영상 및 통신 기술이 빠르게 발전함에 따라 UHDTV(Ultra High Definition Television)와 멀티미디어 기기의 대중화가 이루어졌고, 고해상도 영상 서비스에 대한 사용자들의 관심과 수요가 증가하였다. 차세대 영상 기기들은 4K, 8K UHD급 초고해상도 영상 서비스를 위해 개발되고 있다. UHD급 영상 서비스를 위한 새로운 영상 압축 표준인 HEVC는 국제 표준화 기관인 ITU-T의 VCEG(Video Coding Experts Group)과 ISO/IEC의 MPEG(Moving Picture Experts Group) 공동으로 JCT-VC(Joint Colaborative Team on Video Coding)를 결성하여 표준화하였으며, 2013년 4월에 국제 표준화로 제정되었다. HEVC는 저해상도 영상부터 초고해상도 영상까지 다양한 해상도의 영상 압축을 지원하고, 부호화 효율을 개선하기 위해 다양한 영상 압축 기술들을 포함하고 있다. HEVC는 이전 영상 압축 표준인 H.264/AVC와 비교하여 약 50% 이상 개선된 부호화 효율을 갖는다[1].

HEVC는 기존의 H.264/AVC 표준과 같이 블록 기반 영상 압축 기술이며, 양자화 에러로 인하여 복원된 영상의 화질이 저하되는 문제가 발생한다. 이를 해결하기 위해 HEVC에서는 디블록킹 필터와 SAO(Sample Adaptive Offset)라는 두 가지 루프 내 필터를 사용한다. 루프 내 필터는 복원 영상에 필터를 적용하여 주관적 화질이 향상된 영상을 재생 장치로 출력할 뿐만 아니라 화면 간 예측 모드에서 필터링 된 영상이 참조 영상으로 사용되어 부호화 효율도 향상된다.

디블록킹 필터는 블록 기반 영상 압축에서 발생하는 블록화 현상을 제거하며, SAO는 원본 영상과 복원 영상을 비교하여 보상하는 필터이다. 각 루프 내 필터는 독립적으로 수행되기 때문에 불필요한 메모리 접근에 따른 지연이 발생하며, 디블록킹 필터는 필터링이 수행된 CTU(Coding Tree Unit)의 화소를 참조하여 수행되기 때문에 참조 화소를 저장하는 별도의 내부 메모리가 필요하다. 또한, 디블록킹 필터는 8x8 블록 경계마다 블록의 예측 정보를 가지고 필터링 여부를 결정하기 때문에 지연 시간이 높다[2]. 특히, 모바일 시스템에서는 UHD급 영상을 실시간으로 서비스하기 위해 전력 관리가 중요하다. 이러한 문제점을 해결하기 위해 고성능 및 저전력 디블록킹 필터의 하드웨어 설계 연구가 활발히 진행되고 있다[3-6].

따라서 본 논문에서는 모바일 시스템을 위한 저전력 HEVC 루프 내 필터의 디블록킹 필터 하드웨어 구조를 제안한다. 제안하는 하드웨어 구조는 수행 사이클 감소를 위해 병렬 처리와 파이프라인 기법으로 설계하였으며, 참조 메모리 구조의 단순화 및 내부 버퍼 감소를 위한 라우팅 기법을 적용하였다. 또한, 클록 게이팅을 통해 소모전력을 감소시켰다.

본 논문의 구성은 다음과 같다. 2장에서는 HEVC의 표준 디블록킹 필터 기술에 대해 기술하고, 3장에서는 제안하는 디블록킹 필터 하드웨어 구조에 대해 기술한다. 4장에서는 제안하는 하드웨어 구조의 합성 결과를 기술하며, 마지막으로 5장에서는 본 연구의 결론을 도출한다.

Ⅱ. HEVC 디블록킹 필터

HEVC 디블록킹 필터는 주로 블록킹 열화를 제거하는데 사용되며, 기존의 H.264/AVC의 디블록킹 필터는 4x4 블록 경계 단위로 필터링을 수행한다. HEVC 디블록킹 필터는 휘도 성분에 대하여 8x8 블록 경계 단위로 수행된다. 또한, 필터 적용 유무를 기존 H.264/AVC는 라인 단위로 결정하였지만, HEVC는 계산량을 줄이기 위해 4 라인을 묶어서 블록 단위로 결정한다. 그림 1은 HEVC 디블록킹 필터의 수행 과정을 나타낸다[7].

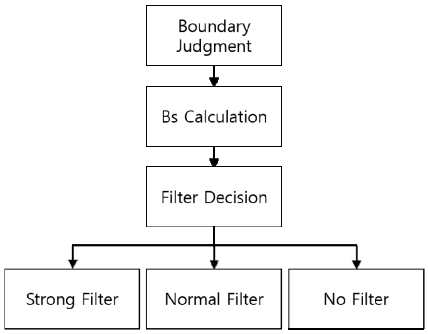

Fig. 1 Overall processing steps of deblocking filter

2.1. Boundary Judgment

Boundary Judgment는 puSize 및 TransformIdx, Depth의 정보를 통해 PU, CU, TU의 경계를 찾으며, 표

1과 2는 puSize 및 TransformIdx, Depth 정보에 따른 블록 크기를 나타낸다. 디블록킹 필터는 PU 및 CU, TU 경계에서만 필터링을 수행한다.

Table. 1 PU boundary judgment

Pusize \ Depth	0	1	2	3
0	64x64	32x32	16x16	8x8
1	64x32	32x16	16x8	8x4
2	32x64	16x32	8x16	4x8
3	32x32	16x16	8x8	4x4
4	64x16	32x8	-	-
5	64x48	32x24	-	-
6	16x64	8x32	-	-
7	48x64	24x32	-	-

Table. 2 CU and TU boundary judgment

TransformIdx \ Depth	0	1	2	3
0	64x64	32x32	16x16	8x8
1	32x32	16x16	8x8	4x4
2	16x16	8x8	4x4	-
3	8x8	4x4	-	-

2.2. Bs Calculation

Bs Calculation은 필터링의 강도를 설정한다. 그림 2는 Bs Calculation을 수행하는 과정을 나타낸다. Bs가 2인 경우는 P 블록 또는 Q 블록이 인트라 예측을 수행한 경우이다. Bs가 1인 경우는 P 블록 또는 Q 블록이 non-zero coefficients이거나, P 블록과 Q 블록이 다른 참조 픽처를 사용하거나, P 블록과 Q 블록의 모션 벡터 차이가 1이상인 경우이다.

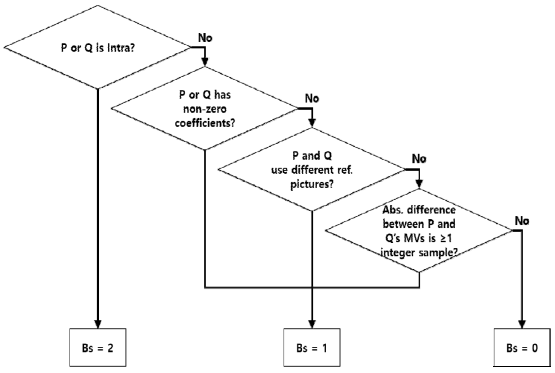

Fig. 2 Derivation of boundary strength for block boundary

2.3. Filter Decision

Filter Decision은 최종적으로 필터의 유무를 결정한다. P 블록과 Q 블록의 경계를 필터링 하며, 4개 라인 중 첫 번째 라인과 네 번째 라인을 사용한다. 필터링 수행 유무 및 필터링 선택을 위해 임계값 β, tc를 사용하며, P 블록과 Q 블록의 QP 값에 의해 β, tc 값이 결정된다. 식 (1)을 만족한 경우 필터링을 수행하며, 만족하지 못한 경우 필터링을 수행하지 않는다.

$$\begin{aligned}&|p_{2.0}-2p_{1.0}+p_{0.0}|+|q_{2.3}-2q_{1.3}+p_{0.3}|\\&+|q_{2.0}-2q_{1.0}+q_{0.0}|+|q_{2.3}-2q_{1.3}+q_{0.3}|<\beta\end{aligned} \quad (1)$$

그림 3은 Filter Decision을 수행하는 과정을 나타낸다. 조건 ①과 ②는 Boundary Judgment에서 결정되며, 조건 ③은 Bs Calculation에서 결정된다. 조건 ④는 필터 여부를 결정하며, 조건 ⑤는 Strong filtering와 Normal filtering을 결정한다.

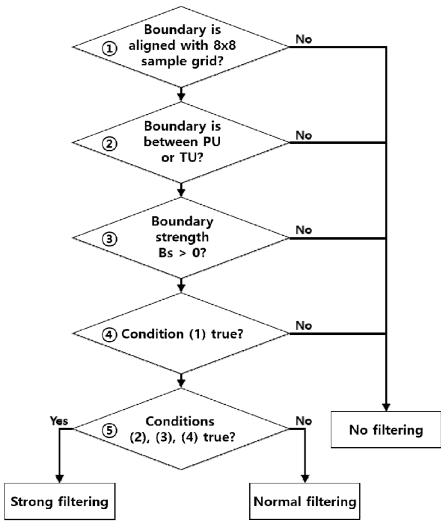

Fig. 3 Overall processing steps of Filter Decision

조건 ⑤에서 사용되는 식 (2), (3), (4)는 아래와 같다. 식 (2), (3), (4)에서 사용되는 i의 값은 0과 3이다.

$$|p_{2.i}-2p_{1.i}+p_{0.i}|+|q_{2.i}-2q_{1.i}+q_{0.i}|<\beta/8 \quad (2)$$

$$|p_{3.i}-p_{0.i}|+|q_{0.i}-q_{3.i}|<\beta/8 \quad (3)$$

$$|p_{0.i}-q_{0.i}|<2.5\,t_c \quad (4)$$

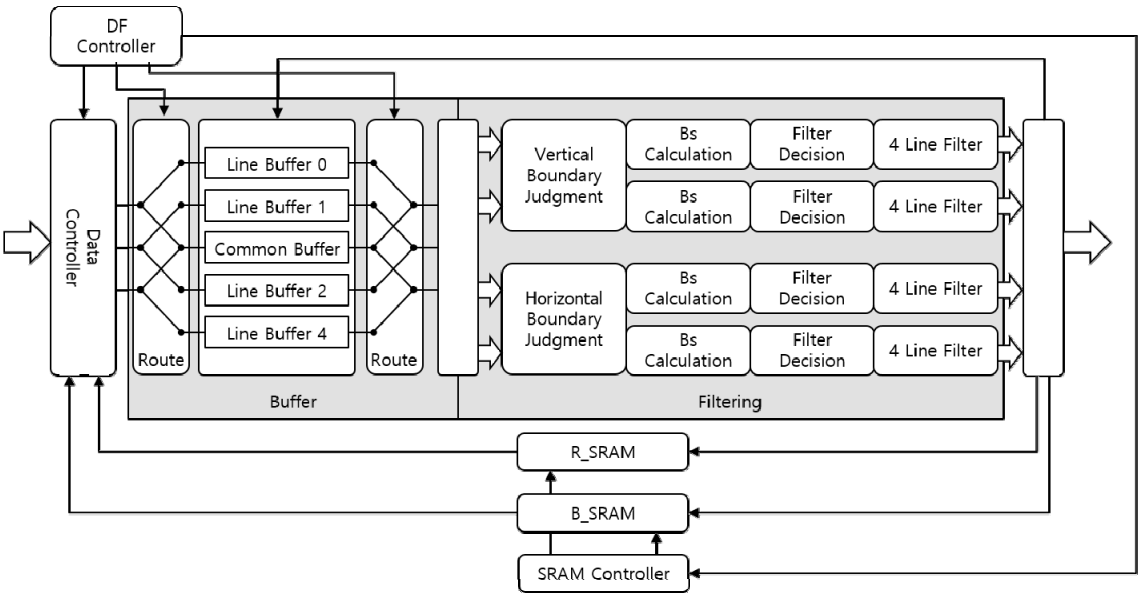

Fig. 4 The proposed deblocking filter hardware structure

Ⅲ. 제안하는 디블록킹 필터 하드웨어 구조

제안하는 디블록킹 필터 하드웨어 구조는 그림 4와 같으며, 디블록킹 필터를 제어하기 위한 DF Controller 모듈, 외부 메모리에서 픽셀 데이터를 제어하기 위한 Data Controller 모듈, 픽셀 데이터 및 필터링 유무를 결정하기 위한 정보를 저장하는 Buffer 모듈, 필터링을 수행하는 Filtering 모듈로 구분된다.

Buffer 모듈은 라우트 모듈과 라인 버퍼(Line Buffer) 모듈로 구성된다. 디블록킹 필터에서 필터링된 픽셀을 다시 사용하기 때문에 메모리에 저장하는 단계를 수행한다. 이러한, 메모리 접근은 하드웨어 모듈의 성능을 저하시킨다. 따라서, Line Buffer 모듈은 동시에 읽기 쓰기가 가능한 Common Buffer(CB)를 통해 필터링된 픽셀 데이터를 메모리에 저장하지 않고 바로 CB에 저장하여 메모리 접근을 감소시켰다. 또한, 라우트 모듈을 통해 사용되는 라인 버퍼의 개수를 최소화 하였다.

필터링 부분은 수직(Vertical) 필터 모듈과 수평(Horizontal) 필터 모듈로 구분되며, 각 필터 모듈은 8개 라인에 대해서 필터링을 수행한다. 또한, 8개 라인 필터 모듈은 4x4 블록 크기를 고려하여, 4개 라인 필터로 구성된다.

저전력 디블록킹 필터 하드웨어 설계를 위해 필터링 부분의 Boundary Judgment 및 Bs Calculation, Filter Decision 모듈에서 결정되는 제어신호를 사용하여, 클록 게이팅 구조로 설계하였다.

3.1. 제안하는 디블록킹 필터링 및 라우팅 순서

제안하는 디블록킹 필터링 순서와 라우팅 순서는 그림 5와 같다.

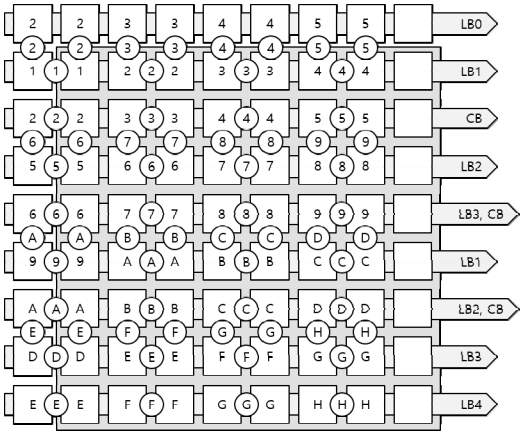

Fig. 5 Order of filtering and routing

그림 5는 전체 블록 크기는 32x32 블록이며, 각 블록은 4x4 블록을 나타낸다.

디블록킹 필터링은 12x32 크기 단위로 나누어 처리하며, 4x32 크기를 저장하는 라인 버퍼 3개를 사용한다. 32x32 블록 크기는 32x32 블록 경계를 처리하기위한 픽셀 데이터까지 9개의 4x32 크기로 구성된다. 라우팅 순서는 표 3과 같으며, 4 단계로 구분된다. 라우팅 1번째 4x32 3번째 라인은 수직 필터링 후 라우팅 2번에서 수평 필터링에서 수직 필터링된 픽셀 데이터를 사용하기 때문에 CB에 저장한다. 라우팅 2, 3번도 동일한 동작을 수행한다. CB를 통해 디블록킹 필터 하드웨어 내부 4x32 크기의 라인 버퍼 1개가 감소되며, 필터링된 4x32 크기의 픽셀 데이터를 외부 메모리에 저장하고 다시 읽기 위한 지연 시간이 감소한다.

Table. 3 The proposed routing order

Route Num.	4x32 Num.	Line Buffer Num.	Filtered Pixel
1	1	LB0	Output
	2	LB1	Output
	3	CB	CB Stored
2	3	CB	Output
	4	LB2	Output
	5	LB3	CB Stroed
3	5	CB	Output
	6	LB0	Output
	7	LB1	CB Stroed
4	7	CB	Output
	8	LB2	Output
	9	LB3	Output

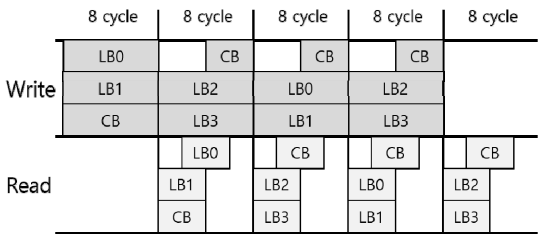

Fig. 6 Data flow of the proposed route structure

그림 6은 제안하는 라우팅 구조의 데이터 흐름이며, 32x32 블록 크기에서 디블록킹 필터링은 40 cycle 소요된다. 메모리로부터 픽셀데이터를 읽을 때는 1 cycle에 4x4 블록크기를 처리하며, 버퍼로부터 픽셀데이터를 읽을 때는 1 cycle에 4x8 블록크기를 처리한다.

3.2. 제안하는 저전력 하드웨어 구조

HEVC의 디블록킹 필터는 Boundary judgment 및 Bs Calculation, Filter Decision을 통해 필터링의 유무를 결정한다. 제안하는 저전력 하드웨어 구조는 Boundary judgment 및 Bs Calculation, Filter Decision 모듈에서 출력되는 제어 신호를 이용하여 클록 게이팅 구조로 설계하였다. 제안하는 디블록킹 필터의 클록 게이팅 구조는 그림 7과 같다.

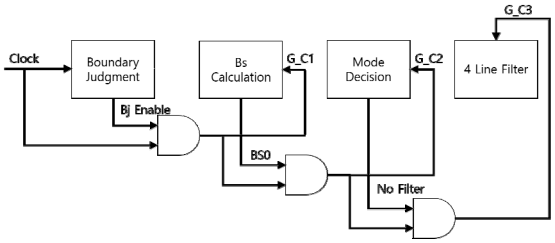

Fig. 7 The proposed clock gating structure

Boundary judgment 모듈에서는 현재 블록 경계가 PU 및 CU, TU의 경계인지 확인 후 경계일 때만 Bj Enable 신호를 1로 설정한다. Bs Calculation 모듈에서는 그림 2와 같은 조건으로 Bs를 결정하며, Bs가 0일 때 BS0 신호는 1로 설정된다. Mode Decision 모듈은 입력된 픽셀 데이터가 식 (1)을 만족하지 못하면, No Filter 신호를 1로 설정한다. 각 모듈은 우선순위를 가지고 있으며, Boundary judgment 모듈이 높은 우선순위를 가지고, Bs Calculation, Mode Decision 모듈 순으로 우선순위를 가진다.

3.3. 제안하는 Bs Calculation 병렬 구조화

디블록킹 필터의 Bs Calculation은 블록 경계의 강도를 결정하는 기능을 수행한다. 그림 8의 (a)는 HEVC Bs Calculation의 조건식을 나타내며, (b)는 제안하는 Bs Calculation의 구조이다. 그림 8의 (a)를 하드웨어로 구현시 Bs값을 결정하는데 높은 데이터 지연 시간이 발생하며, 디블록킹 필터 전체 하드웨어의 성능 저하를 가져온다.

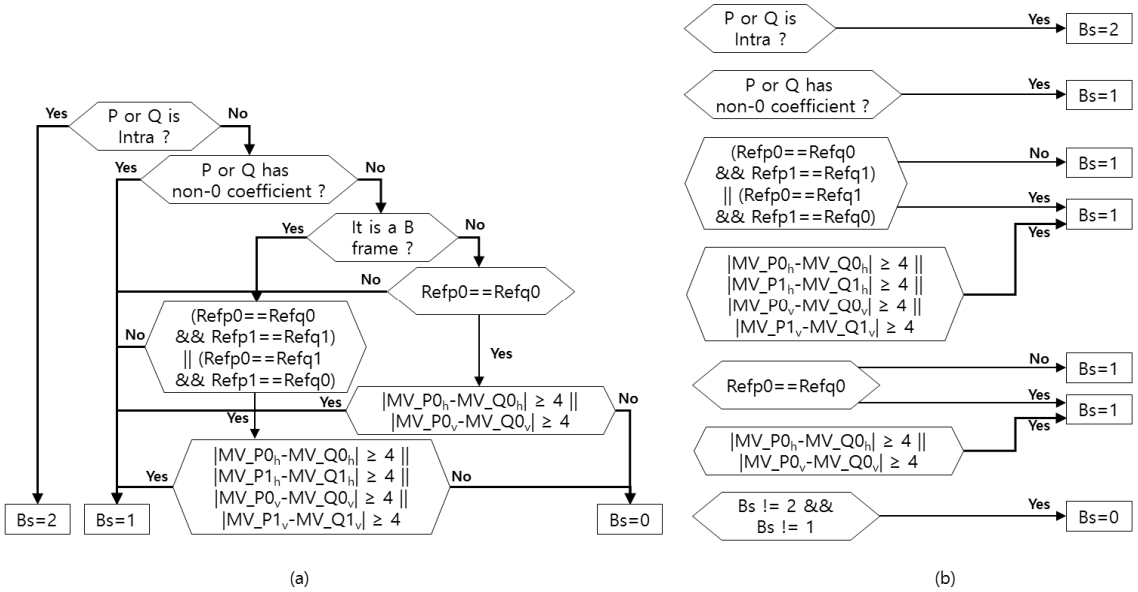

Fig. 8 Overall processing steps of Bs calculation (a) HEVC Bs calculation (b) The proposed Bs calculation Structure

그림 8의 (b)와 같이 Bs Calculation의 조건식을 병렬 구조화하여 지연 시간을 감소시켰다. 그림 8의 (b)는 각 Bs의 조건을 따로 설계 후 1 비트의 제어 신호를 가지고 BS2, BS1, BS0 신호를 1로 설정한다. 또한, 각 신호에 우선순위를 설정하여, 2개 이상의 BS 신호가 1일 때 처리가 가능하도록 설계하였다.

Ⅳ. 하드웨어 구현 결과 및 성능

본 논문에서 제안하는 모바일 시스템을 위한 저전력 HEVC 루프 내 필터의 디블록킹 필터 하드웨어 구조는 Verilog HDL로 설계되었으며, IDEC에서 지원하는 Synopsys사의 Design Compiler를 사용하였다. 또한, 제안하는 하드웨어 구조는 65nm CMOS 표준 셀 라이브러리를 사용하여 합성하였다. 합성 결과 최대 동작 주파수는 700MHz이고, 540fps를 처리한다. 또한, 전력 소모는 52.63 mW이다.

본 논문에서 제안하는 구조는 모바일을 위한 저전력 구조이며, 참조논문과의 비교를 위해 270MHz와 110MHz 동작 주파수에서 자세한 비교를 진행하였다. 표 4는 제안하는 하드웨어 내부 모듈의 합성결과 및 비교이다. 제안하는 하드웨어는 자세한 성능 비교를 위해 270MHz 동작 주파수와 저전력 측면의 110MHz 동작 주파수에서 합성하였다. 제안하는 하드웨어 구조는 32x32 블록 크기 기반 디블록킹 필터를 수행하며, 지원 해상도는 8K(7680 x 4320)급 영상이다. 비교 논문의 하드웨어 합성 결과는 버퍼 모듈을 제외한 결과이기 때문에 정확한 비교를 위해 총 하드웨어 면적에서 버퍼 모듈을 제외하여 면적을 비교하였다.

표 4의 Proposed1과 Erdern[8]의 비교 결과 제안하는 하드웨어 구조의 면적이 15.14K 증가한다. 하지만, 제안하는 하드웨어의 소모 전력은 40.45mW 감소하며, fps는 약 2배 높은 성능을 가진다.

Proposed1과 Batta[9]의 비교 결과 제안하는 하드웨어 구조의 면적이 18.16K 감소하며, 소모 전력은 27.84mW 감소한다. 또한, fps는 약 3.7배 높은 성능 결과를 가진다. Proposed1과 Wei[10]의 비교 결과 제안하는 하드웨어 구조의 면적이 20.32K 증가한다. 하지만, 제안하는 하드웨어의 fps가 약 1.6배 높은 성능 결과를 가진다. Proposed2는 저전력 측면에서 합성하였으며, 동작주파수는 110MHz이고, 84fps를 처리한다. 또한, 소모 전력은 6.72mW로 Erdern[8]과 Batta[9] 보다 저전력으로 동작하는 결과를 가진다.

Table. 4 Hardware and performance comparisons

		Erdem[8]	Batta[9]	Wei[10]	Proposed1	Proposed2
Processing Object		32 x 32	16 x 16	64 x 64	32 x 32	
Technological Process		65nm	180nm	90nm	65nm	
Processing Cycles/LCU		280 cycles	224 cycles	288 cycles	160 cycles	
Max Frequency (MHz)		108	100	278	270	110 (for Mobile)
Resolution		1920 x 1080	8K x 4K	8K x 4K	8K x 4K	
Fps (Frame per second)		86	56	123	208	84
Hardware cost (gates)	Boundary judgment	-	-	40	88.5	88.5
	Bs calculation	-	-	7.7K	1.65K	1.64K
	Filter	-	-	23.88K	50.2K	50.4K
	Buffer	-	-	-	96.4K	93.4K
	Total	36.8K	70.1K	31.62K	148.3K	145.5K
Power (mW)		57.24	44.63	-	16.79	6.72
Boundary judgment		No	No	Yes	Yes	

그림 9와 10은 표준 소프트웨어 HM-16.9 디블록킹 필터의 한 부분이며, 그림 9는 디블록킹 필터의 입력픽셀을 디버깅한 화면이다. 그림 10은 필터수행 후 저장되는 픽셀을 디버깅한 화면이다. 그림 11은 제안하는 하드웨어 구조의 시뮬레이션 파형이며, 그림 9와 10에서 데이터 값과 같은 결과를 나타낸다.

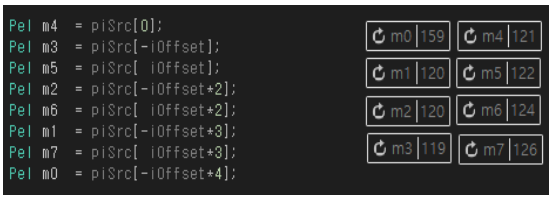

Fig. 9 Deblocking filter input in HM-16.9

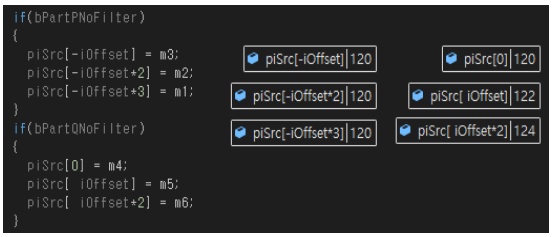

Fig. 10 Deblocking filter output in HM-16.9

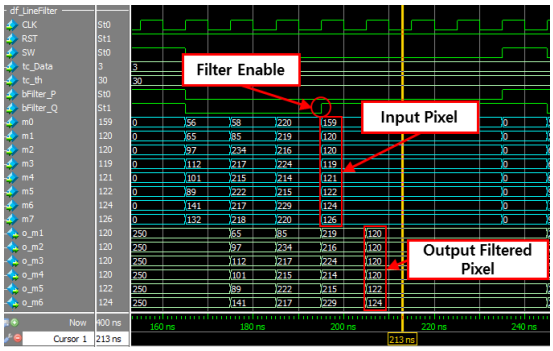

Fig. 11 The result from simulation

V. 결 론

본 논문에서 제안하는 모바일 시스템을 위한 저전력 HEVC 루프 내 필터의 디블록킹 필터 하드웨어 구조는 32x32 블록 기반 필터를 수행하며, 8K급 영상을 지원한다. 제안하는 하드웨어 구조는 8K@60fps 이상 지원을 목표로 저전력 하드웨어 구조를 설계하였다. 저전력 하드웨어 구조로 설계하기 위해 낮은 주파수에서 높은 필터 처리량을 가지는 4개의 4x4 블록 경계 병렬 필터 구조를 가지며, 4단계 파이프라인 구조로 설계하였다.

제안하는 하드웨어 구조는 라우팅 기법으로 내부에서 사용되는 buffer를 최소화 하였으며, 최대 데이터 지연 시간을 가지는 Bs Calculation의 Bs 결정 구조를 병렬화 구조로 설계하여 제안하는 하드웨어 구조의 성능을 전체적으로 향상 시켰다. Bs Calculation의 병렬화 구조로 최대 동작 주파수는 700MHz이며, 540fps를 처리한다. 또한, 소모 전력은 52.63mW이다. 저전력 시스템에서 동작을 비교하기 위해 동작주파수 270MHz와 110MHz로 결과비교를 진행하였다.

제안하는 모바일 시스템을 위한 저전력 HEVC 루프 내 필터의 디블록킹 필터 하드웨어 구조는 65nm CMOS 표준 셀 라이브러리로 합성한 결과 110MHz의 동작 주파수에서 8K급 영상의 84fps 처리가 가능하며, 52.13K개의 게이트로 구현되었다. 또한, 소모 전력은 6.72mW를 가진다.

ACKNOWLEDGMENTS

This research was supported by the research fund of Hanbat National University in 2015 and MSIP(Ministry of Science, ICT and Future Planning), Korea, under the Human Resource Development Project for Brain scouting program (IITP-2017-R2418-17-0007) supervised by the IITP(Institute for Information and Communication Technology Promotion)

REFERENCES

[1] G. J. Sullivan, J. R. Ohm, W. J. Han, and T. Wiegand, “Overview of the High Efficiency Video Coding (HEVC) Standard,” *IEEE Transactions Circuits and Systems for Video Technology*, vol. 22, no. 12, pp. 1649- 1668, Dec. 2012.

[2] W. J. Han, J. Min, I. K. Kim, E. Alshina, A. Alshin, T.Lee, J. Chen, V. Seregin, S. Lee, Y. M. Hong, M. S.Cheon, N. Shlyakhov, K. McCann, T. Davies, and J. H.Park, “Improved Video Compression Efficiency Through Flexible Unit Representation and Corresponding Extensionof Coding Tools,” *IEEE Transactions Circuits and Systems for Video Technology*, vol. 20, no. 12, pp. 1709-1720, Dec. 2010.

[3] J. Park and K. Ryoo, “Hardware Design of High Performance HEVC Deblocking Filter for UHD Videos,” *Journal of the Korea Institute of Information and Communication Engineering*, vol. 19, no. 1, pp. 178-184, Dec. 2015.

[4] S. Park, J. Im and K. Ryoo, “Hardware Design of In-loop Filter for High Performance HEVC Encoder,” *Journal of the Korea Institute of Information and Communication Engineering*, vol. 20, no. 1, pp. 335-342, Feb. 2016.

[5] W. Shen, Y. Fan, Y. Bai, L. Huang, Q. Shang, C. Liu and X. Zeng, “A Combined Deblocking Filter and SAO Hardware Architecture for HEVC,” *IEEE Transactions on Multimedia*, vol. 18, no. 6, pp. 1022-1033, Jun. 2016.

[6] M. Abeydeera, M. Karunaratne, G.Karunaratne, K. D. Silva and A. Pasqual, “4K Real-time HEVC Decoder on an FPGA,” *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 26, Iss. 1, pp. 236-249, Jan. 2016.

[7] V. Sze, M. Budagavi and G. J. Sullivan, *High Efficiency Video Coding (HEVC): Algorithms and Architectures*, 1st ed. Springer International Publishing Switzerland, 2014.

[8] E. Ozcan, Y. Adibelli and I. Hamzaoglu, “A High Performance Deblocking Filter Hardware for High Efficiency Video Coding,” *IEEE Transactions on Consumer Electronics*, vol. 59, no. 3, pp. 714-720, Aug. 2013.

[9] B. K. N. Srinivasarao, I. Chakrabarti and M. N. Ahmad, “High-speed Low-power Very-large-scale Integration Architecture for Dual-standard Deblocking Filter,” *IET Circuits Devices Systems*, vol. 9 Iss. 5, pp. 377-383, Oct. 2015.

[10] W. Zhou, J. Zhang, X. Zhou, Z. Liu and X. Liu, “A High-Throughput and Multi-Parallel VLSI Architecture for HEVC Deblocking Filter,” *IEEE Transactions on Multimedia*, vol. 18, no. 6, pp. 1034-1047, Jun. 2016.

박승용(Seungyong Park)

2010년 한밭대학교 공과대학 정보통신공학과 공학사
2012년 한밭대학교 정보통신전문대학원 정보통신공학과 공학석사
2012년 ~ 현재 한밭대학교 정보통신전문대학원 정보통신공학과 박사과정
※ 관심분야 : SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계

류광기(Kwangki Ryoo)

1986년 한양대학교 공과대학 전자공학과 공학사
1988년 한양대학교 대학원 전자공학과 공학석사
2000년 한양대학교 대학원 전자공학과 공학박사
1991년 ~ 1994년 육군사관학교 교수부 전자공학과 전임강사
2000년 ~ 2002년 ETRI 시스템IC설계팀 선임연구원
2010년 ~ 2011년 Univ of Texas at Dallas 방문교수
2003년 ~ 현재 한밭대학교 공과대학 정보통신공학과 교수
※ 관심분야 : 공학교육, SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계