

논문 2017-54-2-17

저항-커패시턴스 시정수 회로를 이용하여 지터 특성을 개선한 위상고정루프

(A Jitter Characteristic Improved PLL with RC Time Constant Circuit)

안 성 진*, 최 영 식**

(Seong-Jin An and Yong-Shig Choi[©])

요 약

본 논문은 RC 시정수 회로를 이용하여 지터 특성을 개선한 위상고정루프의 구조를 제안하였다. RC 시정수 회로에서는 루프 필터 전압이 작은 시정수와 큰 시정수 값을 가지는 회로를 통과하여 비교기로 전달된다. 작은 시정수 값을 가지는 회로를 지나는 신호는 거의 루프 필터 출력 전압과 같은 값을 가진다. 큰 시정수 값을 가지는 회로를 지나는 신호는 루프 필터 출력 전압의 평균값을 가지며, 비교기회로에서 기준 신호 역할을 한다. 비교기의 출력 신호는 루프 필터에 전류를 공급하는 보조 전하펌프를 제어한다. 루프 필터 출력 전압이 상승하면 보조 전하펌프는 루프 필터에서 전류를 방전시켜 루프 필터 출력 전압이 하강하게 하고, 또는 루프 필터 출력 전압이 하강하면 보조 전하펌프는 루프 필터에서 전류를 충전시켜 루프 필터 출력 전압이 상승하게 한다. 이런 부궤환 루프는 필터 출력 전압 변동 폭을 줄여서 지터 크기를 감소시켜준다.

Abstract

This paper presents a jitter characteristic improved phase locked loop (PLL) with an RC time constant circuit. In the RC time constant circuit, LPF's voltage is inputted to a comparator through small and large RC time constant circuits. The signal through a small RC time constant circuit has almost same loop filter output voltage. The signal through a large RC time constant circuit has the average value of loop filter output voltage and does as a role of reference voltage to the comparator. The output of the comparator controls the sub-charge pump which provide a current to LPF. When the loop filter output voltage increases, the sub-charge pump discharges the loop filter and decreases loop filter output voltage. When the loop filter output voltage decreases, the sub-charge pump charges the loop filter and increases loop filter output voltage. The negative feedback loop reduces the variation of loop filter output voltage resulting in jitter characteristic improvement.

Keywords : Jitter, PLL, time constant comparator, sub-charge pump, voltage fluctuation

I. 서 론

클럭 신호 생성기와 주파수 합성기 등으로 다양한 전자 시스템에서 위상고정루프(PLL)회로는 보편적으로 사용되고 있다. 최근 들어 데이터 전송률이 증가함에 따라 위상고정루프를 설계하는 데 있어 위상 잡음과 지

터는 필수적인 고려사항이 되었다^[1]. 위상고정루프에서 위상 잡음과 지터가 발생하는 주요 원인은 전압제어발진기(VCO)의 불안정성 때문이다. 전압제어발진기는 입력 전압, 외부 온도, 공급 전원, 공정 변화 등의 외부적인 변수에 가장 영향을 많이 받는 회로 중 하나이다. 전압제어발진기는 루프 필터 출력 전압에 따라 일정한 주파수를 출력하기 때문에 루프필터의 불안정한 전압 변동은 전압제어발진기가 불규칙적인 주파수를 출력하게 한다. 따라서 위상이 고정된 상태에서의 루프필터의 전압 변동은 끊임없는 위상 잡음과 지터를 발생시킨다^[2].

최근 위상 잡음을 줄이기 위해 다양한 위상고정루프의 구조들이 연구되고 있다. 조절이 가능한 두 개의 대

* 정회원, 부경대학교 전자공학과
(Department of Electronic Engineering, PKNu University)

** 평생회원, 부경대학교 전자공학과
(Department of Electronic Engineering, PKNu University)

© Corresponding Author (E-mail : choiys@pknu.ac.kr)

Received ; September 30, 2016 Revised ; January 5, 2017

Accepted ; January 23, 2017

역폭을 전압제어발진기 특성에 따라 제어하도록 하여 잡음 특성을 개선하였다^[3]. 하지만 두 개의 대칭 루프는 회로를 복잡하게 만들고 칩 크기를 시켰다. 낮은 이득을 가지는 전압제어발진기와 아날로그 부대역 선택 루프 또한 위상 잡음을 개선하기 위한 방법 중 하나이다^[4~5]. 이 방법은 넓은 주파수 대역을 확보하기 위해 이중 루프와 스위치 커패시터를 사용했으나, 이는 위상 고정에 많은 시간이 소요된다. 위상 주파수 비교기(PFD)의 데드 존과 전하 펌프(CP)의 전류 부조화로부터 생기는 위상 잡음을 줄이기 위해 선형화 기법을 사용하였다^[6]. 그러나 전하펌프의 비선형성 개선에 따른 트랜지스터의 늘어난 동작시간에 의해 잡음이 증가하는 문제가 발생한다. 전압제어발진기의 출력을 기준 주파수에 재 정렬 시키는 기법은 기준 주파수의 잡음에 매우 민감하게 반응하는 문제점을 가지고 있다^[7]. 이 기법은 전체적인 위상고정루프의 위상 잡음을 효과적으로 억제시키는데 한계를 가지고 있다고 할 수 있다. 지터의 크기를 줄이기 위해서 능동 루프 필터와(ALF)^[8] 두 개의 링 구조 전압제어발진기 기술이^[9] 제안되었다. 이와 같은 방법은 LDO-regulator를 사용하므로 직류 공급 전압을 높은 것과 출력 리플 전압이 잡음을 증가시키는 문제점을 가지고 있다.

본 논문에서는 RC 시정수회로와 보조 전하펌프를 이용해 루프필터의 전압 변동을 최소화하였다. 안정화된 전압제어발진기의 입력 전압은 안정한 출력 주파수로 이어진다. 결과적으로 전체 위상고정루프 회로의 위상 잡음과 지터의 크기를 개선할 수 있다.

II. 제안된 위상고정루프 회로

위상고정루프에서 루프필터의 전압의 변화는 전압제어발진기의 잡음과 연관되어있기 때문에 루프필터의 전압 변화 크기를 최소화 하는 것이 매우 중요하다. 따라서 루프필터의 전압변화는 위상고정루프의 성능을 측정할 수 있는 좋은 지표가 된다. 첫 번째 성능 지표인 ΔV_{LPF} 는 위상이 고정된 이후의 루프필터의 전압 변화 크기를 나타낸다. ΔV_{LPF} 의 크기는 위상잡음의 특성을 보여준다. 그 값이 클수록 위상 잡음 또한 커진다. 따라서 작은 위상 잡음을 얻기 위해서 작은 ΔV_{LPF} 값을 얻어야 한다. 두 번째 지표는 $\Delta\Delta V_{LPF}$ 이다. $\Delta\Delta V_{LPF}$ 는 한 주기 동안의 전압이 변화하는 최댓값으로, 기준 신호의 의사 잡음을 나타낸다. 의사 잡음 또한 $\Delta\Delta V_{LPF}$ 이 작을수록 잡음이 개선된다.

그림 1은 가장 많이 사용되는 2차 루프필터를 보여준다. 위상주파수비교기가 한 주기 동안 UP/DN 펄스를 발생시킬 때 먼저 C_P 가 충전/방전 된다. UP/DN 펄스가 발생하지 않는 나머지 시간동안은 C_P 에서 C_Z 로, 또는 반대로 전하가 이동한다. 이러한 과정을 통해 위상고정루프는 안정된 동작을 하게 되고 루프필터의 전압은 ΔV_{LPF} , $\Delta\Delta V_{LPF}$ 와 같은 전압의 변동이 생기게 된다. C_P 의 크기를 키우면 전압의 변동 폭을 줄일 수 있다. 하지만 위상고정루프는 충분한 위상 여유를 가지고 안정하게 동작하기 위해서 C_Z 가 C_P 의 최소 7배 이상의 크기를 해야 하기 때문에 C_P 의 크기를 무작정 증가시켜 한 주기 동안 루프필터의 전압 변동 폭($\Delta\Delta V_{LPF}$)을 줄이는 것은 매우 제한적이다.

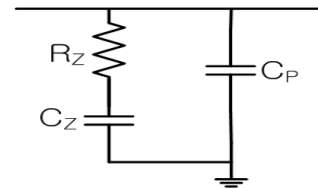


그림 1. 2차 루프필터
Fig. 1. Second-order loop filter.

그림 2는 제안된 위상고정루프의 회로이다. 루프필터의 전압 변동 폭을 줄이기 위한 RC 시정수 비교 회로와 보조 전하 펌프와 같은 추가적인 회로가 추가되어 있다. RC 시정수 비교 회로는 전압 플로어, RC 시정수 회로와 래치 버퍼로 구성되어 있다. RC 시정수 비교 회로는 루프필터의 출력 전압을 전달받아 보조 전하 펌프를 제어한다. 보조 전하 펌프는 루프필터로 연결되어 추가적인 충전·방전을 도와주는 역할을 한다.

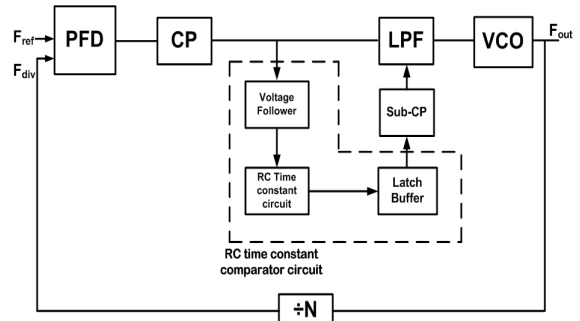


그림 2. 제안된 위상고정루프
Fig. 2. Proposed phase locked loop.

그림 3은 RC 시정수 회로이다. RC 시정수를 이용해서 두 입력 신호 간 차이를 만들어, 이를 비교하고 '0'과 '1'의 값을 가지는 출력 C_{OUT} 을 출력한다. C_{IN} 은 루프필

터의 출력 전압을 전압 플로어를 통해 전달 받은 신호이다. V_{L1} 은 비교기의 첫 번째 입력신호이다. V_{L1} 은 작은 시정수($R_{L1} * C_{L1}$)을 통해 전달되기 때문에 루프 필터 출력 전압과 거의 같은 동적 변화를 보여준다. 두 번째 입력은 V_{L2} 이다. V_{L2} 는 큰 시정수($R_{L2} * C_{L2} + R_{L3} * C_{L3}$)를 통해 전달되기 때문에 V_{L2} 는 루프 필터 출력 전압의 평균값을 가지는 일정한 신호(constant signal)처럼 동작한다. V_{L1} 과 V_{L2} 의 이러한 신호의 전달 능력 차이는 그림 4와 같이 두 개의 서로 다른 입력 신호를 만들어 내고 비교기의 출력(C_{OUT})은 '0'과 '1'의 값을 출력한다.

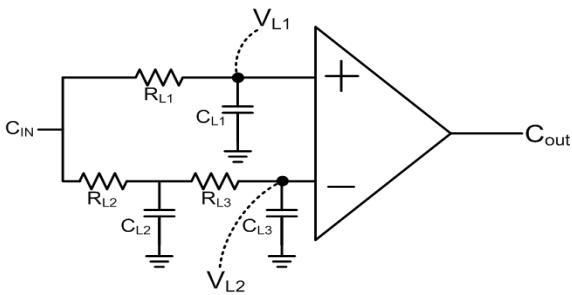


그림 3. RC 시정수 회로
Fig. 3. RC time constant circuit.

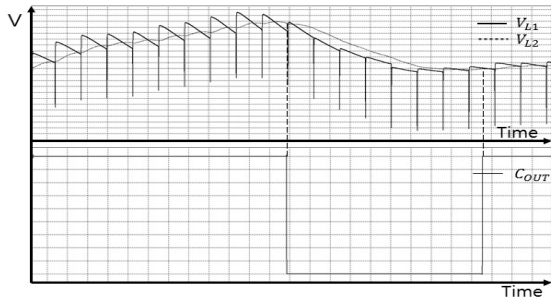


그림 4. 비교기의 입력신호(V_{L1} , V_{L2})와 출력신호(C_{OUT})
Fig. 4. Input signals(V_{L1} , V_{L2}) and output signal(C_{OUT}) of comparator.

그림 4는 비교기의 입출력 신호이다. V_{L2} 는 평균값을 가지는 일정한 신호로 동작하고, V_{L1} 은 루프 필터 출력 전압과 같이 변화하기 때문에 두 신호는 전압의 차이를 가지게 된다. V_{L1} 이 V_{L2} 보다 높을 때는 C_{OUT} 은 '1'의 값을 출력한다. '1'의 값을 가지는 C_{OUT} 은 보조 전하 펌프를 제어하여 루프 필터의 전압을 추가적으로 방전시켜 루프 필터의 출력 전압을 하강하게 한다. 반대로 V_{L1} 이 V_{L2} 보다 낮을 때는 C_{OUT} 은 '0'의 값을 출력한다. '0'의 값을 가지는 C_{OUT} 은 보조 전하 펌프를 제어하여 루프 필터의 전압을 추가적으로 충전시켜 루프 필터의 출력 전압을 상승하게 한다. RC 시정수 회로는 루프 필터 전압

의 움직임을 감지하여 루프 필터 전압 변동을 최소화 하는 방향으로 동작하도록 한다.

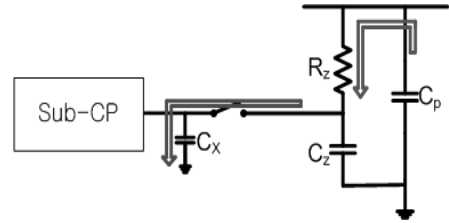


그림 5. C_{OUT} 이 '1'의 값을 가질 때 보조 전하 펌프의 동작 원리
Fig. 5. Operation of auxiliary CP when C_{OUT} has '1'.

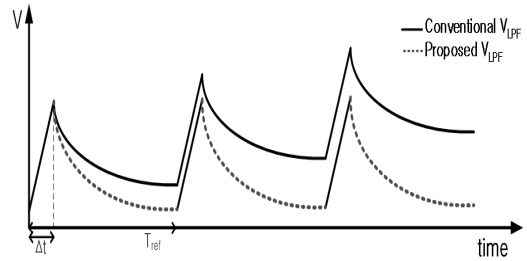


그림 6. 루프 필터의 전압이 상승할 때, 기존 위상고정 루프의 $\Delta \Delta V_{LPF}$ 와 제안된 위상고정 루프의 $\Delta \Delta V_{LPF}$.
Fig. 6. $\Delta \Delta V_{LPF}$ of conventional PLL and $\Delta \Delta V_{LPF}$ of proposed PLL when output voltage of loop filter increases.

C_{OUT} 이 '1'을 출력 할 때 보조 전하 펌프는 그림 5와 같이 동작을 한다. 그림 6은 기존의 위상고정 루프의 $\Delta \Delta V_{LPF}$ 와 제안된 위상고정 루프의 $\Delta \Delta V_{LPF}$ 를 나타낸 그림이다. 기존의 위상고정 루프는 기준신호 한 주기 중 UP 펄스에 의해 생기는 Δt 시간 동안 전하 펌프의 전류가 C_p 를 충전하며 전압이 상승한다. 나머지 $T_{ref} - \Delta t$ 시간 동안은 C_p 에서 C_z 로 전하가 이동하여 한주기 동안 발생하는 위상 변화량(excess phase shift)을 감소시켜 위상고정 루프가 안정하게 동작하도록 한다. 제안된 위상고정 루프는 $T_{ref} - \Delta t$ 시간 동안 추가적으로 보조 전하 펌프를 통하여 C_z 에서 C_x 로 전하를 이동시켜 한주기 동안 발생하는 위상 변화량을 더 감소시켜 위상고정 루프가 더욱 더 안정하게 동작하도록 한다. 이는 루프 필터 출력 전압 변동 폭을 감소시켜 전압제어발진기의 출력 주파수가 일정하게 하도록 하여 지터의 크기를 감소 시켜 준다.

III. 회로 설계

보조 전하 펌프의 회로가 그림 7 나타나있다. 비교기의 출력(C_{OUT})은 보조 전하 펌프의 스위치를 제어한다. 보조 전하 펌프의 스위치들은 커패시터 C_X 에 전압을 충전 또는 방전하는 역할을 한다. C_{OUT} 이 '1'의 값을 가질 때, 보조 전하 펌프의 NMOS가 동작하여 C_X 의 전압을 방전하게 된다. 반대로 C_{OUT} 이 '0'의 값을 가질 때, 보조 전하 펌프는 PMOS가 동작하여 C_X 의 전압을 충전한다. SW_1 은 전압제어발진기의 출력(F_{out})에 의해서 동작한다. SW_1 은 C_X 의 신호를 C_Z 로 전달하여 루프필터 전압의 추가적인 충·방전 역할을 한다. 결과적으로 보조 전하 펌프는 C_{OUT} 의 제어를 받아 루프필터의 출력전압 변화를 줄이는 방향으로 동작한다.

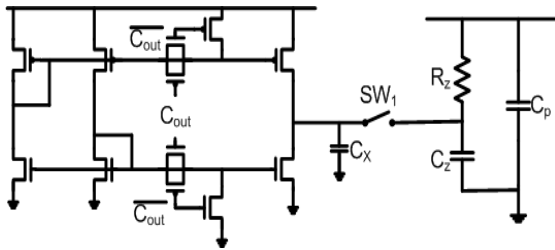


그림 7. 보조 전하 펌프 회로
Fig. 7. Auxiliary CP circuit.

루프 필터의 전압을 비교기 회로에 전달할 때, 어떤 추가적인 기생 커패시턴스의 생성이나 오류가 발생하지 않기 위해서 전압 플로어를 사용하였으며 그림 8은 사용된 연산증폭기 회로를 보여주고 있다. 이 전압 플로어는 루프 필터 출력 전압을 입력으로 받아 그림 3의 RC 시정수 회로 입력 신호(C_{IN})를 출력한다.

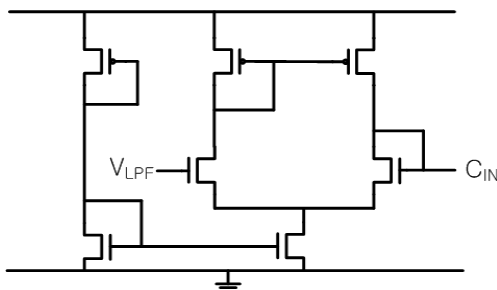


그림 8. 연산증폭기 회로
Fig. 8. Circuit of operational amplifier.

그림 9는 비교기 회로를 보여준다. 비교기 회로 출력을 입력으로 받는 래치 버퍼를 사용하여 비교기가 'high' 또는 'low'을 안정하게 출력 하도록 하였다.

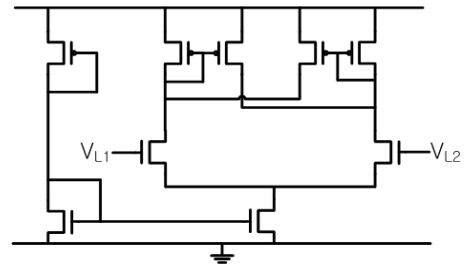
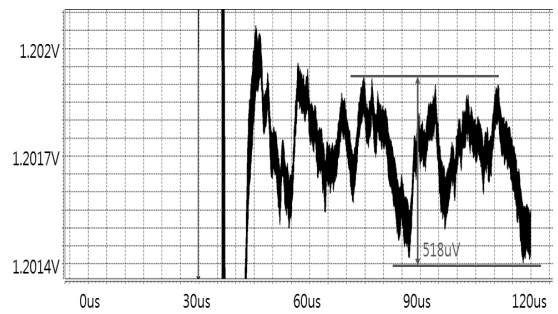


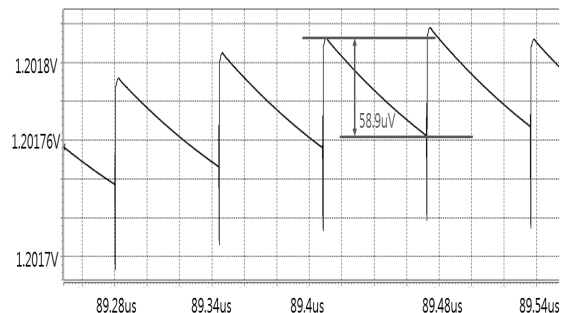
그림 9. 비교기 회로
Fig. 9. Comparator circuit.

IV. 측정 결과

제안된 위상고정 루프는 0.18 μ m CMOS공정으로 시뮬레이션 하였다. 15.625MHz의 입력 주파수를 가지고 1GHz의 주파수를 출력한다. 그림 10은 기존의 위상고정루프의 시뮬레이션 측정 결과이다. 기존의 위상고정루프는 $\Delta V_{LPF} = 518\mu V$, $\Delta \Delta V_{LPF} = 58.9\mu V$ 와 jitter = 135ps의 측정 결과를 가진다. 그림 11은 제안된 위상고정루프의 성능 시뮬레이션 측정 결과이다. 제안된 위상고정루프는 $\Delta V_{LPF} = 334\mu V$, $\Delta \Delta V_{LPF} = 38.1\mu V$ 와 jitter = 65.8ps의 값을 가진다. 두 측정 결과를 보면 제안된 위상고정루프는 기존의 것보다 작은 루프필터의 출력전압 변동 폭을 가지며, 이에 따라 지터의 성능이 개선된 것을 알 수 있다.



(a)



(b)

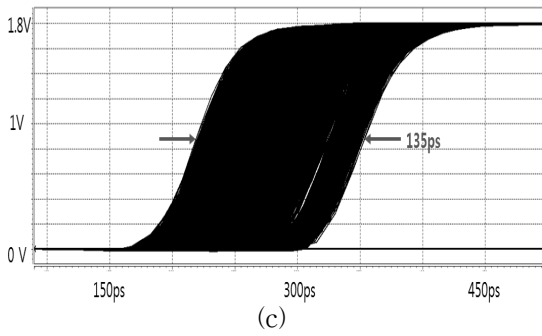


그림 10. 기존 위상고정루프의 시뮬레이션 결과 (a) ΔV_{LPF} , (b) $\Delta \Delta V_{LPF}$, and (c) jitter.
Fig. 10. Simulation results of conventional PLL (a) ΔV_{LPF} , (b) $\Delta \Delta V_{LPF}$, and (c) jitter.

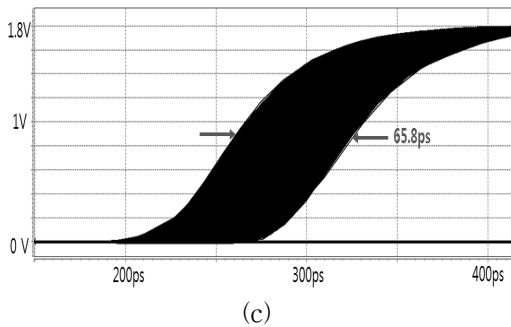
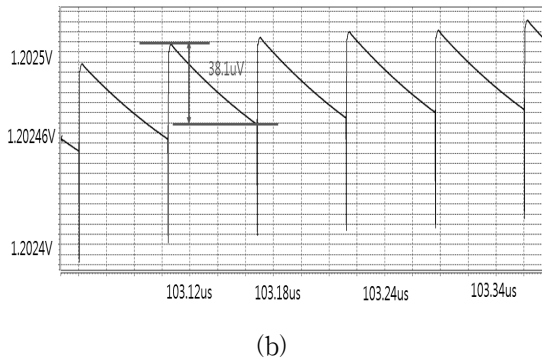
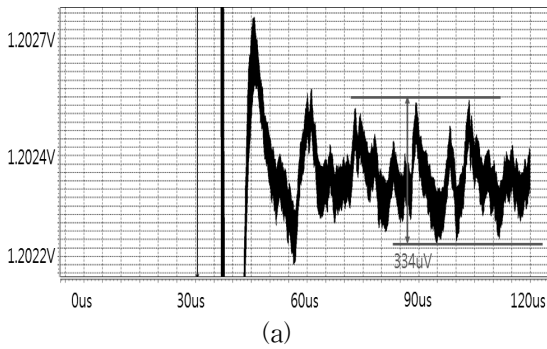


그림 11. 제안한 위상고정루프의 시뮬레이션 결과 (a) ΔV_{LPF} , (b) $\Delta \Delta V_{LPF}$, and (c) jitter.
Fig. 11. Simulation results of proposed PLL (a) ΔV_{LPF} , (b) $\Delta \Delta V_{LPF}$, and (c) jitter.

V. 결 론

RC 시정수 회로가 추가된 새로운 구조의 위상고정루프를 제안하였다. RC 시정수 비교기는 루프필터의 출력 전압 변동을 줄여 전압제어발진기의 출력 주파수가 안정하게 출력 할 수 있도록 만들어주어 지터 특성을 개선하였다. RC 시정수 회로는 두 개의 시정수를 가지고 있다. 큰 값의 RC 시정수를 가지는 회로는 기준 신호 역할을 하는 신호를 생성하고 작은 값의 RC 시정수를 가지는 회로는 루프 필터의 출력 전압과 거의 같은 신호를 생성한다. 시뮬레이션 결과는 RC 시정수 회로가 추가된 새로운 구조의 위상고정루프가 지터 특성을 개선할 수 있다는 것을 보여준다.

REFERENCES

- [1] A. Arakali, N. Talebbeydokhti, S. Gondi and P. K. Hanumolu, "Supply-noise mitigation techniques in phase-locked loops," Solid-State Circuits Conference, pp. 374-377, 2008.
- [2] H. Arora, N. Klemmer, J. C. Morizio and P. D. Wolf, "Enhanced phase noise modeling of fractional-N frequency synthesizers," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 52, no. 2, pp. 379-395, Feb. 2005.
- [3] H.W. Choi, Y.S. Choi, "A Reference Spur Suppressed PLL with Two-Symmetrical Loops", IIEEK, vol. 51, no. 5, pp. 99-105, May. 2014.
- [4] S.K. Lee, Y.S. Choi, "Phase Lock Loop with Analog Band-Selection Loop," IIEEK, vol.49, no. 8, pp. 73-81, Aug. 2012.
- [5] Tsung-Hsien Lin and W. J. Kaiser, "A 900-MHz 2.5-mA CMOS frequency synthesizer with an automatic SC tuning loop," in IEEE Journal of Solid-State Circuits, vol. 36, no. 3, pp. 424-431, Mar 2001.
- [6] Hung-Ming Chien et al., "A 4GHz Fractional-N synthesizer for IEEE 802.11a," IEEE, VLSI Circuits, 2004. Digest of Technical Papers. pp. 46-49, June. 2004.
- [7] Sheng Ye, L. Jansson and I. Galton, "A multiple-crystal interface PLL with VCO realignment to reduce phase noise," in IEEE Journal of Solid-State Circuits, vol. 37, no. 12, pp. 1795-1803, Dec 2002.
- [8] G. Jeon, K. K. Kim and Y. B. Kim, "A low jitter PLL design using active loop filter and low-dropout regulator for supply regulation," IEEE, pp. 223-224, Nov. 2015.

- [9] G. Blasco, E. Isern, E. Martin, "Design of a stable pulse generator system based on a Ring-VCO Phase-Locked Loop using 180nm CMOS technology," IEEE Design of Circuits and Integrated Systems (DCIS), 25-27 Nov. 2015

— 저 자 소 개 —



안 성 진(정회원)
 2015년 부경대학교 전자공학과 학사 졸업
 2015년 부경대학교 전자공학과 석사 입학.
 <주관심분야: PLL, DLL 설계>



최 영 식(정회원)
 1982년 경북대학교 전자공학과 학사 졸업.
 1986년 Texas A&M University 전자공학과 석사 졸업.
 1993년 Arizona State University 박사 졸업.
 1987년~1999년 현대전자 책임연구원
 1999년~2003년 동의대학교 전자공학과 교수
 2003년~현재 부경대학교 전자정보통신공학부 교수
 <주관심분야: PLL, DLL, CDRC 설계>