

의사 NMOS 형태의 NCL 게이트를 사용한 고속의 비동기 회로 설계 및 구현

(Design and Implementation of Asynchronous Circuits using
Pseudo-NMOS NCL Gates)

김 경 기¹⁾*
(Kyung Ki Kim)

요 약 본 논문에서는 회로에서의 지연 시간을 줄이기 위해서 사용되는 의사 NMOS (pseudo-NMOS) 구조를 결합한 새로운 지연 무관 방식의 고속 비동기 회로 설계를 제안하고자 한다. 기존의 대표적인 지연 무관 방식의 NCL 비동기 회로 설계는 고신뢰성, 저전력 그리고 반도체 공정 기술에 의존하지 않고 회로를 재사용할 수 있는 용이성 등 많은 장점을 가지고 있다. 그러나 기존의 NCL 게이트 셀들의 트랜지스터-레벨 구조들은 많은 복잡한 구조로 인해서 회로 지연의 증가를 가져온다. 따라서 본 논문에서는 고속의 새로운 NCL 게이트와 비동기 파이프라인(pipeline) 구조를 제안하였다. 제안된 방법은 SK-Hynix 0.18 μ m 공정에서 설계된 4x4 곱셈기를 통해서 적용되었고, 설계된 곱셈기는 모든 경우의 데이터 입력에 대한 전력과 지연이 측정되었고, 기존 NCL 방법과 비교되었다. 실험 결과는 제안된 NCL 구조가 기존의 NCL 구조보다 지연에서 85% 감소함을 보여주었다

핵심주제어 : 비동기 회로, 의사 NMOS, NCL, 저전압

Abstract This Paper Proposes a New High-speed Design Methodology for Delay Insensitive Asynchronous Circuits Combining with a Pseudo-NMOS Structure used for High Performance in Synchronous Circuits. Null Convention Logic(NCL) of Conventional Delay-Insensitive Asynchronous Design Methodologies has many Advantages of High Reliability, Low Power Consumption, and Easy Design Reuses not Dependant on Semiconductor Technology. However, the Conventional NCL Gates has a Complicated Stack Structure, so it Suffers from Increased Circuit Delay. Therefore, a New NCL Gates and its Pipeline Structure for High Performance, and the Proposed Methodology has been Designed and Evaluated by a 4x4 Multiplier Designed using SK-Hynix 0.18 μ m CMOS Technology. The Experimental Results are Compared with a Conventional NCL in Terms of Power and Delay and shows that the Propagation Delay of the Proposed Multiplier is Reduced by 85% Compared with the Conventional NCL Multiplier.

Key Words : Asynchronous Circuit, Pseudo-NMOS, NCL, Low Voltage

* Corresponding Author : kkkim@daegu.ac.kr

† 이 논문은 2014년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2014R1A1A2058980).

Manuscript received Feb 03, 2017 / revised Feb, 19, 2017 /
accepted Feb 20, 2017

1) 대구대학교 전자전기공학부, 제1저자, 교신저자

1. 서론

최근 초미세 나노미터급 공정에서 구현된 동기식 회로(synchronous circuit)에서는 공정, 전압, 온도 변이(process, voltage and temperature variation: PVT variation)와 노화효과(aging effect) 등에 의한 속도 및 전력의 변화가 매우 커서 오류가 발생할 수 있는 확률이 매우 높아지고 있다. 또한 저 전력을 소모하는 IoT(Internet of Things) 또는 IoE(Internet of Everything) 애플리케이션(Application)이 증가함에 따라 공정의 사이즈도 작아지며 매우 낮은 전압에서 작동한 디지털 시스템을 요구하고 있다[1,2]. 하지만, 저 전력을 위한 저전압 동기 회로에서 야기되는 기하급수적으로 증가하는 회로의 전파지연(propagation delay)과 PVT 변이의 영향은 동기 회로의 타이밍 요구 조건을 만족할 수 없게 하는 확률이 급격히 증가하여, 동기 회로를 신뢰할 수 없게 만들고 있다. 따라서 나노 공정에서의 동기 회로가 가지는 여러 문제점들을 해결하기 위한 방법으로 비동기 회로에 관심이 다시 집중되고 있다[1,2]. 그 중에서도 최근에 Null convention logic (NCL)에 관한 연구들이 많이 진행되어지고 있다. NCL은 타이밍 제한만을 용이하게 하는 다른 DI 모델들과는 다르게 타이밍과 전력을 모두 고려한 최적화된 설계를 할 수 있으며, 27개의 기본적인 셀만으로 비동기 회로를 구현할 수 있는 장점을 가지고 있다. 뿐만 아니라, 게이트 레벨과 회로 레벨에서의 회로 구현이 가능하고, 기존의 검증 툴을 그대로 사용할 수 있는 이점이 있다. 하지만, 기존의 NCL 게이트의 트랜지스터 레벨에서의 구조가 복잡해서 동기 회로에 비해서 고성능을 기대하기가 어렵다. 특히, 회로의 지연을 결정하는 트랜지스터의 스택(stack) 수가 많아서 저전압의 동작도 기대하기 어렵다[1, 2].

따라서, 본 연구에서는 고속 동작이 가능한 새로운 NCL 게이트와 그 게이트 구조를 지원하는 비동기 파이프라인(pipeline) 구조를 제안하였다. 제안된 방법은 0.18 μ m 공정기술에서 설계된 곱셈기를 통해서 적용되었고, 실험 결과는 기존 NCL 방법과 비교되었다. 본 논문은 2 장과 3장에서 각각 기존 연구 배경과 제안된 NCL 설계

방법에 대해서 설명하고, 실험 결과는 4 장에서 보여준다. 마지막으로 5장에서 결론을 맺는다.

2. 연구 배경

2.1 동기 회로에서의 의사 NMOS 구조

기존의 NCL 셀 방식은 증가하는 지연, 전력 소모, 레이아웃(Layout) 면적과 어려운 설계 등의 공통적인 단점을 가지고 있다. 본 논문에서 제안한 의사-nMOS(Pseudo-nMOS) 논리 게이트 형식은 Fig. 1과 같이 en 신호를 사용한 의사-nMOS 논리 게이트 형식이다. 일반적으로 CMOS 게이트를 많이 사용하지만, 지연을 줄이거나 레이아웃 면적을 줄일 필요가 있을 때 사용하는 방법이다. 의사-nMOS를 이용한 게이트의 경우, CMOS와 같이 직렬로 연결된 풀업(pull-up) 트랜지스터를 가지고 있지 않기 때문에 속도가 빠르고, 회로가 간단하고, 면적이 감소되는 장점이 있다. 다만, 정적 전류가 발생하여 소모 전력이 큰 단점을 가지고 있어서 전력을 줄이기 위해서 en 신호의 제어가 요구된다[2].

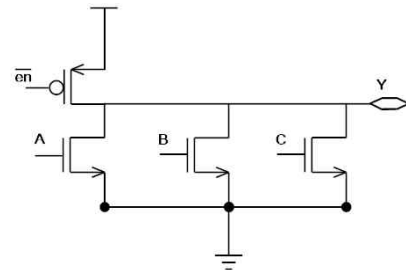


Fig. 1 Pseudo-NMOS NOR gate.

2.2 NCL 게이트와 비동기 파이프라인

NCL 회로의 신호(signal)는 이중 회선 인코딩(dual rail encoding) 방법을 이용한 듀얼 레일(Dual-rail) 로직을 사용한다. 듀얼 레일 논리 신호 D는 two wire (D0, D1)로 구성되어 있다. 신호의 상태는 {DATA0, DATA1, NULL}로 표시한다. 여기서 DATA0 상태는 (D0=1, D1=0), DATA1 상태는 (D0=0, D1=1), NULL 상태는 (D0=0,

D1=0: 입력 데이터가 없는 상태)을 나타낸다. 듀얼 레일 논리는 상호 배타적인 특성을 가지고 있으므로 동시에 (D0=1, D1=1)을 나타낼 수 없다. 따라서 두 개의 와이어(wire)가 (D0=1, D1=1)일 때의 상태는 불가능한 상태(illegal state)로 나타낸다. Table 1은 듀얼 레일의 인코딩을 정리한 것이다 [2].

NCL 회로의 설계는 기본적으로 설계된 27개의 NCL 게이트를 바탕으로 설계한다. 이 27개의 NCL 게이트는 자주 사용되는 부울 함수(boolean function)를 기준으로 설계되었다. 모든 NCL 게이트는 히스테리시스(hysteresis) 특성에 따른 상태유지(state-holding) 상태를 가진다. NCL 게이트의 심볼 표현은 Fig. 2 (a)와 같이 나타내고 TH_{mn} 게이트라고 부른다. 여기서, n은 입력의 개수, m은 문턱(threshold) 값을 말한다. 문턱은 입력 n이 있을 때 최소 m개의 입력이 변경되기 전까지 출력에 이전의 상태를 유지하도록 한다. w는 가중치 (weighted threshold)이며, 하나의 신호가 앞서 설명한 문턱 값을 계산할 때 몇 개의 문턱 역할을 하는지를 나타낸다. 예로써 Fig. 2 (b)의 TH_{34w2} 게이트는 입력 n=4이고, threshold=3, weighted threshold=2 이다. 즉, 입력 4개 중에 최소 3개의 신호가 변해야 출력이 바뀌며, 그 중 신호 A는 두 개의 신호 역할을 한다는 것을 나타낸다. 게이트에 출력을 나타내려면 입력 B, C, D가 가해지거나, 입력 A와 다른 한 신호가 가해지게 되어야 한다. 그 외에는 이전의 상태를 유지하는 히스테리시스 상태 유지 특성이 나타난

Table 1 Dual-rail encoding

	DATA0	DATA1	NULL	Illegal
Rail ⁰	1	0	0	1
Rail ¹	0	1	0	1

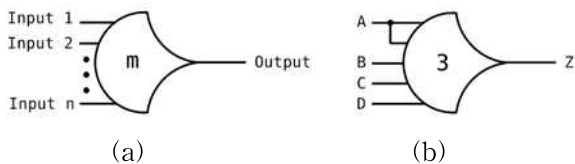


Fig. 2 (a) TH_{mn} threshold gate, (b) TH_{34w2} threshold gate

다. NCL은 27개의 NCL 게이트들에 대한 부울 함수로 구성이 된다[2].

NCL 시스템의 전체적인 파이프라인 구조는 그림 10에서 보여주는 바와 같이 입출력 NCL 레지스터, NCL 회로, NCL completion 회로를 구성되어 있다. NCL 레지스터의 역할은 DATA 또는 NULL 신호를 completion 회로에서 입력되는 request 신호에 의해서 DATA 또는 NULL 신호를 NCL 회로로 전달하는 것이며, NCL completion은 뒤 단의 NCL 레지스터에서 DATA 또는 NULL의 request가 있는지를 체크해서 앞 단으로 전달하는 역할을 한다. NCL 시스템의 전체적인 사이클을 Fig. 3에서와 같이 총 4가지 DATA-to-DATA 사이클을 나타낼 수 있다[2].

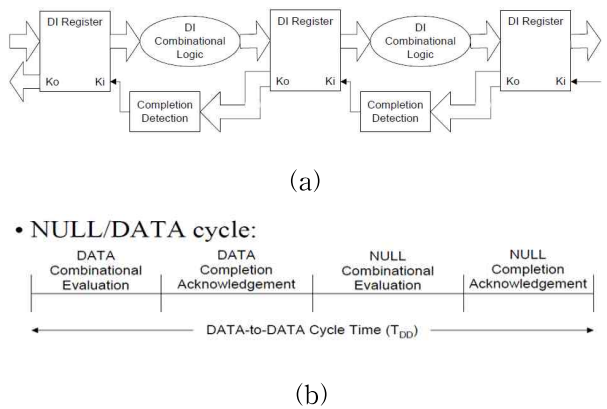


Fig. 3 (a) NCL pipeline structure, (b) DATA/NULL cycle

2.3 기존 NCL 게이트

비동기 설계 방식 중 DI 방식의 NCL를 사용한 시스템을 위한 기본적인 셀들은 delay-insensitivity를 유지하면서 히스테리시스(Hysteresis)를 가지는 문턱 게이트들로 구성하기 위해서 기존의 동기식 조합 회로와는 다른 회로 구조를 가진다. 즉, TH_{mn} 게이트에서 n개의 입력들에서 최소 m개의 문턱수가 바뀌지 않으면 기존의 값을 유지하는 기능을 가지고 있어야 한다. 기존의 NCL 게이트 구조를 사용한 TH₂₃ 게이트를 Fig. 4에 나타내었다. 그림에서처럼 히스테리시스를 위해서 피드백(feed-back) 신호가 있음을 알 수 있다. 기존의 NCL 게이트는 안정적인 동작과 빠른

스피드를 가지지만, 회로가 복잡하고 사용되는 트랜지스터들의 사이즈가 크고, 이로 인해 소모되는 전력이 크다는 단점이 있다[2]. 이런 문제를 해결하기 위해서 본 논문을 통해서 새로운 구조의 NCL 셀을 제안하고자 한다.

3. 새로운 의사 NMOS 구조의 NCL 구조

앞서 설명한 바와 같이 기존의 NCL 셀 방식은 증가하는 지연, 증가하는 전력, 레이아웃(Layout)시 큰 면적, 어려운 설계 등의 공통적인 단점을 가지고 있다. 본 논문에서 제안한 의사-NMOS(Pseudo-nMOS) 논리 게이트 형식은 기존의 NCL 셀 방식은 증가하는 지연, 증가하는 전력, 레이아웃(Layout)시 큰 면적, 어려운 설계 등의 공통적인 단점을 일반적인 의사-nMOS 논리 게이트처럼 enable 신호를 사용하여 enable 신호가 Low 또는 '0' 일 때에만 회로가 동작을 하고, High 또는 '1'일 때에는 데이터(Data)를 입력을 받더라도 동작을 하지 않는 구조이다.

Fig. 5는 의사-nMOS구조로 변형한 NCL 구조의 TH23 게이트를 트랜지스터 레벨로 구현한 회로이다. 그림과 같이 기존의 NCL구조와는 다르게 N/PMOS의 개수가 상당히 적은 구조로 구성되어 있다. 기존의 NCL구조에서는 PMOS의 스택(Stack)수가 직렬로 최대 5개까지 연결되면서 회로의 지연과 면적이 증가하여 저전압에서 NCL 설계에 어려움이 있다. 하지만, 제안한 회

로의 방법으로 설계를 한다면 PMOS의 수를 최소화함으로써 레이아웃 면적과 지연 속도를 동시에 줄일 수 있는 효과를 가지고 올 수 있다.

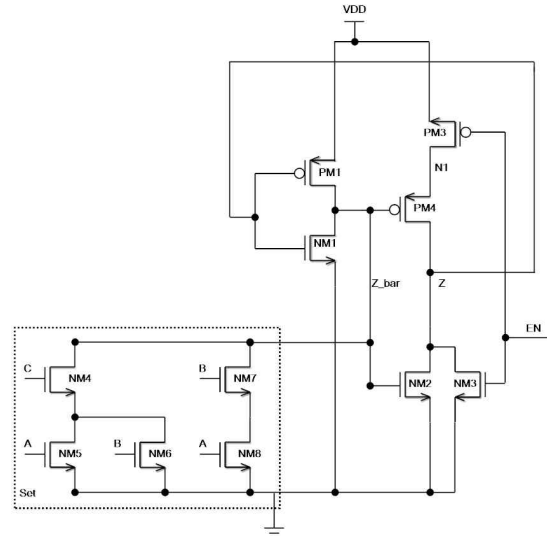


Fig. 5 Proposed TH23 Gate Structure

제안된 NCL 게이트 구조로 설계된 TH23 게이트는 Fig. 4에서와 같이 기존 구조에서 직렬로 연결된 PMOS의 reset 네트워크가 완전히 제거해서 셀의 면적을 줄일 수 있게 되었다. 출력단은 피드백 인버터와 NOR 게이트로 구성된다. NCL게이트 출력 단에 NOR게이트를 사용해서 set 네트워크와 EN(Enable)신호로 인해서 상태 값이 변경되었을 때 하나의 노드가 아니라 두 개의 노드, 즉, Z_bar 노드와 Z노드의 상태 값으로 인해 출력이 조금 더 빠른 속도로 상태가 천이된다. Fig. 5의 동작 원리를 보면 EN 신호에 논리 값 '1'을 입력 받게 되면 의사-NMOS 논리 게이트와 같이 동작이 멈추게 된다. EN 신호가 논리 값 '0'을 입력 받으면 PM3 셀이 온(on) 상태가 되어 모든 셀들이 동작하게 된다. Set 네트워크 영역은 구체적인 동작은 다음과 같다.

- ① EN 신호가 '1'이며, NULL 입력이 들어오는 경우 : 입력은 모두 Low 상태이며, EN 신호는 High 상태로 의해서 출력은 Low 상태 값을 가지게 된다.
- ② EN 신호가 '0'이며, 함수를 만족하는 Data

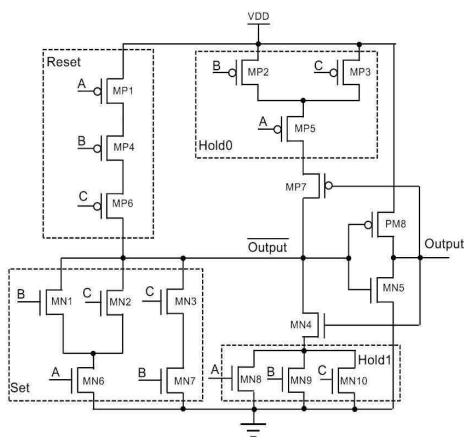


Fig. 4 Conventional NCL TH23 Gate Structure

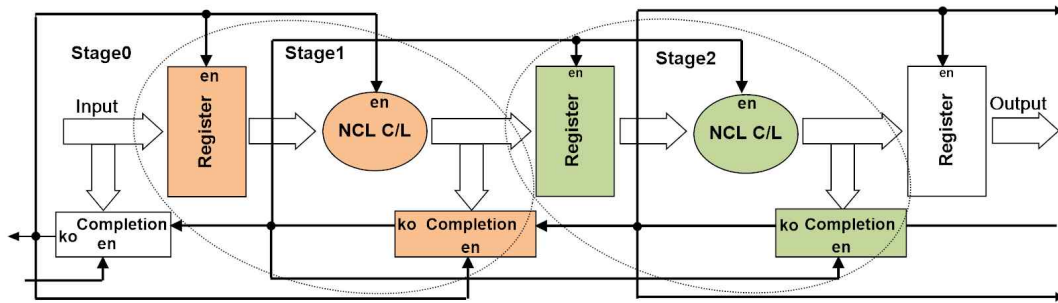


Fig. 6 Pseudo-NCL Pipeline Structure

입력이 들어오는 경우 : TH23의 경우 $AB+BC+AC$ 를 만족하는 입력이 들어오는 경우이며, Set 네트워크와 EN신호의 상호작용으로 인하여 출력이 High 상태 값을 가지게 된다.

- ③ EN 신호가 '0'이며, 함수를 만족하지 않는 Data 입력이 들어오는 경우 : TH23의 $AB+BC+AC$ 를 만족하지 않는 입력이 들어오는 상태이며 EN신호가 Low상태 인 경우에는 피드백 인버터와 NOR 게이트에 의해서 출력 값은 이전 상태를 유지하게 된다.

제안된 의사-NCL 셀은 EN 신호의 변화에 따라 결과 값을 출력하기 때문에 동작을 위해서는 EN 신호가 반드시 "0" 이어야 한다. 기존의 의사-nMOS 논리 게이트처럼, PMOS가 ON 상태에서는 빠른 스위칭은 이루어진다. 의사-NMOS 형태의 최대 장점인 빠른 스위칭의 장점으로 인해서 기존 NCL의 구조에 비해서 지연을 상당히 감소시킨 결과를 볼 수 있다. 하지만, PMOS와 NMOS가 동시에 ON이 되는 경우 매우 큰 정적 전류가 흐르기 때문에 기존 NCL에 비해 전력 소모가 많다는 단점이 있으므로, EN 신호를 제어해서 최대한 정적 전류를 줄이는 것이 필요하다. Fig. 6은 일반적인 NCL회로와 달리 EN신호가 있는 파이프라인(Pipeline) 블록도이다. 의사-NCL의 데이터 흐름은 앞서 설명한 기존의 NCL의 흐름과는 달리 Fig. 6에 보이듯이 Stage0의 Completion에 데이터 입력이 들어오면 데이터 완료 (Data Completion)인 Ko 신호가 발생한다.

이 신호가 Stage1의 레지스터(Register)와 NCL C/L (Combination Logic)과 Completion에 EN신호 '0'을 보내게 된다. 따라서 Stage1의 레지스터(Register), NCL C/L, Completion이 모두 On되며 Data가 지나가며 Stage1의 Completion Ko 신호로 인하여 다음 단 Stage2가 On되며 Data를 보내게 된다. Stage0에서 Data를 보낸 후 그 앞단에서 Null 신호를 받게 되면 Data의 입력을 받았을 때와는 반대로 EN신호 '1'을 받게 된다. '1'을 신호를 받게 되면 Stage1의 Register, NCL C/L, Completion은 Off가 되어 그 다음 Stage2에 Null 값을 보내게 된다. 즉, 의사-NCL 셀에서의 많은 전력소모의 단점을 보완하면서도, 성능도 기존의 NCL 보다 향상되도록 파이프라인이 작동하게 된다.

Fig. 7은 Completion 회로의 내부 모습이다. Completion회로는 앞서 설명한 바와 같이 기존의 NCL과는 달리 모든 셀들이 의사-nMOS 구조이기 때문에 EN 신호가 '1'이 입력으로 들어오는 경우는 Null 사이클(cycle)이며 모든 게이트들이 0을 출력 한다. 하지만, Fig. 8의 점선 밖에 있는 TH22는 기존의 NCL구조를 사용한다. 마지막 TH22 앞단에는 인버터를 하나 추가하여 반대 신호가 나오는 구조이다.

4. 실험결과

본 논문에서 제안된 유사-NCL 구조는 SK-Hynix 0.18 μ m 기술을 사용하여 4bit \times 4bit 곱셈기

에 적용하여 설계하고 구현되었다. 측정에 사용된 전압은 1.8V이고, 모든 경우의 데이터 입력을 주어 전력과 지연을 측정하여 기존 NCL 구조와 비교하였다. Table 2는 기존의 NCL 게이트와 비교하기 위하여 측정한 결과이다. 측정 결과에서 알 수 있듯이 제안된 NCL 구조가 기존의 NCL 구조들보다 지연에서는 85% 감소를 보였고, 전력에서는 EN신호가 on일 때는 의사-NCL의 전력이 96% 증가하였지만, En신호가 off일 때는 99% 감소한 결과가 나왔다. Fig. 8은 SK-Hynix 0.18 μ m 공정으로 구현된 실제 의사-NCL과 기존의 NCL 구조의 칩 사진을 나타내며, 전체 레이아웃 면적이 17% 줄어든 결과를 볼 수 있다.

함을 보여주었다. 따라서 고신뢰도와 더불어 고성능을 요구하는 시스템[4,5]에서 기존의 동기방식으로 설계된 디지털 회로를 비동기 회로로 대체할 수 있을 것으로 기대된다.

Table 2 Experimental results

NCL topology	Power(W)	Delay(sec)
Static	1.39E-04	7.13E-10
Semi-Static	1.76E-04	2.93E-09
Pseudo-NCL (EN=on)	4.37E-03	4.39E-10 85% Reduction
Pseudo-NCL (EN=off)	1.55E-06	

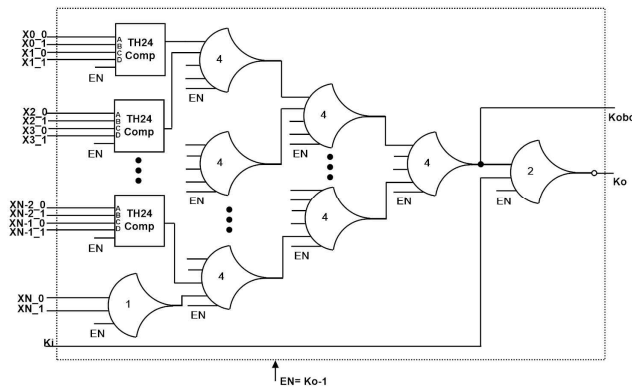
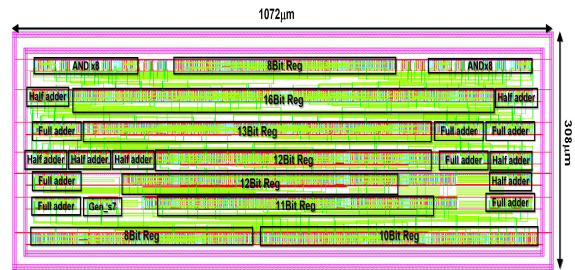


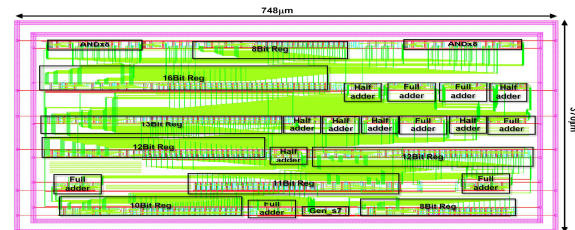
Fig. 7 Early completion block with a EN signal

5. 결론

기존의 대표적인 지연 무관 방식의 NCL 비동기 회로 설계는 고신뢰성, 저전력 그리고 반도체 기술에 의존하지 않는 회로의 재사용 용이성 등 많은 장점을 가지고 있다. 하지만 기존 NCL 구조들이 가지고 있는 복잡한 구조에 따른 지연 증가를 극복하기 위해서 트랜지스터 레벨에서 설계된 새로운 고속 NCL 게이트와 비동기 파이프라인 구조를 제안하였다. 제안된 방법은 SK-Hynix 0.18 μ m 공정에서 설계된 4x4 곱셈기에 적용되었고, 모든 경우의 데이터 입력을 사용해서 측정한 설계된 곱셈기의 전력과 지연 결과들을 기존 NCL 방법과 비교하였다. 실험 결과는 제안된 NCL 구조가 기존의 NCL 구조보다 지연에서 85% 감소



(a) Conventional NCL multiplier



(b) Pseudo-NCL multiplier

Fig. 8 Multiplier die photo

References

[1] Kim, K. K., "Asynchronous Circuit Design Combined with Power Switch Structure", Journal of the Korea Industrial Information Systems, Vol 21, No. 1, pp. 17-25, Feb. 2016.
 [2] Smith, S. C., Di, J., "Designing Asynchronous Circuits using NULL Convention

Logic (NCL)," Morgan & Claypool Publishers, 2009.

- [3] Weste, N. H. E., Harris D., "CMOS VLSI Design-A Circuits and Systems Perspective", Addison Wesley, 2010.
- [4] Kim, Min-Cheol, Lee, Dong-Cheol Lee, "Influence and Extending Effect on Health-care Service by Information Communication Technology," The Journal of Internet Electronic Commerce Research, Vol 5, No. 2, pp. 29-46, August, 2011.
- [5] Park, S. S., Lee, S. J., Hahm, Y. K., "Study on Relationship of Patients' Information Need, E-Health System use and Outcomes: CHIS System in Patients with Breast Cancer Center," The Journal of Information Systems, Vol 22, No. 2, pp. 105-129, June, 2013.



김 경 기 (Kyung Ki Kim)

- 정회원
- 1995년 8월 영남대 전자공학과 공학사
- 1997년 8월 영남대 전자공학과 공학석사
- 2008년 1월 (미) Northeastern University 전기 전자공학과 공학박사
- 2008년 2월 ~ 2009년 1월 (미) SUN Microsystems 연구원 (Technical Staff)
- 2009년 1월 ~ 2010년 2월 (미) Illinois Institute of Technology 연구원
- 2010년 3월 ~ 현재 대구대학교 정보통신대학 전자전기공학부 조교수
- 관심분야 : SoC 설계, Microprocessor, High performance and low power design methodology, Nanotechnology, Neuromorphic Architecture.