

논문 2017-54-1-6

# 조합논리시스템의 효율적인 다중출력스위칭함수 구성

## ( A Constructing the Efficiency Multiple Output Switching Function of the Combinational Logic Systems )

박 춘 명\*

( Chun-Myoung Park<sup>Ⓢ</sup> )

### 요 약

본 논문에서는 조합논리시스템의 효율적인 다중출력스위칭함수 구성의 한 가지 방법을 제안하였다. 제안한 방법의 시간영역기반의 멀티플렉싱을 기반으로 공통다중중단노드확장논리결정도를 도출하여 최종 조합논리시스템의 다중출력스위칭함수를 구하므로 기존의 시간영역기반의 멀티플렉싱에 비해 최적화된 입력변수의 쌍과 출력변수 쌍을 상당히 줄일 수 있으며, 또한 코스트 면에서도 유리하다. 또한, 입출력단자 수의 감소, 회로구성의 간략화, 연산속도의 향상 등의 이점이 있으며 기존의 방법에 비해 좀 더 정규성과 확장성이 용이하다.

### Abstract

This paper presents a method of constructing the efficiency multiple output switching function of the combinational logic systems. The proposed method reduce the optimized input variable pair and output variable pair after we obtained the final multiple output switching function which was time based multiplexing and obtained the common multiple end node extension logic decision diagram. Also the proposed method have an advantage of the cost, input-output node number, circuit simplification, increment of the arithmetic speed, and more regularity and extensibility compare with previous method.

**Keywords** : Switching function, multiple input and output, multiplexing, circuit realization etc

## I. 서 론

최근에 각종 디지털논리시스템을 해석 및 종합하는 기법으로서 그래프 이론<sup>[1~2]</sup>에 기반을 둔 결정도를 이용한 방법을 사용하고 있으며, 이 방법은 기존의 다른 방법에 비해 매우 효과적이다. 한편, VLSI 관련 분야<sup>[3~5]</sup>에 있어서, 가장 중요한 문제점 중에 하나는 핀에 관련된 것이며 비록 좀 더 많은 게이트를 집적한다 할지라도 핀의 수를 줄이는 것은 쉽지 않다. 따라서, 이러한 핀에 대한 문제를 극복하기 위해 시간영역기반의 멀티플렉싱 시스템을 채택하여 단일의 신호선에 여러개의

신호를 표현<sup>[6~8]</sup>할 수 있다. 본 논문에서는 시간영역기반의 멀티플렉싱과 공통다중중단노드결정도를 사용하여 조합논리디지털시스템의 효율적인 다중출력회로 설계 방법을 제안하였다. 본 논문의 구성은 다음과 같다. II장에서는 기존의 시간영역기반의 멀티플렉싱에 의한 스위칭함수 구성에 관한 내용을 소개하였으며, III장에서는 본 논문에서 제안한 시간영역기반의 멀티플렉싱에 의한 스위칭함수 구성에 관한 내용을 설하였다. IV장에서는 공통다중중단노드확장논리결정도에 대해 논하였으며 V장에서는 공통다중중단노드확장논리결정도의 간략화에 대해 논하였다. VI장에서는 기존의 방법과 제안한 방법을 비교 및 분석하였고 마지막 VII장이 결론에서는 본 논문에서 제안한 시간영역기반의 멀티플렉싱과 공통다중중단노드결정도를 사용하여 조합논리디지털시스템의 특징을 요약하였고 향후 연구과제에 대해 서술하였다.

\* 평생회원, 한국교통대학교 컴퓨터공학과  
(Department of Computer Engineering, Korea National University of Transportation)

© Corresponding Author(E-mail : cmpark@ut.ac.kr)

Received ; August 30, 2016 Revised ; November 16, 2016

Accepted ; December 18, 2016

### II. 기존의 시간영역기반의 멀티플렉싱에 의한 스위칭함수

일반적으로 시간영역기반의 멀티플렉싱이 실현시에 입력과 출력 핀의 수를 줄이기 위해 클럭펄스를 사용한다. 그러한 반면, 비시간영역기반의 멀티플렉싱은 기존의 클럭펄스가 없는 조합논리시스템을 의미한다.

예를 들어 다음 표 2-1의 2진 4입력 4출력의 함수를 갖는 조합논리시스템의 진리치표를 생각해 보자.

표 2-1. 2진 4입력 4출력 함수의 진리치표  
Table 2-1. Truth table of the 4 input and 4 output function.

Input				Output			
X <sub>1</sub>	X <sub>2</sub>	X <sub>3</sub>	X <sub>4</sub>	f <sub>0</sub>	f <sub>1</sub>	f <sub>2</sub>	f <sub>3</sub>
0	0	0	0	0	1	1	0
0	0	0	1	1	0	1	1
0	0	1	0	0	1	0	1
0	0	1	1	1	1	1	1
0	1	0	0	1	0	0	1
0	1	0	1	1	0	1	1
0	1	1	0	1	1	0	0
0	1	1	1	1	1	1	0
1	0	0	0	0	0	0	1
1	0	0	1	1	0	1	1
1	0	1	0	1	1	0	1
1	0	1	1	0	1	1	1
1	1	0	0	1	0	0	1
1	1	0	1	0	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	1	0	0

위 표 2-1을 기존의 시간영역기반의 멀티플렉싱을 사용하여 회로실현을 하면 다음 그림 2-1과 같다.

VLSI에 있어서, 논리함수의 쌍은 클럭펄스에 의해 다중화된다.

따라서, 주 VLSI의 출력신호는 다음 식(2-1), (2-2)와 같다.

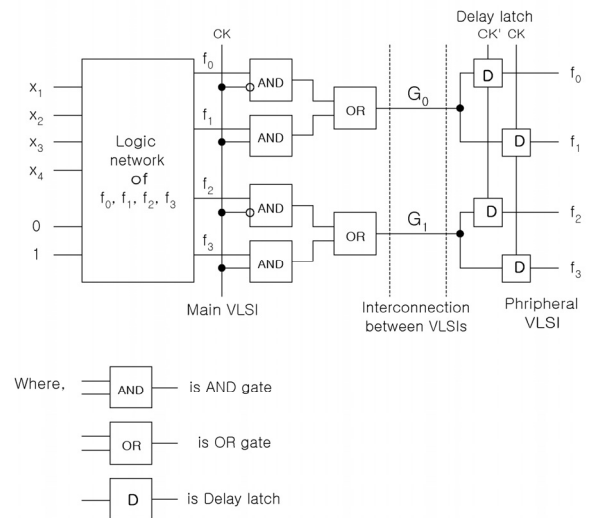
$$G_0 = CK \cdot f_0 \vee CK' \cdot f_1 \tag{2-1}$$

$$G_1 = CK' \cdot f_2 \vee CK \cdot f_3 \tag{2-2}$$

위 식의 의미는 CK=0인 경우에 G<sub>0</sub>와 G<sub>1</sub>은 각각 f<sub>0</sub>와 f<sub>2</sub>를 나타내며, CK=1인 경우에 G<sub>0</sub>와 G<sub>1</sub>은 각각 f<sub>1</sub>와 f<sub>3</sub>를 나타내며 이의 실현을 위해서는 다중화시의 회로에서처럼 f<sub>0</sub>, f<sub>1</sub>, f<sub>2</sub>, f<sub>3</sub>를 위한 회로가 필요하다. 이러한 방법으로 출력핀의 수를 절반으로 줄일 수 있다.

### III. 제안한 시간영역기반의 멀티플렉싱에 의한 스위칭함수

제안한 시간영역기반의 멀티플렉싱에 의한 조합디지털논리시스템의 회로실현은 다음 그림 3-1과 같다. 또한, 시간영역기반의 멀티플렉싱을 사용하여 2진출력함수의 쌍을 표현하여 좀 더 효과적으로 처리할 수 있다. 2진 다중출력함수를 갖는 조합디지털논리시스템의 예를 들어 그 과정을 설명하면 다음과 같다.



Where,  $G_0 = CK \cdot f_0 \vee CK' \cdot f_1$   
 $G_1 = CK' \cdot f_2 \vee CK \cdot f_3$

그림 3-1. 기존의 시간영역기반의 멀티플렉싱을 사용하여 회로실현

Fig. 3-1. Circuit realization using previous time based multiplexing.

STEP 1: 입력변수를 쌍으로 분할한다.

예를 들면, 표 3-1의 입력 변수 {x<sub>1</sub>, x<sub>2</sub>, x<sub>3</sub>, x<sub>4</sub>}는 X<sub>1</sub>=(x<sub>1</sub>, x<sub>2</sub>)와 X<sub>2</sub>=(x<sub>3</sub>, x<sub>4</sub>)의 쌍으로 분할 할 수 있다.

STEP 2: 출력함수를 쌍으로 분할한다.

예를 들면, 표 3-1의 출력함수 {f<sub>0</sub>, f<sub>1</sub>, f<sub>2</sub>, f<sub>3</sub>}은 G<sub>0</sub>=(f<sub>0</sub>, f<sub>1</sub>)과 G<sub>1</sub>=(f<sub>2</sub>, f<sub>3</sub>)의 쌍으로 분할 할 수 있다.

STEP 3: 예를 들어 다음 표 1의 논리함수 :  $\Psi^2 \rightarrow \Psi$ 로 사상(mapping)할 수 있다. 여기서  $\Psi = \{0, 1, 2, 3\}$ 이다.

표 3-1에서의 출력함수 Y<sub>1</sub>과 Y<sub>2</sub>는 각각 G<sub>0</sub>와 G<sub>1</sub>에 해당된다.

일반적으로, 확장한 진법에서의 n-입력 m-출력 함수에 대해,  $\Psi^n \rightarrow \Psi^m$ 은 공통다중터미널확장결정다이어그램에 의해 표현된다.

표 3-1. 4진 2입력 2출력 함수  
Table 3-1. 4-valued 2 input and 3 output.

Input		Output	
$X_1$	$X_2$	$Y_1$	$Y_2$
0	0	1	2
0	1	2	3
0	2	1	1
0	3	3	3
1	0	2	1
1	1	1	2
1	2	2	3
1	3	3	0
2	0	0	1
2	1	2	3
2	2	3	1
2	3	1	3
3	0	2	1
3	1	1	2
3	2	3	3
3	3	1	0

여기서, 중단노드에서의 신호는 다음과 같이 비트 ( $c_0, c_1$ )의 쌍에 의해 표현된다.

CK=0 일 때 해당 신호는  $c_0$ 를 나타낸다.

CK=1 일 때 해당 신호는  $c_1$ 을 나타낸다.

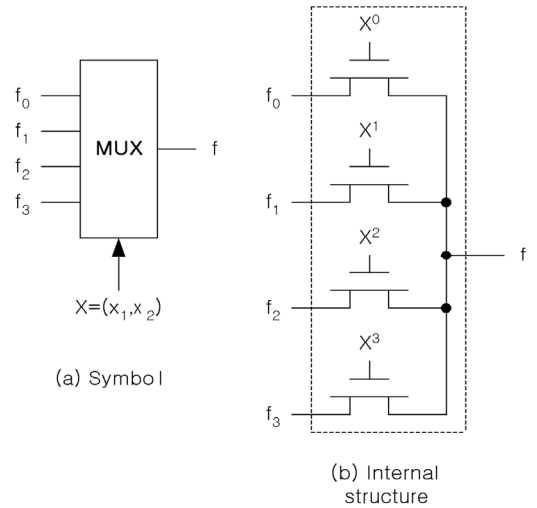


그림 3-2. 2-MUX  
Fig. 3-2. 2-MUX.

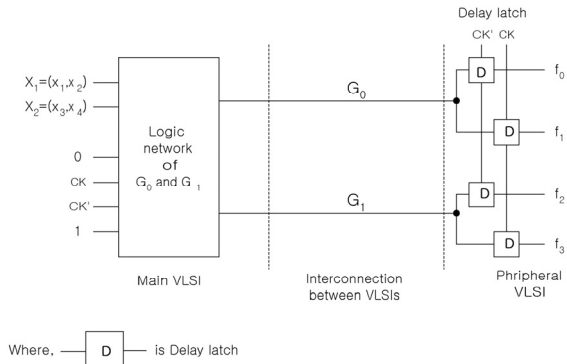


그림 3-2. 제안한 시간영역기반의 멀티플렉싱에 의한 조합디지털논리시스템의 회로 설계

Fig. 3-2. Circuit design of the combinational logic systems using the proposed time domain based multiplexing.

다음에 공통다중터미널확장결정다이아그램의 비중단 노드는 그림 2-3에서처럼 2-MUX로 실현된다. 여기서 2-MUX는 4-way 멀티플렉서이다.

한편, 그림 3은 2진변수 ( $x_1, x_2$ )의 쌍을 입력으로 갖는 리터럴 생성기(literal generator)와 2-MUX를 제어하는 출력  $X^0, X^1, X^2, X^3$ 를 보여주며 다음 식(3-1)과 같이 표현할 수 있다.

$$X^i = \begin{cases} 0 & \text{if } X \neq i \\ 1 & \text{if } X = i \end{cases} \quad (3-1)$$

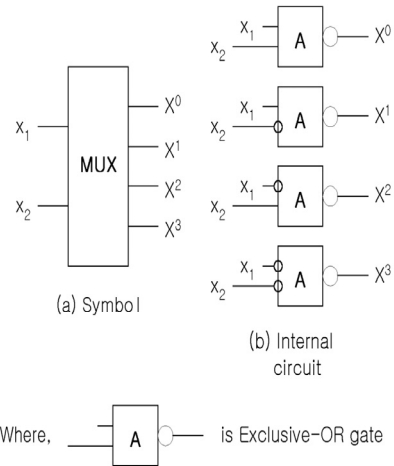


그림 3-3. 리터럴 생성기  
Fig. 3-3. literal generator.

따라서,

$(c_0, c_1)=(0, 0)$ 는 정수 0에 해당된다.

$(c_0, c_1)=(0, 1)$ 는 CK에 해당된다.

$(c_0, c_1)=(1, 0)$ 는 CK'에 해당된다.

$(c_0, c_1)=(1, 1)$ 는 정수 1에 해당된다.

다음 그림 3-4는 표3-1의 함수를 제안한 공통다중터미널확장결정다이아그램에 의해 실현한 회로를 보여준다.

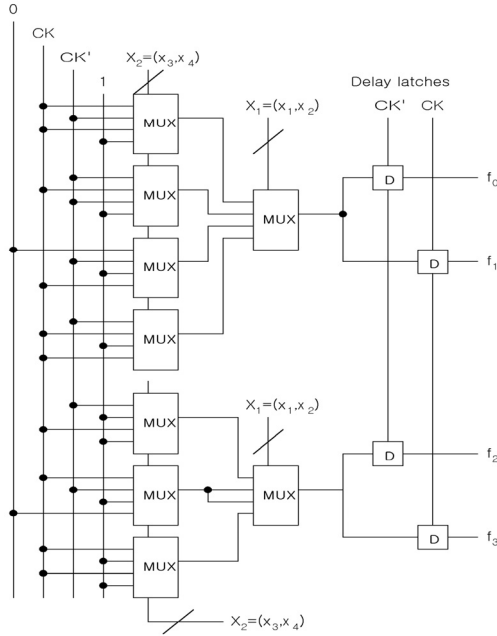


그림 3-4. 제안한 공통다중터미널확장결정다이아그램  
Fig. 3-4. Circuit realization using proposed common multiple terminal extension decision diagram.

한편, 입력에 있어서 2진변수  $X=(x_1, x_2)$ 의 쌍은 4진 신호 {00, 01, 10, 11} 또는 {0, 1, 2, 3}을 나타낸다. 그러한 반면, 0, CK, CK', 1은 각각 (0, 0), (0, 1), (1, 0), (1, 1)을 나타내며, {0, CK, CK', 1}은 4개의 원소를 갖는 부울대수를 구성한다. 만일, {0, CK, CK', 1}을 {0, 1, 2, 3}으로 대치하면, 표 3-1에 있는 4진함수를 갖게 되며, 임의의 4진함수는 공통다중터미널확장결정다이아그램에 의해 표현된다.

표 3-1을 공통다중터미널확장결정다이아그램으로 도시하면 다음 그림 3-5와 같다.

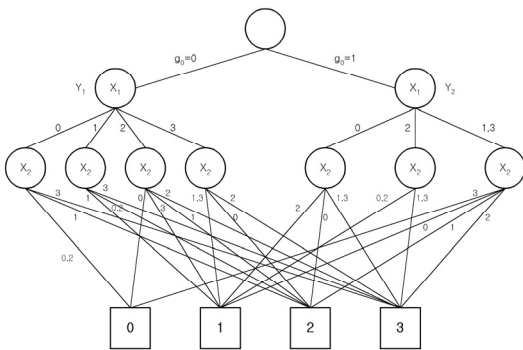


그림 3-5. 표 1의 공통다중터미널확장결정다이아그램  
Fig. 3-5. Common multiple terminal extension decision diagram.

디지털논리시스템에 대한 전체적인 하드웨어는 결정 다이아그램의 비중단노드의 수에 의해 추정된다.

공통다중터미널확장결정다이아그램의 노드 수는 다음과 같이 좀 더 줄일 수 있다.

- 입력변수의 가장 좋은 쌍의 선택에 의해 4치 변수를 만들 수 있다.
- 출력함수의 가장 좋은 쌍의 선택에 의해 4치 함수를 만들 수 있다.

#### IV. 공통다중중단노드확장논리결정도

공통다중중단확장논리결정다이아그램은 확장논리다중출력논리함수의 표현이다. 공통다중터미널확장결정다이아그램은 출력선택을 위한 트리에 의해 결합된 다중중단노드를 갖는 확장논리결정다이아그램의 집합이다.

공통다중터미널확장결정다이아그램에 있어서의 모서리결정다이아그램의 수는 출력함수의 그룹의 수와 동일하다. 공통다중터미널확장결정다이아그램의 장점은 동시에 여러개의 출력함수를 실현할 수 있다는 것이며, 좋은 출력함수와 입력변수의 그룹핑은 좀 더 간략화 공통다중터미널확장결정다이아그램을 도출할 수 있다.

#### V. 공통다중터미널확장결정다이아그램의 간략화

공통다중터미널확장결정다이아그램에서의 노드의 수를 줄이는 것은 좀 더 간략화된 디지털논리시스템을 설계하는 데 매우 중요하다. 본 논문에서 제안한 간략화 방법은 출력함수의 쌍과 입력변수의 쌍의 2가지 경우를 고려하여 수행한다. 공통다중터미널확장결정다이아그램은 출력함수의 쌍에 의해 공통확장결정다이아그램으로부터 도출되며, 공통다중터미널확장결정다이아그램은 입력변수의 쌍에 의해 공통다중터미널확장결정다이아그램으로부터 도출된다.

여기서, 입력변수의 각 쌍에 대한 모서리결정다이아그램의 노드는 다음 그림 5-1에서와 같이 공통다중터미널확장결정다이아그램으로 귀착된다.

그림 5-1에서 (a), (b), (c)의 부그래프는 각각 1개, 2개, 3개의 확장결정다이아그램에 해당된다. 또한, 그림 5-1-(a)에서, 3개의 공통다중터미널확장결정다이아그램 노드는 1개의 확장결정다이아그램 노드에 의해 대치되며, 그림 5-1-(b)에서, 공통다중터미널확장결정다이아그램 노드들은 2개의 확장결정다이아그램 노드에 상응된다. 또한, 그림 5-1-(c)에서, 공통다중터미널확장결정다이아

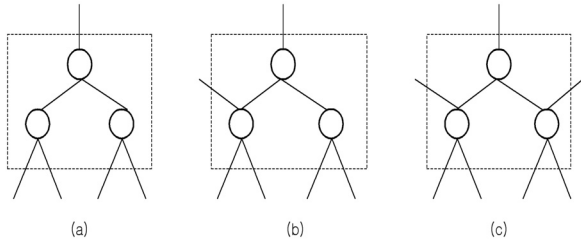


그림 5-1. 확장결정다이아그램을 공통다중터미널확장결정다이아그램으로 변환하는 과정  
Fig. 5-1. The process convert extension diagram to Common multiple terminal extension decision diagram.

그림 노드는 3개의 확장결정다이아그램 노드에 의해 대체된다.

단, 공통다중터미널확장결정다이아그램과 공통이진결정다이아그램 사이의 노드 수를 비교하기 하기 위해, 같은 변수순서로 2개의 결정도를 최적화 하였다.

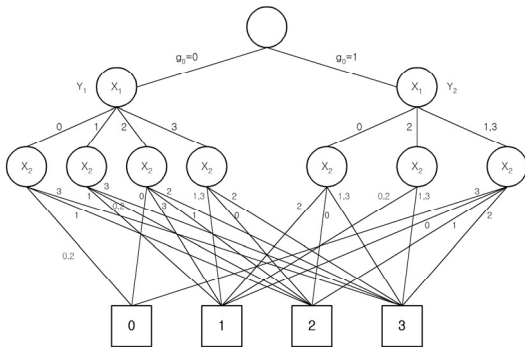


그림 5-2. 표 3-1의 함수에 대한 공통다중터미널확장결정다이아그램  
Fig. 5-2. Common multiple terminal extension decision diagram of the table 3-1.

## VI. 결 론

본 논문에서는 조합논리시스템의 효율적인 다중출력스위칭함수 구성의 한가지 방법을 제안하였다. 제안한 방법의 시간영역기반의 멀티플렉싱을 기반으로 공통다중종단노드확장논리결정도를 도출하여 최종 조합논리시스템의 다중출력스위칭함수를 구하므로 기존의 시간영역기반의 멀티플렉싱에 비해 최적화된 입력변수의 쌍과 출력변수 쌍을 상당히 줄일 수 있으며, 또한 코스트 면에서도 유리하다. 또한, 입출력단자 수의 감소, 회로구성의 간략화, 연산속도의 향상 등의 이점이 있으며 기존의 방법에 비해 좀 더 정규성과 확장성이 용이하다.

## REFERENCES

- [1] D. B.West, Introduction to Graph Theory, Prentice-Hall, 2003.
- [2] R. J.Wilson and J.J.Watkins, GRAPH an Introductory Approach, John Wiley & Sons, Inc. 2006.
- [3] Andrey Mokhov, "Algebra of switching networks," IET Computers & Digital Techniques, Vol. 9, Issue : 4, pp. 197-205, 2015.
- [4] Y.L. Wu, C.N. Sze, C.C. Cheung, and H. Fan, "On improved graph-based alternative wiring scheme for multi-level logic optimization," Electronics, Circuits and Systems, The 7th IEEE International Conference on ICECS 2000, Vol. 2, pp. 654-657, 2000.
- [5] R.K.Brayton, G.D.Hachtel, C.T.McMullen and A.L.Sangionanni-Vincentelli, Logic Minimization Algorithms for VLSI Synthesis, Kluwer Academic Publishers, 1984.
- [6] L.C. Liao, C.T. Pan, and T.L. Jong, "Switching Flow-Graph Modeling Technique for Three-Phase Inverters," IEEE Transactions on Industrial Electronics, Vol. 55, Issue : 4, pp. 1603-1613, 2008.
- [7] S. Biswas, E.M. Petriu, and S.R. Das, "Space Compactor Design in VLSI Circuits Based on Graph Theoretic Concepts," IEEE Instrumentation and Measurement Technology Conference Proceedings, Vol. 1, pp. 178-183, 2005.
- [8] E. Hryniewicz, and D. Polok, "Seeking for decomposition of a Boolean function in the reed-müller spectral domain by Means of permutation between function variables," Mixed Design of Integrated Circuits & Systems (MIXDES), Proceedings of the 21st International Conference, pp. 262-266, 2014.

저 자 소 개

박 춘 명(평생회원)

전자공학회 논문지 제53권 제12호 참조

<주관심분야: 차세대 디지털논리시스템 및 컴퓨터 구조, 차세대 회로 및 시스템, 임베디드컴퓨터시스템, IoT 스마트센서, e-Learning 시스템 등>