

광대역 시스템을 위한 저전력 시그마-델타 변조기

Design of the Low-Power Continuous-Time Sigma-Delta Modulator for Wideband Applications

김근모*, 박창준**, 이상훈***, 김상길****, 김주성*****★

Kunmo Kim*, Chang-Joon Park**, Sanghun Lee***, Sangkil Kim****, Jusung Kim*****★

Abstract

In this paper, we present the design of a 20MHz bandwidth 3rd-order continuous-time low-pass sigma-delta modulator with low-noise and low-power consumption. The bandwidth of the system is sufficient to accommodate LTE and other wireless network standards. The 3rd-order low-pass filter with feed-forward architecture achieves the low-power consumption as well as the low complexity. The system uses 3bit flash quantizer to provide fast data conversion. The current-steering DAC achieves low-power and improved sensitivity without additional circuitries. Cross-coupled transistors are adopted to reduce the current glitches. The proposed system achieves a peak SNDR of 65.9dB with 20MHz bandwidth and power consumption of 32.65mW. The in-band IM3 is simulated to be 69dBc with 600mV_{p-p} two tone input tones. The circuit is designed in a 0.18-um CMOS technology and is driven by 500MHz sampling rate signal.

요 약

본 논문에서는 20MHz 대역폭, 저잡음, 저전력의 3차 저역 통과 시그마-델타 모듈레이터를 개발한다. 본 시스템의 대역폭은 LTE 및 그 외 다른 광대역 무선통신 표준을 만족할 수 있다. Feed-forward 구조의 3차 저역 통과 필터를 통해 저전력 및 저복잡도를 실현한다. 개발된 시스템은 빠른 데이터 변환을 실현하기 위해 3bit-flash 타입의 양자화 회로를 사용하였다. Current-steering DAC의 경우 추가적인 회로 없이 높은 정확도와 낮은 전력 소모의 이유로 고안되었다. DAC의 입력 전압이 변할 경우 생기는 glitch들을 없애기 위해 cross-coupled 트랜지스터를 사용하여 glitch 상쇄(cancellation)를 실현하였다. 개발된 시스템은 32.65mW의 저전력 구현과 함께 65.9dB의 peak SNDR, 20MHz의 대역폭을 실현한다. 600mV_{p-p}의 입력 two-tone 신호 입력 인가후의 IM3는 69dBc를 실현하였으며 TSMC의 0.18-um CMOS 공정을 이용하여 설계되었다.

Key words : Sigma-Delta Modulator, ADC, Wideband, Feed-forward, DAC

* Apple Incorporated

**Intersil Corporation

*** Wavepia Incorporated

**** Qualcomm Incorporated

***** Dept. of Electronics & Control Engineering, Hanbat National University

★ Corresponding author

E-mail: jusungkim@hanbat.ac.kr, Tel: +82-42-821-1133

※ Acknowledgment

This research was supported by the research fund of Hanbat National University in 2017.

Manuscript received Dec. 5, 2017; revised Dec. 8, 2017 ; accepted Dec. 22, 2017

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License

(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

소모량이 매우 크게 상승된다.[4][5] 또한 루프의 지연시간으로 인해 시스템 안정도를 실현하기가 용이하지 않다. 시스템 분석을 통한 결과에 따르면 3차 필터 구조는 10bit ENOB를 실현하기 위해 충분한 것을 확인하였다. 뿐만 아니라 저역 통과 시그마-델타 모듈레이터는 일반적으로 홀수 차수의 필터 구조를 채택하며 이는 주파수 응답의 평탄도를 위함이다.

본 논문의 시그마-델타 모듈레이터는 두 개의

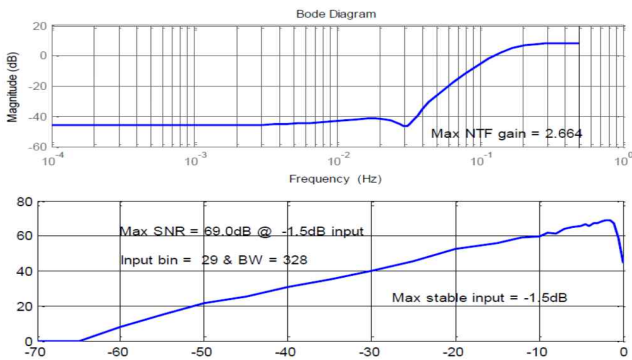


Fig. 4. Noise transfer function(NTF) and the dynamic range (DR) of the sigma-delta modulator with Matlab Simulink

그림 4. Matlab Simulink 시뮬레이션을 통한 잡음 전달함수(NTF) 및 동적범위(DR)

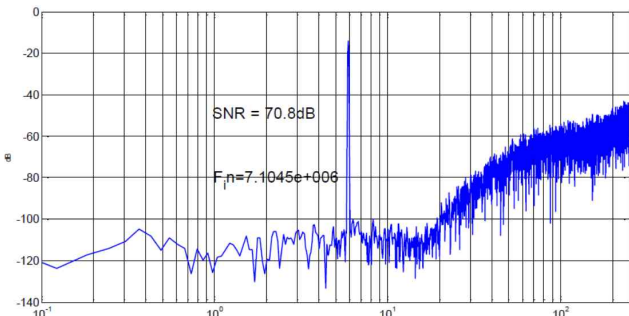


Fig. 5. Simulated SNR with the input frequency of 7.1 MHz with Matlab Simulink

그림 5. Matlab Simulink 시뮬레이션을 통한 입력 주파수 7.1 MHz 경우의 SNR

폐환(feedback)을 가지고 있으며 이는 DAC로 구현된다. 입력단으로 인가되는 main DAC는 이산 시간 신호의 양자화 회로 출력과 연속시간 신호의 입력 신호의 interface를 위함이다. 시그마-델타 모듈레이터의 최대 샘플링 시간은 양자화 지연 시간에 좌우되며 고속의 DAC을 통해 클럭 주기보다 작은 지연시간을 실현할 수 있다.[6]

시그마-델타 모듈레이터의 고해상도 실현을 위해

DAC의 선형성은 매우 중요하다. 이는 DAC의 비선형성은 부궤환(negative feedback)을 통해 shaping되지 않기 때문이다. 따라서 회로 설계 단계에서 fast-path DAC와 오버 샘플링 비율, 그리고 out-of-band 증폭이득의 trade-off를 적절히 조절해서 이상적인 집점을 실현해야 한다.

2. 시스템 시뮬레이션

그림 3은 Matlab 환경에서 시스템 구조 검증을 위한 시스템 셋업을 나타낸다. Summing 증폭기는

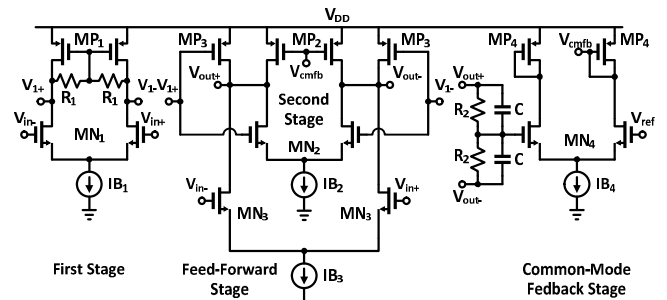


Fig. 6. Schematic of the operational amplifier for the 3rd-order filter

그림 6. 3차 필터에 사용된 연산 증폭기의 회로도

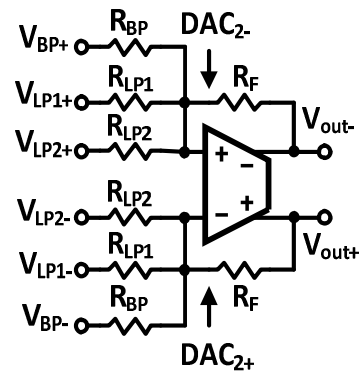


Fig. 7. Schematic of the summing amplifier

그림 7. 가산기 회로도

덧셈기(Adder)로 대체되었으며 3bit의 양자화 블록은 아날로그 입력 신호를 디지털 형태의 신호로 변환시켜 주는 역할을 한다. 시스템 클럭의 지터 성분 역시 포함되어 SNDR의 지터에 의한 영향을 파악할 수 있게 하였다.

20MHz의 입력 주파수, 500MHz의 샘플링 주파수, out-of-band 증폭 이득이 2.8인 경우의 잡음 전달함수(Noise Transfer Function) 및 동적범위(Dynamic Range)는 그림 4와 같다. 그림 5에서 보이는 바와 같이 입력 주파수가 7.1MHz인 경우 시스템 SNR은 70.6dB를 나타낸다.

3. 제안하는 ADC의 주요 회로 설계 기법

가. 3차 능동 저역통과 필터

그림 6과 같이 3차 저역통과 필터는 하나의 Biquad회로와 lossy-integrator로 이루어져 있다. 홀수의 차수를 가지는 필터는 베이스밴드에서 리플을 최소화할 수 있고 필터의 낮은 Q factor는 출력 신호의 ringing을 최소화한다. 본 논문에서 설계된 필터의 Q factor는 4의 값을 가진다.

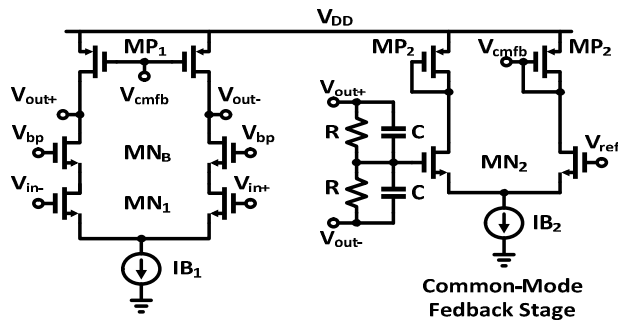


Fig. 8. Schematic of the operational amplifier for the summing amplifier
그림 8. 가산기에 사용된 연산 증폭기의 회로도

Spectre 시뮬레이션 결과 설계된 필터는 30.8uV의 Input-referred 노이즈와 600mVp-p의 two-tone 입력 신호 인가시에 82dBc의 in-band IM3를 보여 준다. 사용된 연산 증폭기는 60.8dB의 증폭 이득 및 4.7MHz의 주극점(dominant pole)을 보인다.

나. 가산기(Adder)

시그마-델타 모듈레이터의 입력과 출력 사이에 propagation delay는 1 sampling period가 필요하다. 가산기(그림 7)의 setting-time과 propagation delay는 안정도 측면에서 매우 중요한 요소로 고려된다. 반면 가산기의 잡음 및 선형성은 시그마-델타 모듈레이터의 루프에 의해 shaping됨으로 이전의 저역통과 필터에 비해 비교적 성능이 완화될 수 있다. 그림 8의 MN_B 트랜지스터는 비교기에서의 kick-back 잡음과 입력신호 커플링을 줄이기 위하여 사용되었다. 광대역 동작 및 짧은 propagation delay를 위해 1-stage의 간단한 회로가 사용되었다. Fast-path current steering DAC의 출력은 DAC2-와 DAC2+노드에 연결이 된다. R_{LP1}, R_{LP2}, R_{BP} 저항값은 다음의 공식으로부터 계산될 수 있다.

$$H = \beta_1 H_{biquad, BP} + H_{biquad, LP}(\beta_2 + \beta_3 H_{lossy}) \quad (1)$$

$$\beta_1 = R_F / R_{BP}, \beta_2 = R_F / R_{LP1}, \beta_3 = R_F / R_{LP2} \quad (2)$$

$\beta_1, \beta_2, \beta_3$ 의 경우에는 Matlab을 통해서 계산되었고, 각각 1.164, 3.193, 그리고 0.838의 값을 가진다. 이 값들은 정확히 세팅될 필요는 없지만 ADC 설계시 이들의 값에 따른 시스템의 영향력은 고려되어야 한다. 예를 들어 β_3 를 증가시킬 경우,

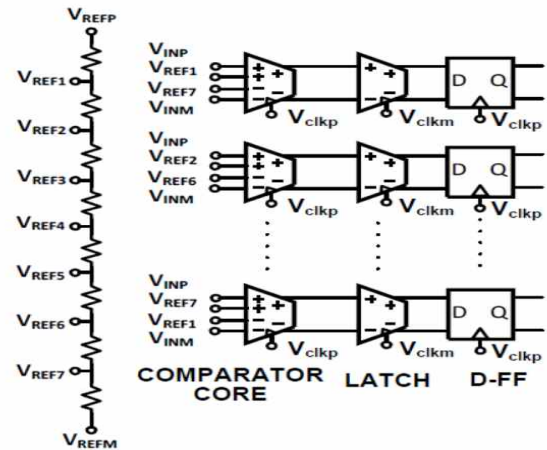


Fig. 9. Configuration of the 3 bit flash quantizer
그림 9. 3 bit 플래시 타입의 양자화 회로의 구성도

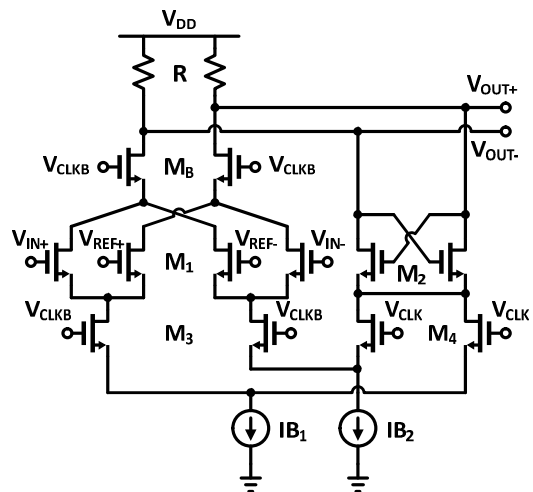


Fig. 10. Schematic of the comparator core
그림 10. 비교기의 회로도

베이스밴드의 루프 이득을 증가시키지만, GBW의 값은 감소시킨다.

플래시 타입의 양자화 회로는 비교적 단순한 구조로 케환이 필요하지 않아 빠른 sampling rate를 달성하기에 적합하다. 3bit 양자화 회로는 비교기, latch, 그리고 D-flipflop으로 구성(그림 9)되어 있다.

8개의 resistor ladder들로 구성된 bias generator는 비교기의 reference 값을 만들어낸다. 그림 10은 비교기의 회로도를 나타낸다. M_1 은 pre-amplifier로서 신호가 latch되기 전 충분한 증폭 이득을 공급하기 위하여 사용되었다. Cross-coupled 정제환은 latch로써 사용되었다.

라. Current-steering DAC

Current-steering DAC은 높은 정확성과 낮은

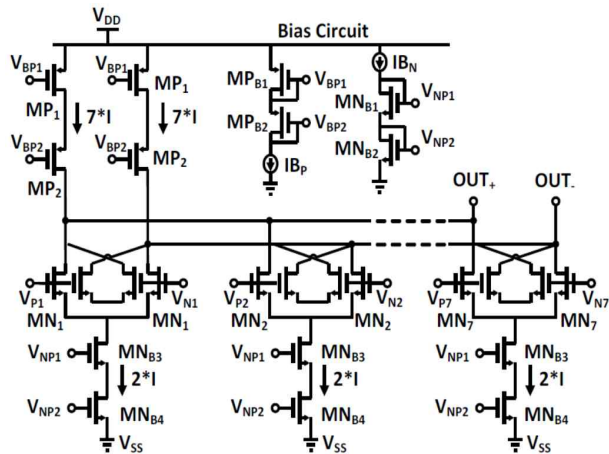


Fig. 11. Schematic of the current-steering DAC

그림 11. Current-steering DAC의 회로도

전력 소모로 인해 선택되었다(그림 11).[8] 또한 제환 신호를 전류로 인가할 경우 별도의 가산기 회로를 필요로 하지 않기 때문에 전력 소모를 더욱 절감시킬 수 있다. 출력단에 연결되어 있는 신호에 따라서 DAC의 정확성이 영향을 받을 수 있다. 이에 따른 영향력을 최소화하고 출력 임피던스의 증가를 위해 cascode구조의 회로가 쓰였다.[9] Main DAC과 fast-path DAC의 전류값은 가산기의 입력 저항 및 가산기로 입력되는 전압의 크기에 따라 계산되었으며 각각 42.857uA와 7.541uA의 값을 사용하였다.

Glitch cancellation을 위해 M_G 트랜지스터가 추가로 삽입되었다. Glitch의 경우 입력 차동 증폭기의 C_{gd} 로 인해 입력 전압의 transition이 생길 경우 기생 커패시터가 충전된 전하를 방출하면서 발생하는데 cross-couple된 M_G 트랜지스터를 통해 이러한 glitch의 감쇄가 이루어진다.

3. 제안하는 ADC의 주요 성능 측정 및 분석

제안하는 ADC는 0.18-um CMOS 공정을 통해 설계가 되었으며 spectre 시뮬레이션을 통해 주요 성능의 측정 및 검증이 이루어졌다. 그림 12는 glitch cancellation회로를 삽입한 전후의 ADC 출력 transient waveform 결과를 나타낸다. M_G 트랜지스터를 통한 glitch 감소 효과를 볼 수 있다. 그림 13에서 보이는 바와 같이 peak SNDR은 65.9dB이다. 입력 신호가 -3.9dBFS일 때 측정된 값이며 입력 신호의 주파수는 7.1MHz이다. HD3는 74.8dB를 나타낸다. Matlab 시스템 시뮬레이션을

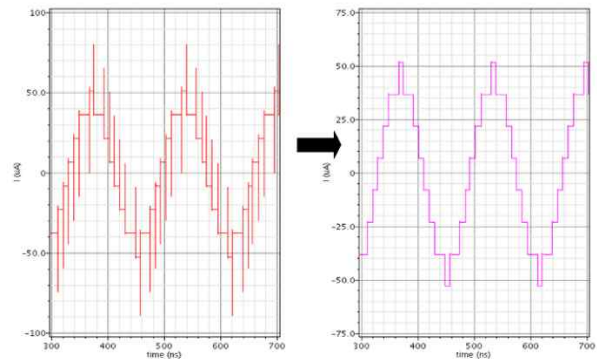


Fig. 12. Glitch cancellation due to the proposed DAC

그림 12. 고안된 DAC를 통한 glitch cancellation 결과

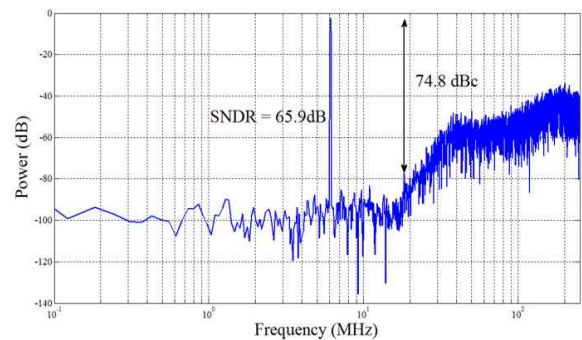


Fig. 13. Simulated output spectrum of the proposed sigma-delta modulator

그림 13. 제안하는 시그마-델타 모듈레이터의 출력 스펙트럼

통한 결과는 70.8dB를 나타내었으며 이는 spectre 시뮬레이션 결과보다 4dB 정도 높은 수치이다. 이러한 성능 차이는 feed-forward 계수($\beta_1, \beta_2, \beta_3$) 값의 차이와 기타 2차 특성에서 나온 것으로 보인다. 제안된 시그마-델타 모듈레이터의 동적 범위 및 성능 요약은 그림 14와 표 1에서

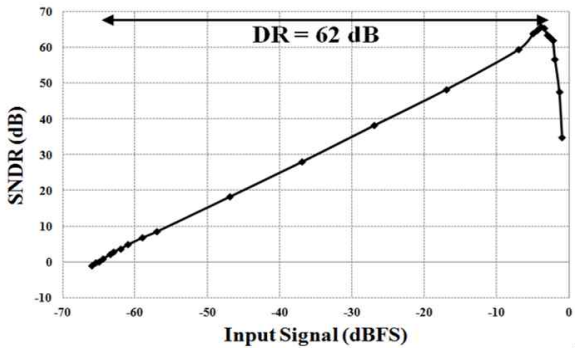


Fig. 14. Dynamic Range (DR) of the proposed sigma-delta modulator

그림 14. 제안하는 시그마-델타 모듈레이터의 동적범위

Table 1. Performance summary of the proposed sigma-delta modulator

표 1. 제안된 시그마-델타 모듈레이터의 성능 요약

Parameters	Value
Technology	TSMC 0.18-um CMOS
Power Supply	1.8V
Clock Frequency	500MHz
Bandwidth	20MHz
Peak SNDR @ 20MHz Bandwidth	65.9dB
SFDR	74.8dB
ENOB	10.65bit
Dynamic Range	62dB
Power Consumption	32.65mW

찾을 수 있다. 본 논문에서 고안된 ADC의 전체 전력 소모는 32.65mW이다. 이 중 13.21mW는 3차 능동 필터, 10.01mW는 가산기, 8.16mW는 양자화 회로, 1.27mW는 DAC에서 소모되었다. 전체 시스템의 Figure-of-Merit(FOM)는 508fJ/bit이며 이는 다음 공식을 이용하여 계산되었다.

$$FOM = \frac{Power}{2^{ENOB}(2f_{Bandwidth})} \quad (3)$$

III 결론

본 논문에서는 feed-forward compensation을 이용한 3차 연속시간 저역통과 시그마-델타 모듈

레이터를 제안한다. 제안하는 ADC는 0.18um CMOS technology로 설계가 이루어졌으며 1.8V의 전원에서 20MHz의 대역폭, 그리고 32.65mW의 전력 소모를 나타낸다. 기존의 ADC[4][5]와 비교하였을 때, 본 논문에서 제시한 ADC의 전력 소모량은 매우 향상된 수준을 보여준다. 3bit 플래쉬 타입의 양자화 회로를 사용하여 고속의 아날로그 디지털 변환 및 저전력을 실현하였다. 고안된 current-steering DAC은 시스템 안정도 향상 및 glitch cancellation을 위해 사용되었다. Peak SNDR은 65.9dB를 나타내었으며 SFDR 및 DR은 각각 74.8dB와 62dB이다. 본 논문에서 제시한 ADC의 성능과 전력 소모는 scaled CMOS 공정을 사용한다면 더욱 향상될 수 있다.

References

[1] J. Kim and J. Silva-Martinez, "Low-Power, Low-Cost CMOS Direct-Conversion Receiver Front-End for Multistandard Applications," *IEEE J. Solid-State Circuits*, Vol. 48, No. 9, pp. 2090-2103, Sep. 2013. DOI: 10.1109/JSSC.2013.2265781

[2] C. Ahn and Y. Kim, "A 8-bit 10-MSample/s Folding & Interpolation ADC using Preamplifier Sharing Method," *Journal of the IKEEE*, Vol. 17, No. 3, pp. 275-283, Sep. 2013. DOI : 10.7471/ikeee.2013.17.3.275

[3] S. Hwang and S. Lee, "An 8b 52 MHz CMOS Subranging A/D Converter Design for ISDN Applications," *Journal of the IKEEE*, Vol. 2, No. 2, pp. 309-315, Nov. 1998.

[4] J. Jo, J. Noh, and C. Yoo, "A 20MHz bandwidth continuous-time $\Sigma\Delta$ modulator with jitter immunity improved full-clock period SCR(FSCR) DAC and high speed DWA," in *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Nov. 2010, pp. 1-4.

[5] C.-Y Lu *et al.*, "A 25MHz bandwidth 5th-order continuous-time low-pass sigma-delta modulator with 67.7dB SNDR using time-domain quantization and feedback," *IEEE J. Solid-State Circuits*, Vol. 45, No. 9, pp. 1795-1808, Sep. 2010.

[6] V. Singh, N. Krishnapura, and S. Pavan, "Compensating for quantizer delay in excess of one clock cycle in continuous-time $\Sigma\Delta$

modulators," *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 57, No. 9, pp. 676-680, Sep. 2010.

DOI: 10.1109/TCSII.2010.2058496

[7] M. Choi and A. A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35- μ m CMOS," *IEEE J. Solid-State Circuits*, Vol. 36, No. 12, pp. 1847-1858, Dec. 2001. DOI: 10.1109/4.972135

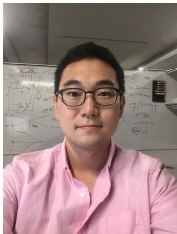
[8] J. Bastos *et al.*, "A 12-bit intrinsic accuracy high-speed CMOS DAC," *IEEE J. Solid-State Circuits*, Vol. 33, No. 12, pp. 1959-1969, Dec. 1998. DOI: 10.1109/4.735536

[9] S. Park, Y. Palaskas, and M.P. Flynn., "A 4-GS/s 4-bit flash ADC in 0.18- μ m CMOS," *IEEE J. Solid-State Circuits*, Vol. 42, No. 9, pp. 1865-1872, Sep. 2007.

DOI: 10.1109/JSSC.2007.903053

BIOGRAPHY

Kunmo Kim (Member)



2012 : BS degree in Electrical Engineering, Texas A&M University.

2012~2013 : Engineer, Qualcomm Incorporated.

2014 : MS degree in Electrical Engineering, California Institute of Technology.

2014~2017 : Senior Engineer, Oracle Incorporated.

2017~Present : Senior Engineer, Apple.

Chang-Joon Park (Member)



2003 : BS degree in Material Science and Engineering, Yonsei University.

2005 : MS degree in Electrical Engineering, Yonsei University.

2013 : PhD degree in Electrical Engineering, Texas A&M University.

2013~2016 : Research Engineer, NXP Semiconductor.

2016~Present : Research Engineer, Intersil Corporation.

Sanghun Lee (Member)



2002 : BS degree in Electrical Engineering, Kwang-Woon University.

2004 : MS degree in Electrical Engineering, Kwang-Woon University.

2012 : PhD degree in Electrical Engineering, Texas A&M University.

2012~2015 : Senior Engineer, Samsung Electronics.

2015~present : CTO, Wavepia Incorporated.

Sangkil Kim (Member)



2010 : BS degree in Electrical Engineering, Yonsei University.

2012 : MS degree in Electrical Engineering, Georgia Institute of Technology.

2014 : PhD degree in Electrical Engineering, Georgia Institute of Technology.

2015 : IET Microwaves, Antennas, and Propagation Premium Award.

2015~present : Senior Engineer, Qualcomm Incorporated.

Jusung Kim (Member)



2006 : BS degree in Electrical Engineering, Yonsei University.

2011 : PhD degree in Electrical Engineering, Texas A&M University.

2012~2015 : Staff Engineer, Qualcomm Incorporated.

2015~Present : Assistant Professor, Hanbat National University.