

# 배터리 응용을 위한 1.5V 단일전원 256Kb EEPROM IP 설계

김 영 희\*, 김 일 준\*, 하 판 봉\*\*

## Design of 256Kb EEPROM IP Aimed at Battery Applications

Young-Hee Kim\*, RiJun Jin\*, Pan-Bong Ha\*\*

**요 약** 본 논문에서는 MCU 내장형 1.5V 단일전원 256Kb EEPROM IP는 배터리 응용을 위해 설계되었다. 기존의 body-potential 바이어싱 회로를 사용하는 cross-coupled VPP (Boosted Voltage) 전하펌프회로는 erase와 program 모드에서 빠져나올 때 5V cross-coupled PMOS 소자에 8.53V의 고전압이 걸리면서 junction breakdown이나 gate oxide breakdown에 의해 소자가 파괴될 수 있다. 그래서 본 논문에서는 cross-coupled 전하펌프회로의 출력 노드는 VDD로 프리차징시키는 동시에 펌핑 노드들을 각 펌핑 단의 입력전압으로 프리차징하므로 5V PMOS 소자에 5.5V 이상의 고전압이 걸리지 않도록 하므로 breakdown이 일어나는 것을 방지하였다. 한편 256Kb를 erase하거나 program하는 시간을 줄이기 위해 all erase, even program, odd program과 all program 모드를 지원하고 있다. 또한 cell disturb 테스트 시간을 줄이기 위해 cell disturb 테스트 모드를 이용하여 256Kb EEPROM 셀의 disturb를 한꺼번에 인가하므로 disturb 테스트 시간을 줄였다. 마지막으로 이 논문에서는 erase-verify-read 모드에서 40ns의 cycle 시간을 만족하기 위해 CG disable 시간이 빠른 CG 구동회로는 새롭게 제안되었다.

**Abstract** In this paper, a 256Kb EEPROM IP aimed at battery applications using a single supply of 1.5V which is embedded into an MCU is designed. In the conventional cross-coupled VPP (boosted voltage) charge pump using a body-potential biasing circuit, cross-coupled PMOS devices of 5V in it can be broken by the junction or gate oxide breakdown due to a high voltage of 8.53V applied to them in exiting the program or erase mode. Since each pumping node is precharged to the input voltage of the pumping stage at the same time that the output node is precharged to VDD in the cross-coupled charge pump, a high voltage of above 5.5V is prevented from being applied to them and thus the breakdown does not occur. Also, all erase, even program, odd program, and all program modes are supported to reduce the times of erasing and programming 256 kilo bits of cells. Furthermore, disturbance test time is also reduced since disturbance is applied to all the 256 kilo bits of EEPROM cells at once in the cell disturb test modes to reduce the cell disturbance testing time. Lastly, a CG driver with a short disable time to meet the cycle time of 40ns in the erase-verify-read mode is newly proposed.

**Key Words** : Battery Applications, Cross-Coupled Charge Pump, Cell Disturb, Disturbance, EEPROM, Single Supply, Test Time

### 1. 서론

실시간 정보 갱신, 보안 데이터 저장, 명령코드 저장 등의 기능을 하는 MCU용 비휘발성 메모리는 EEPROM IP가 주로 사용되고 있으며, 대부분 1Mb 이

하의 메모리 용량이 사용되고 있다[1-4]. 그리고 배터리 응용에 사용되는 EEPROM IP는 배터리의 수명을 증가시키기 위해 저전력 소모가 요구되며, 저전력 소모를 만족시키는 방법은 공급전압을 낮추는 것이다[5].

This research is financially supported by Changwon National University in 2017-2018.

\*Department of Electronic Engineering, Changwon National University

\*\*Corresponding Author : Department of Electronic Engineering, Changwon National University (pha@changwon.ac.kr)

Received November 23, 2017

Revised November 28, 2017

Accepted December 21, 2017

1.8V 배터리 응용에서 0.13 $\mu$ m EEPROM 공정을 이용하여 256Kb EEPROM IP를 설계하는 경우 로직소자에 사용되는 전압이 1.5V이며, 1.5V와 1.8V의 듀얼 파워 (dual power)를 사용하는 경우는 파워-업 순서 (power-up sequence)를 고려해야 하므로 파워-업 순서를 고려하지 않아도 되는 1.5V 단일파워를 사용하는 것이 회로설계를 간단하게 할 수 있다. 한편 EEPROM IP는 VPP (Boosted Voltage) 전압을 필요로 한다[2]. VPP 발생회로로 pn 접합다이오드를 사용하는 Dickson 전하펌프 회로[6]는 각 단 (stage)마다 다이오드의 컷-인 전압 (cut-in voltage) 손실이 있어 펌핑 효율이 떨어지는 단점이 있어 저전압 EEPROM IP에 사용하는데 문제가 있다. 그리고 body potential 바이어싱 회로를 사용하는 cross-coupled 전하 펌프 회로[7]는 문턱전압 손실(threshold voltage loss) 문제는 해결되지만 VPP (=16.8V) 전압을 만들기 위해 펌핑 단 수를 늘리다보면 대기 모드 (stand-by mode)로 진입하면서 각각의 펌핑 단의 출력전압을 VDD로 프리차징(precharging)할 때 전하 펌프 회로에 사용된 5V cross-coupled PMOS 트랜지스터에 8.53V의 고전압이 걸리면서 junction breakdown과 gate oxide breakdown으로 인해 5V PMOS 소자가 파괴되는 문제가 발생할 수 있다.

한편 EEPROM 셀의  $t_{ERS}$  (erase time)과  $t_{PGM}$  (program time)이 모두 2.5ms인 경우 256행  $\times$  1,024열의 셀 어레이를 갖는 256Kb EEPROM IP는 32비트로 erase와 program)할 때 전체 erase/program 시간은 40.96초 테스트 시간이 문제가 된다. 그리고 256Kb EEPROM IP의 endurance 스펙이 10K cycle인 경우 프로그램 모드에서 프로그램된 EEPROM 셀의 SL disturb 테스트 시간은 2.29일이고, 지워진 EEPROM 셀의 CG disturb 테스트 시간은 775초로 이 역시 테스트 시간이 너무 길어지는 문제가 있다. 그런데 EEPROM IP에 대한 테스트 시간 감소 방법에 관한 기술은 기존 문헌에 언급된 것이 없다.

또한 배터리 응용을 갖는 MCU에 사용되는 EEPROM의 클럭 주파수 (clock frequency)는

25MHz 이상의 고속 읽기 동작을 가진 EEPROM IP가 요구된다[8].

본 논문에서는 1.5V 저전압 단일전원을 사용하는 EEPROM IP가 erase와 program 모드에서 빠져나올 때 body-potential 바이어싱 회로를 사용하는 cross-coupled 전하펌프회로[9]의 출력 노드를 VDD로 프리차징시키는 동시에 펌핑 노드들을 각 펌핑 단의 입력전압으로 프리차징하도록 하였다. 이렇게 하므로 새롭게 제안된 전하 펌프 회로에 사용된 5V cross-coupled PMOS 트랜지스터에 5.5V 이상의 고전압이 걸리지 않도록 하므로 5V 소자가 junction breakdown이나 gate oxide breakdown에 의해 파괴되는 문제를 해결할 수 있다.

그리고 256Kb를 erase하거나 program하는 시간을 줄이기 위해 all erase, even program, odd program과 all program 모드를 지원하고 있다. 또한 cell disturb 테스트 시간을 줄이기 위해 program cycle을 수행하면서 32비트씩 셀 disturb를 테스트하는 대신 cell disturb 테스트 모드를 이용하였다. 이 셀 disturb 테스트 모드에서는 256Kb EEPROM 셀의 disturb를 한꺼번에 주는 셀 바이어스 조건으로 바이어싱하도록 하므로 disturb 테스트 시간을 줄였다. 마지막으로 본 논문에서는 erase-verify-read 모드에서 25MHz의 cycle time을 만족시키기 위해 CG disable 시간이 빠른 CG 구동회로를 새롭게 제안하였다. 256Kb EEPROM IP는 매그나칩 0.13 $\mu$ m EEPROM 공정으로 설계되었다.

## 2. 1.5V 256Kb EEPROM IP 설계

EEPROM 셀의 동작 모드는 erase, program, read 모드로 구분된다. 동작 모드에 따른 EEPROM 셀의 바이어스 전압은 표 1에서 보는바와 같다. Program 모드에서 선택된 셀의 CG 전압은 VPP (=16.8V) 전압에 연결되고, erase 모드에서 SL은 VPP (=13.2V) 전압에 연결된다. 또한 program 모드에서 선택되지 않은 셀의 SL은 VPPL (=9.4V) 전압에 연결된다.

표 1. 동작 모드별 SSTC 셀의 바이어스 조건.  
Table 1. Bias conditions of an SSTC cell according to the operation modes.

Operation	Cell 선택	CG	SL	BL	HPW	HDNW
PGM	Selected Row & Selected Column	16.8V	0V	Floating	0V	0V
	Selected Row & Unselected Column	16.8V	9.4V	Floating	0V	0V
	Unselected Row & Selected Column	0V	0V	Floating	0V	0V
	Unselected Row & Unselected Column	0V	9.4V	Floating	0V	0V
ERS	Full Chip	0V	13.2V	Floating	13.2V	13.2V
	Selected Page	0V	13.2V	Floating	13.2V	13.2V
	Unselected Page	13.2V	13.2V	Floating	13.2V	13.2V
Read	Selected Row & Selected Column	3.1V	0V	0.6V	0V	0V
	Selected Row & Unselected Column	3.1V	0V	Floating	0V	0V
	Unselected Row & Selected Column	0V	0V	0.6V	0V	0V
	Unselected Row & Unselected Column	0V	0V	Floating	0V	0V

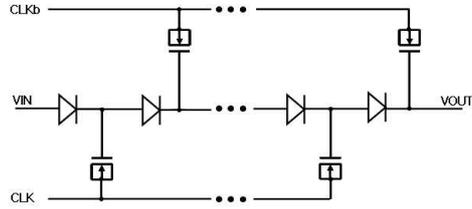
매그나칩반도체 0.13 $\mu$ m EEPROM 공정을 사용하여 배터리 응용을 위해 설계된 256Kb EEPROM IP의 주요 특징은 표 2와 같다. 1.5V의 단일 파워 VDD (=1.5V)를 사용하였으며, Normal function은 read 모드, page erase 모드, page buffer load 모드, page program 모드가 있다. 그리고 write-verify-read 모드로 erase-verify-read 모드와 program-verify-read 모드가 있으며, 기타 function으로 test time reduction 모드와 cell disturb 테스트 모드가 있다.

표 2. 256Kb EEPROM IP의 주요특징.  
Table 2. Major specifications of 256Kb EEPROM IP.

Items	Main Features	
VDD	1.35V ~ 1.65V	
Function	Normal Mode	Read / Page Erase / Page Buffer Load / Page Program
	Write-Verify-Read	Erase-Verify-Read / Program-Verify-Read
	Others	Test Time Reduction / Cell Disturb Test
Memory Density	256Kb	
Cell Array	256Rows x 1024Columns	
I/O	32bit	
Page Size	128Bytes	
Temperature Range	-40~85 $^{\circ}$ C	
Write Time	2.5ms	
Cycle Time	40ns	
Endurance	10K	
Data Retention	10Years	

표 1에서 보는바와 같이 프로그램 모드에서 VPP 전압은 VDD 전압을 이용하여 전하 펌핑에 의해 16.8V 전압으로 부스팅이 필요하다. 그림 1의 Dickson 전하펌프 회로는 pn 접합다이오드와 펌핑 커패시터로 구성되어 있으며, 16.8V의 VPP 전압을 공급하기 위해서는 34단이 필요하기 때문에 레이아웃 면적이 증가하고 각 단마다 다이오드의 컷-인 전압 손실이 있어 펌핑 효율이 떨어지고 저전압 동작에 사용하는데 어려움이 있다.

그림 1. Dickson 전하펌프[6].  
Fig. 1. Dickson charge pump[6].



저전압 동작이 가능한 기존의 cross-coupled 전하펌프 회로는 그림 2와 그림 3에서 보는바와 같다. 그림 2의 cross-coupled PMOS 트랜지스터 (MP1, MP2)는 문턱전압 손실 없이 N1, N2 노드의 펌핑 전하를 VOUT 단으로 전달한다[10]. 한편 그림 2의 전하펌프 회로는 PMOS 트랜지스터인 MP1과 MP2의 body가 VPP 단에 연결되어있기 때문에 N1과 N2 노드가 펌핑될 때 body 전압이 소스나 드레인 전압보다 낮게 되어 기생하는 PNP 트랜지스터가 활성 영역에 놓이게 된다. 이로 인해 N1과 N2 노드의 펌핑 전하가 PNP 트랜지스터를 통해 p-substrate로 일부 빠져 나가게 되어 전하 손실을 초래하는 문제를 일으키게 된다[9].

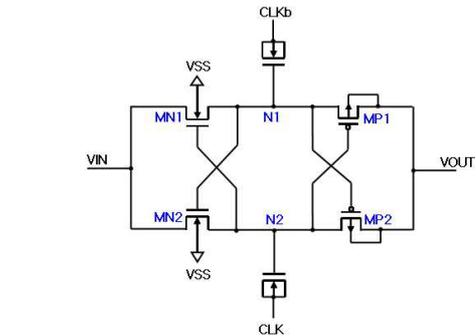


그림 2. 기존의 voltage doubler 회로[10].  
Fig. 2. The conventional voltage doubler[10].

그림 3의 VPP 전하펌프 회로[9]는 전하 손실 문제를 해결하기 위해 BPBC(Bulk-Potential Biasing Circuit) 회로가 추가되었다. BPBC 회로는 전하 전

달 스위치인 PMOS의 드레인과 소스 노드 전압 증 높은 노드 전압이 PMOS의 body 전압으로 바이어싱 되게 하고 있다. 그리고 NMOS의 경우 낮은 노드 전압이 NMOS의 body 전압으로 바이어싱 되게 한다.

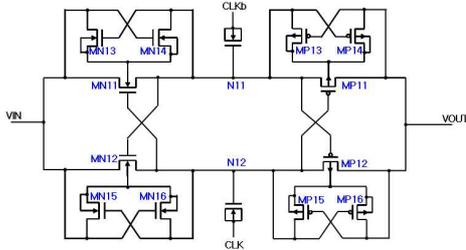


그림 3. BPBC 회로를 이용한 cross-coupled 전하펌프 회로[9].

Fig. 3. Cross-coupled charge pump using a bulk-potential biasing circuit[9].

한편 BPBC 바이어싱 회로를 사용하는 cross-coupled 전하 펌프 회로는 문턱전압 손실과 전하손실 문제는 해결되지만 VPP 전압을 만들기 위해 펌핑 단 수를 늘려다보면 대기 모드로 진입하면서 각각의 펌핑 단의 출력전압을 VDD로 프리차징할 때 전하 펌프 회로에 사용된 5V cross-coupled PMOS 트랜지스터에 8.53V의 고전압이 걸리면서 junction breakdown과 gate oxide breakdown으로 인해 5V PMOS 소자가 파괴되는 문제가 발생할 수 있다. 그래서 본 논문에서는 1.5V 저전압 단일전원을 사용하는 EEPROM IP가 erase와 program 모드에서 빠져나올 때 body-potential 바이어싱 회로를 사용하는 cross-coupled 전하펌프회로의 출력 노드인 VOUT을 VDD로 프리차징시키는 동시에 펌핑 노드 (N21과 N22)를 각 펌핑 단의 입력전압인 VIN으로 프리차징하도록 하였다. 이렇게 하므로 새롭게 제안된 전하 펌프 회로에 사용된 5V cross-coupled PMOS 트랜지스터에 5.5V 이상의 고전압이 걸리지 않도록 하므로 5V 소자가 junction breakdown이나 gate oxide breakdown에 의해 파괴되는 문제를 해결할 수 있다.

그림 4의 제안된 cross-coupled 전하펌프회로는 cross-coupled NMOS 트랜지스터 (MN21과

MN22), cross-coupled PMOS 트랜지스터(MP21과 MP22), BPBC 트랜지스터 (MP24, MP25와 MP26)는 5V 트랜지스터가 사용된다. 반면 펌핑 커패시터 (MN23과 MN24), 대기 모드시 N21과 N22를 VIN으로 프리차징 시켜주는 프리차징 트랜지스터(MP27, MP28, MP29, MP30, MN25와 MN26)은 HV (High-Voltage) 트랜지스터를 사용하여야 한다. 대기 모드로 진입하면서 CP\_ENb가 0V에서 VDD로 스위칭하면 MN25와 MN26이 ON되어 N23과 N24 노드를 0V로 만들면서 MP27과 MP29 트랜지스터를 ON시킨다. CP\_ENb가 0V에서 VDD로 스위칭하면 MP27과 MP29이 ON 되면서 N21과 N22는 VIN 전압으로 프리차징하는 동시에 VIN과 VOUT은 VDD 전압으로 프리차징 된다. 그래서 5V MOS 소자가 연결된 VIN, VOUT, N21과 N22는 모두 VDD 전압으로 프리차징 되면서 소자에는 5V 이상의 고전압이 걸리지 않는다. 그림 4의 제안된 전하펌프 회로에서 MN21과 MN22의 body 노드는 VIN에 연결하므로 body effect로 인한 영향을 제거하였다.

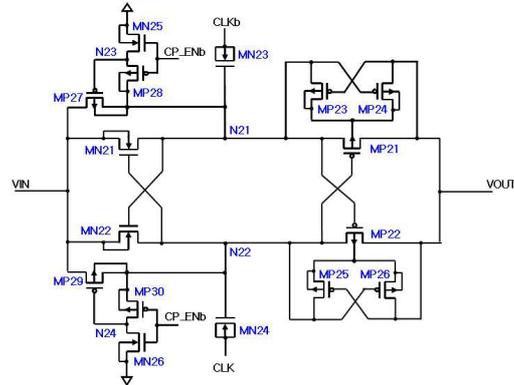


그림 4. 제안된 cross-coupled 전하펌프 회로.

Fig. 4. The proposed cross-coupled charge pump.

BCD 공정 기반에서 split gate EEPROM 셀을 사용한 512Kb EEPROM 셀 검증용 TEG 모듈 설계관련 논문[11]과 고속 EEPROM 설계관련 논문 [12]에서 test time reduction 모드와 cell disturb 테스트 모드가 지원된다는 내용이 소개되었지만 구체적으로 설명이 되지는 않았다. 본 논문에서는

EEPROM 공정 기반에서 SSTC 셀을 사용한 256Kb EEPROM 설계에서 test time reduction을 위한 all erase와 even page program, odd page program과 all program 모드를 지원하는 회로를 설계하였다. 그리고 cell disturb 테스트 모드에서는 cell disturb 테스트 시간을 줄이기 위해 program cycle을 수행하면서 32비트씩 셀 disturb를 테스트 하는 대신 cell disturb 테스트 모드를 이용하였다. 이 셀 disturb 테스트 모드에서는 256Kb EEPROM 셀의 disturb를 한꺼번에 주는 셀 바이어싱 조건으로 바이어싱하도록 하였다.

$t_{ERS} = t_{PGM} = 2.5ms$ 인 경우 256행  $\times$  1,024열의 셀 어레이를 갖는 256Kb EEPROM IP는 32비트로 erase/program할 때 total erase/program 시간은 40.96초 걸린다. 256Kb을 erase하거나 program하는 시간을 줄이기 위해 본 논문에서는 all erase, even program, odd program과 all program 모드를 지원하고 있다. 일반적으로 메모리에 프로그램하는 데이터 패턴 (data pattern)은 solid '0', solid '1', CKBD (Checker Board), iCKBD (inverse checker board) 패턴이 있다. Solid '0'를 프로그램하는 것은 그림 5에서 보는바와 같이 all erase 모드를 수행하면 된다. All erase 모드에서는 모든 CG[255:0]에 0V가 인가되고 모든 SL[1023:0], HPW (High Voltage P-Well)과 HDNW (High Voltage Deep N-Well)에 13.2V가 인가되며, 256Kb EEPROM 셀의 데이터는 한꺼번에 '0'로 지워진다. 결국 solid '0'로 프로그램하게 된다. All erase 모드를 이용하여 solid '0'를 프로그램하는 경우 test time은 2.5ms에 불과하다. 한편 solid '1' 데이터 패턴으로 프로그램하는 경우는 먼저 그림 1에서 보는바와 같이 all erase 모드를 수행한 뒤 그림 6에서 보는바와 같이 all program 모드를 수행하면 된다. All program 모드에서는 모든 CG[255:0]에 16.8V가 인가되고 모든 SL[1023:0], HPW과 HDNW에 0V가 인가되며, 256Kb EEPROM 셀의 데이터는 한꺼번에 '1'로 프로그램 된다. Solid '1'으로 데이터 패턴을 write하기 위해 필요한 테스트 시간은 5ms이다.

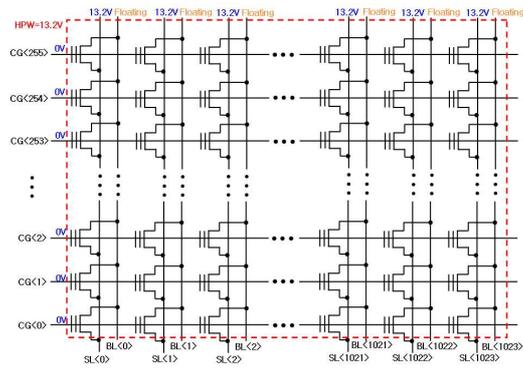


그림 5. All erase 모드에서의 셀 어레이 바이어싱 회로.  
Fig. 5. Cell array biasing circuit in the all erase mode.

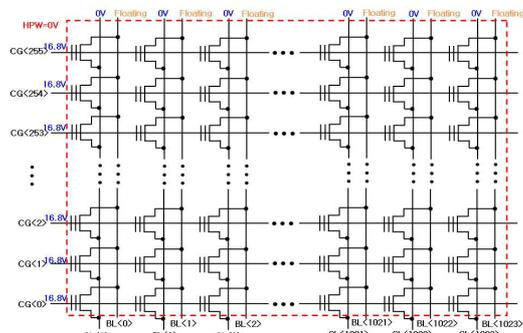
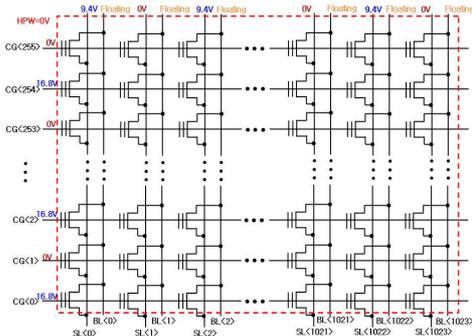


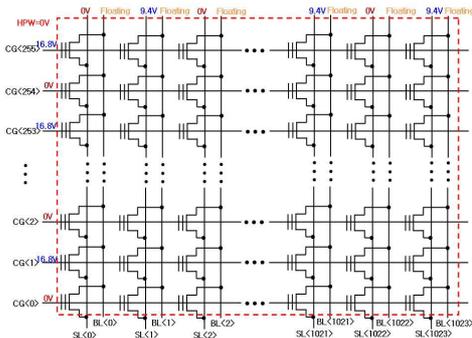
그림 6. All program 모드에서의 셀 어레이 바이어싱 회로.  
Fig. 6. Cell array biasing circuit in the all program mode.

CKBD 패턴의 데이터를 프로그램하기 위해서는 먼저 all erase 모드를 수행한 뒤 page buffer load 모드를 이용하여 어드레스 A[4:0]의 디코딩에 의해 선택된 32비트의 page buffer에 Hexa 코드로 AAAAAAAH를 load한다. 256Kb EEPROM IP는 32워드에 해당되는 page buffer가 있으므로 A[4:0]를 counting하면서 page buffer load 모드를 32번 반복하므로 AAAAAAAH 코드를 1,024개의 page buffer에 반복적으로 load할 수 있다. Page buffer load 동작이 끝난 뒤 그림 7(a)에서 보는바와 같이 even page program 모드를 수행한다. 그 뒤 32비트의 page buffer에 Hexa 코드로 5555555H를 load한 뒤 그림 7(b)에서 보는바와 같이 odd page program 모드를 수행하게 되면 256Kb EEPROM

cell array에 CKBD 패턴의 데이터가 프로그램 되게 된다. 32 워드의 page buffer를 load하는데 걸리는 시간은  $1.28\mu s (=40ns \times 32\text{워드})$ 으로  $t_{ERS}$ 과  $t_{PGM}$ 에 비해 무시할 만큼 작다. All erase, even page program과 odd page program 모드를 이용하여 CKBD 패턴으로 테스트하는데 걸리는 시간은  $7.5ms (= t_{ERS} + 2 \times t_{PGM})$ 이다.



(a)



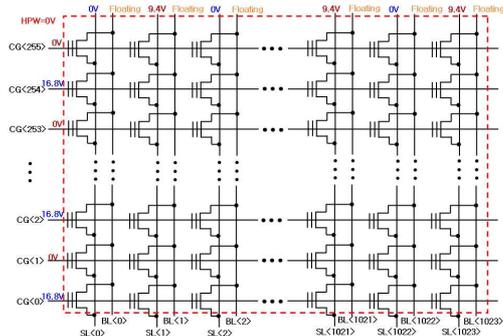
(b)

그림 7. CKBD 데이터 패턴을 프로그램하는 경우 셀 어레이 바이어싱 회로 (a) even page program (b) odd page program.

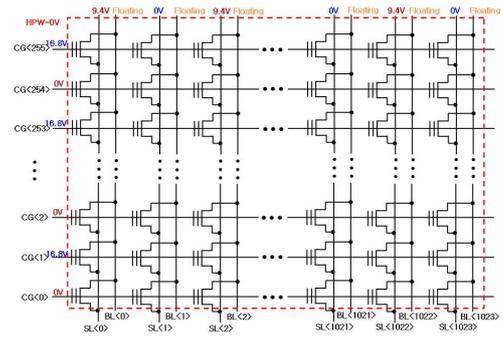
Fig. 7. Cell array biasing circuit in case of programming checker board data patterns: (a) even program and (b) odd page program.

iCKBD 패턴의 데이터를 프로그램하기 위해서는 먼저 all erase 모드를 수행한 뒤 page buffer load 모드를 이용하여 어드레스 A[4:0]의 디코딩에 의해 선택된 32비트의 page buffer에 Hexa 코드로 55555555H를 load한다. Page buffer load 동

작이 끝난 뒤 그림 8(a)에서 보는바와 같이 even page program 모드를 수행한다. 그 뒤 32비트의 page buffer에 Hexa 코드로 AAAAAAAH를 load한 뒤 그림 8(b)에서 보는바와 같이 odd page program 모드를 수행하게 되면 256Kb EEPROM cell array에 iCKBD 패턴의 데이터가 프로그램 되게 된다.



(a)



(b)

그림 8. iCKBD 데이터 패턴을 프로그램하는 경우 셀 어레이 바이어싱 회로 (a) even page program (b) odd page program.

Fig. 8. Cell array biasing circuit in case of programming inverse checker board data patterns: (a) even program and (b) odd page program.

SSTC 셀에서 프로그램 모드에서 선택안된 셀에서 FG (Floating Gate)를 기준으로 CG와 SL 사이에 전압이 달라서 FN 터널링에 의해 cell disturb가 발생하는 경우는 2가지가 있다. 하나는 SL disturb로 unselected row와 unselected column에 위치한 셀의 CG와 SL 전압이 각각 0V, 9.4V 걸리면서 FG

에 주입된 전자가 SL으로 터널링에 의해 빠져나가면서 프로그램된 셀의 문턱전압이 낮아지는 것이 문제가 된다. 또 다른 하나는 CG disturb로 selected row와 unselected column에 위치한 셀의 CG와 SL 전압이 각각 16.8V, 9.4V 걸리면서 FG에 전자가 터널링에 의해 주입되면서 erase된 셀의 문턱전압이 높아지는 것이 문제가 된다. 그림 9는 cell disturb 테스트 시간을 줄이기 위해 program 모드에서 program된 셀의 SL disturb 테스트를 위한 셀 어레이의 바이어싱 회로와 erase된 셀의 CG disturb 테스트를 위한 셀 어레이의 바이어싱 회로를 보여주고 있다. 한편 erase 모드에서 unselected page에 위치한 셀의 CG와 SL은 13.2V로 같은 전압이 걸리므로 disturb가 발생하지 않는다.

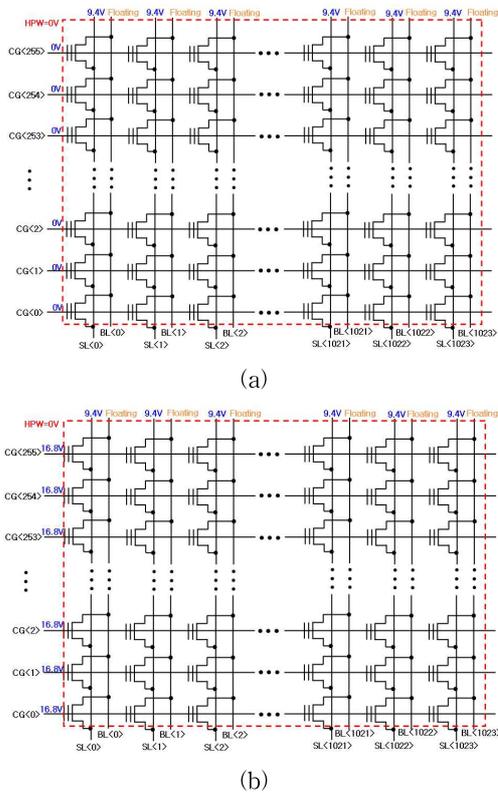


그림 9. Cell disturb 테스트 (a) SL disturb (b) CG disturb.

Fig. 9. Cell disturb test modes: (a) SL disturb mode and (b) CG disturb mode.

배터리 응용을 갖는 MCU에 사용되는 EEPROM은 25MHz 이상의 고속 읽기 동작을 가진 EEPROM IP가 요구된다[12]. 그런데 프로그램된 셀과 erase된 셀을 구분해주는 VRD(Read Voltage)는 read 모드, erase-verify-read 모드, program-verify-read 모드에서 각각 3.1V, 2.4V, 3.7V이다. 이런 경우 erase-verify-read 모드에서는 CG 구동회로의 구동전압이 2.4V이므로 read 모드에 비해 CG의 구동전류가 떨어져서 40ns의 cycle 시간을 만족하기가 어렵다. 그래서 본 논문에서는 표 3의 동작모드별 HV 스위칭 파워의 출력전압에서 보는바와 같이 erase-verify-read 모드에서는 ROW\_HV와 CG\_HV는 각각 3.1V와 2.4V로 다른 전압으로 구동한다. 이렇게 하므로 EVR 모드로 진입하면서 CG는 목표전압인 2.4V를 구동하고, EVR 모드에서 빠져나올 때 그림 10의 N1 노드는 ROW\_HV인 3.1V로 MN1을 구동하므로 CG의 방전 시간을 빠르게 가져갈 수 있다. 결국 EVR 모드의 cycle 시간을 빠르게 가져갈 수 있다. 한편 ROW\_HV와 CG\_HV 전압은 EVR 모드를 제외한 나머지 동작 모드는 동일한 전압으로 스위칭 파워가 공급되도록 설계되었다.

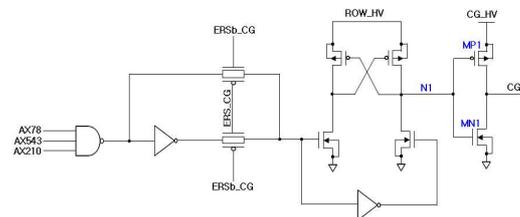


그림 10. 제안된 CG 구동회로.  
Fig. 10. Proposed CG driver.

표 3. 동작모드별 HV 스위칭 파워의 출력전압.  
Table 3. Output voltages of HV switching power according to the operation modes.

동작 모드	ROW_HV	CG_HV
Read	VRD(=3.1V)	VRD(=3.1V)
Page Program	VPP	VPP
Page Erase	VPP	VPP
EVR	VRD(=3.1V)	VTTEST(=2.4V)
PVR	VRD(=3.7V)	VRD(=3.7V)

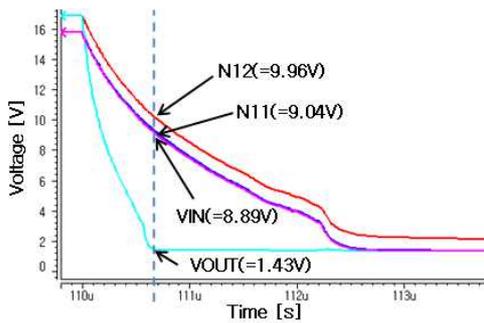
### 3. 레이아웃 및 모의실험 결과

그림 11은 0.13 $\mu\text{m}$  EEPROM공정을 기반으로 설계된 256Kb EEPROM IP의 레이아웃 이미지를 보여주고 있으며, 레이아웃 면적은 1025.015 $\mu\text{m}$  × 781.865 $\mu\text{m}$  (=0.8014mm<sup>2</sup>)이다.

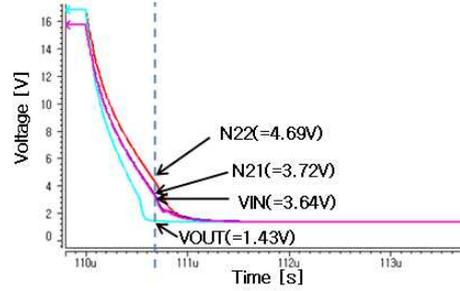


그림 11. 설계된 256Kb EEPROM IP의 레이아웃 이미지.  
Fig. 11. Layout image of the designed 256Kb EEPROM IP.

그림 12(a)는 그림 3의 기존의 전하펌프 회로에서 대기 모드로 진입할 때 펌핑 노드인 N11, N21, 입력전압인 VIN, 출력 전압인 VOUT의 파형을 보여주고 있으며, 5V MOS 소자에 걸리는 최대 전압은 8.53V로 5V PMOS 소자의 junction breakdown과 gate oxide breakdown으로 인해 소자가 파괴될 수 있다. 반면 그림 12(b)의 제안된 전하펌프 회로는 5V MOS 소자에 걸리는 최대 전압이 3.26V로 5V MOS 소자의 breakdown 문제가 없다.



(a)



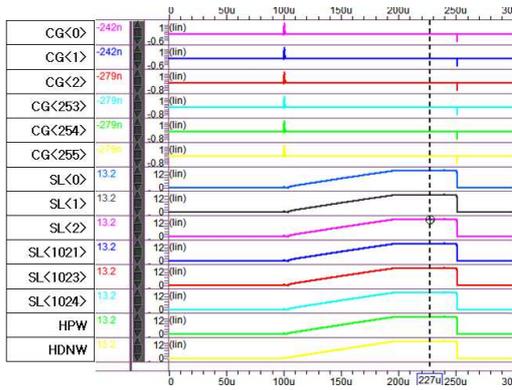
(b)

그림 12. 전하펌프 회로에서 대기 모드로 진입할 때 노드 전압 파형 (a) 기존의 전하펌프 회로 (b) 제안된 전하펌프 회로.

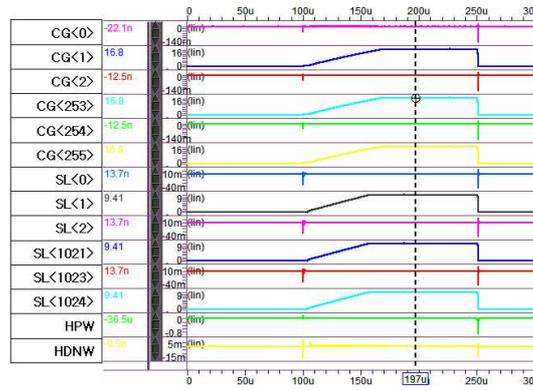
Fig. 12. Node voltage waveforms in entering the standby mode in the charge pump circuit: (a) the conventional charge pump and (b) the proposed counterpart.

그림 13은 test time reduction을 위한 all erase 모드, all program 모드, CKBD 데이터 패턴을 프로그램하는 even page program 모드와 odd page program 모드에서의 모의실험 결과를 보여주고 있으며, CG[255:0], SL[1023:0], HPW과 HDNW 전압은 그림 5, 그림 6과 그림 7에서의 셀 어레이 바이어싱처럼 나오는 것을 볼 수 있다. 그림 13의 모의실험 조건은 VDD=1.5V, typical NMOS와 typical PMOS 모델 파라미터, Temp. 25 $^{\circ}\text{C}$ 에서 진행하였다.

그림 14는 cell disturb test 모드인 SL disturb 모드와 CG disturb 모드에서의 모의 실험 결과를 보여주고 있으며, CG[255:0], SL[1023:0], HPW과 HDNW 전압은 그림 9의 disturb test 모드별 셀 어레이 바이어싱처럼 나오는 것을 볼 수 있다.



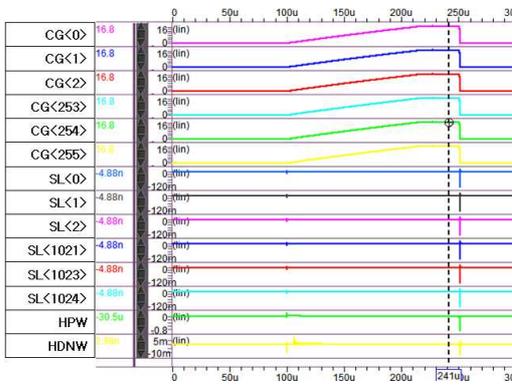
(a)



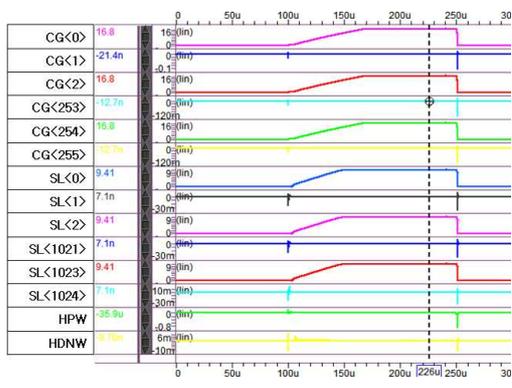
(d)

그림 13. Test time reduction 모드에서의 모의실험 결과 (a) all erase 모드 (b) all program 모드 (c) even page program 모드 (d) odd page program 모드.

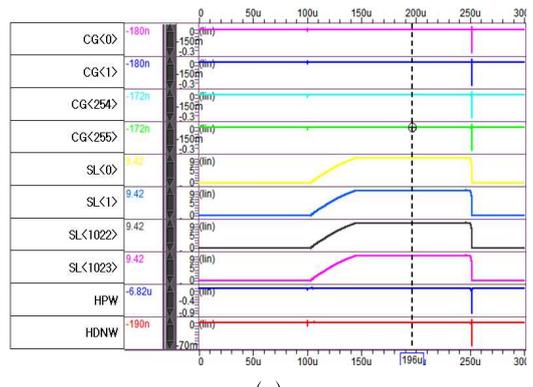
Fig. 13. Simulation results in the test time reduction modes: (a) all erase mode, (b) all program mode, (c) even page program mode, and (d) odd page program mode.



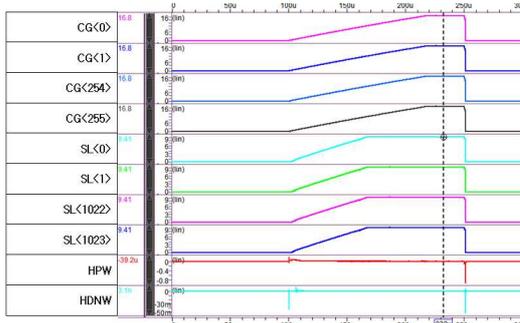
(b)



(c)



(a)



(b)

그림 14. Cell disturb test 모드인 SL disturb 모드와 CG disturb 모드에서의 모의실험 결과

Fig. 14. Simulation results in the cell disturb test modes: (a) SL disturb mode and (b) CG disturb mode.

그림 15는 EVR 모드에서 지워진 EEPROM 셀을 연속적으로 2번 읽는 모의실험 결과를 보여 주고 있으며, VDD=1.35V, slow NMOS와 slow PMOS 모델 파라미터, Temp.=85°C에서 진행 되었다. 첫 번째 EVR cycle이 끝날 때 선택된 CG[0]의 disable time을 두 번째 EVR cycle의 DL\_PCGb의 활성화 시간보다 빠르게 가져가므로 40ns의 EVR cycle time을 만족시켰다.

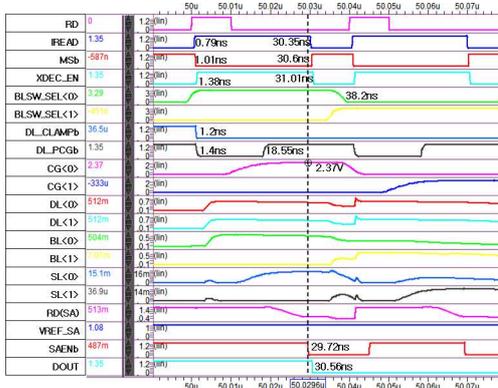


그림 15. EVR 모드에서의 모의실험 결과.

Fig. 15. Simulation result in the erase-verify-read mode.

#### 4. 결론

실시간 정보 갱신, 보안 데이터 저장, 명령코드 저장 등의 기능을 하는 MCU용 비휘발성 메모리는 EEPROM IP가 주로 사용되고 있으며, 대부분 1Mb 이하의 메모리 용량이 사용되고 있다. 그리고 배터리 응용에 사용되는 EEPROM IP는 배터리의 수명을 증가시키기 위해 저전력 소모가 요구되며, 저전력 소모를 만족시키는 방법은 공급전압을 낮추는 것이다.

1.8V 배터리 응용에서 0.13 $\mu$ m EEPROM 공정을 이용하여 256Kb EEPROM IP를 설계하는 경우 로직소자에 사용되는 전압이 1.5V이며, 파워-업 순서를 고려하지 않아도 되는 1.5V 단일파워를 사용하는 것이 회로설계를 간단하게 할 수 있다.

본 논문에서는 1.5V 단일전원의 대용량 EEPROM IP를 설계하기 위해 펌핑 효율도 작고 5V MOS 소자의 breakdown에 문제가 없는 cross-coupled 전하펌프 회로를 새롭게 제안하였다. 제안된 전하펌프 회로는 erase와 program 모드에서 빠져나올 때 body-potential 바이어싱 회로를 사용하는 cross-coupled 전하펌프회로의 출력 노드를 VDD로 프리차징시키는 동시에 펌핑 노드들을 각 펌핑 단의 입력전압으로 프리차징하므로 대기 모드로 진입하면서 5V cross-coupled PMOS 트랜지스터에 걸리는 전압을 3.26V로 제한하므로 5V PMOS 소자의 breakdown 문제를 해결하였다. 그리고 256Kb를 erase하거나 program하는 시간을 줄이기 위해 all erase, even program, odd program과 all program 모드를 지원하였다. Test time reduction 모드를 이용하여 solid '1'과 CKBD 데이터 패턴으로 write하기 위해 필요한 테스트 시간은 각각 5ms와 7.5ms이다. 또한 cell disturb 테스트 시간을 줄이기 위해 셀 disturb 테스트 모드를 이용하여 256Kb EEPROM 셀의 disturb를 한꺼번에 주는 셀 바이어스 조건으로 바이어싱하도록 하므로 disturb 테스트 시간을 줄였다. 한편 erase-verify-read 모드에서 25MHz의 cycle time을 만족시키기 위해 CG disable 시간이 빠른 CG 구동회로를 새롭게 제안하였다.

0.13 $\mu\text{m}$  EEPROM 공정을 기반으로 설계된 256Kb EEPROM IP의 레이아웃 면적은 1025.015  $\mu\text{m} \times 781.865\mu\text{m}$  (=0.8014 $\text{mm}^2$ )이다.

## REFERENCES

- [1] S. Kawai, A. Hosogane, S. Kuge, T. Abe, K. Hashimoto, T. Oishi, N. Tsuji, and K. Sakakibara, "An 8kB EEPROM-Emulation Data FLASH Module for Automotive MCU," IEEE International Solid-State Circuits Conference, pp. 508-509, 2008.
- [2] G. S. Cho, D. H. Kim, J. H. Jang, J. H. Lee, P. B. Ha, and Y. H. Kim, "Design of a Small-Area, Low-Power, and High-Speed 128-KBit EEPROM IP for Touch-Screen Controllers," Journal of the Korean Institute of Maritime Information and Communication Sciences, vol. 13, no. 12, pp. 2633-2640, 2009.
- [3] M. Hatanaka, H. Hidaka, and G. Palumbo, "Value Creation in SOC/MCU Applications by Embedded Non-Volatile Memory Evolutions", Asian Solid-State Circuits Conference, pp. 38-42, Nov. 2007.
- [4] Y. H. Kim, H. Park, M. H. Park, P. B. Ha, and Y. H. Kim, "Design of a Fast 256Kb EEPROM for MCU", JKIIICE, vol. 19, no. 3, pp. 567-574, March 2015.
- [5] A. Conte, G. L. Giudice, and G. Palumbo, "A High-Performance very Low-Voltage Current Sense Amplifier for Nonvolatile Memories," IEEE Journal of Solid-State Circuits, vol. 40, no. 2, pp. 507-514, Feb. 2005.
- [6] J. F. Dickson, "On-Chip High-Voltage Generation in NMOS Integrated Circuits Using an Improved Voltage Multiplier Technique," IEEE Journal of Solid-State Circuits, vol. 11, pp. 374-378, June 1976.
- [7] S. I. Cho, J. S. Heo, K. S. Min, and Y. H. Kim., "A Boosted Voltage Generator for Low-Voltage DRAMs," Current Applied Physics, volume 3, issue 6, pp. 501-505, Dec. 2003.
- [8] H. Park, R. J. Jin, Y. J. Kang, M. H. Kim, P. B. Ha, and Y. H. Kim, "Design of 512Kb EEPROM IP Using Dual Program Voltage," Proceedings of ICIECT, pp. 176-183, July 2017.
- [9] Y. H. Kim, J. K. Nam, S. H. Lee, H. J. Park, J. S. Choi, C. S. Park, S. H. Ahn, and J. Y. Chung, "Two-Phase Boosted Voltage Generator for Low-Voltage Giga-bit DRAMs," IEICE Transactions on Electron., vol. E83-C, pp. 266-269, Feb. 2000.
- [10] P. Favrat, "A High-Efficiency CMOS Voltage Doubler," IEEE JSSC, vol. 33, pp. 410-416, Mar. 1998.
- [11] H. Park, R. J. Jin, P. B. Ha, and Y. H. Kim, "Design of a Cell Verification Module for Large-Density Memories," KIIECT, vol. 10, no. 2, pp. 176-183, April 2017.
- [12] R. J. Jin, H. Park, P. B. Ha, and Y. H. Kim, "Design of High-Speed EEPROM IP Based on a BCD Process," KIIECT, vol. 10, no. 5, pp. 455-461, Oct. 2017.

---

저자약력

---

김 영 희(Young-Hee Kim)

[중신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야>

메모리 IP 설계, SoC 설계

김 일 준(RiJun Jin)

[정회원]



- 2002년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2004년 6월 : 연변대학교 전자정보통신학과 (공학석사)
- 2014년 9월 ~ 현재 : 창원대학교 전자공학과 박사과정

<관심분야>

NVM IP 설계

하 판 봉(Pan-Bong Ha)

[중신회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야>

임베디드 시스템, SoC 설계