

SCR, MVSCR, LVTSCR의 Turn-on time 및 전기적 특성에 관한 연구

Analysis of SCR, MVSCR, LVTSCR With I-V Characteristic and Turn-On-Time

이 주 영*★

Joo-Young Lee*★

Abstract

In this paper, we analysed the properties of the conventional ESD protection devices such as SCR, MVSCR, LVTSCR. The electrical characteristics and the turn-on time properties are simulated by Synopsys T-CAD simulator. As the results, the devices have the holding voltages between 2V and 3V, and the trigger voltage of about 20V with SCR, of about 12V with MVSCR, of about 9V with LVTSCR. The results of the simulation for the turn-on time properties are 2.8ns of SCR, 2.2ns of MVSCR, 2.0ns of LVTSCR. Thus, we prove that LVTSCR has the shortest turn-on time. However, the second breakdown currents(I_{t2}) of the devices are 7.7A of SCR, 5.5A of MVSCR, 4A of LVTSCR. This different properties have to be adapted by the operation voltages for I/O Clamps.

요 약

본 논문에서는 기존 ESD 보호소자인 SCR과 MVSCR, LVTSCR의 Turn-on-Time 및 전기적 특성을 시뮬레이션사의 T-Cad 시뮬레이션을 통하여 분석하였다. 분석결과 세 소자 모두 대략 2V 에서 3V 내외의 홀딩전압 특성을 보였으며, SCR은 약 20V의, MVSCR은 약 12V, LVTSCR은 9V로 순차적으로 개선된 트리거 특성을 보였다. 턴-온 타임 시뮬레이션 결과는 SCR이 2.8ns, MVSCR과 LVTSCR은 각각 2.2ns, 2.0ns로 LVTSCR이 가장 짧은 턴-온 특성을 보였다. 반면 I_{t2} 는 SCR이 약 7.7A, MVSCR은 5.5A LVTSCR은 4A의 특성을 보였으므로 I/O 및 파워 클램프 단에 적용 시 동작전압에 따른 최적화된 소자를 선택해야 한다.

Key words : ESD, ESD Protection, SCR, Latch-up, MVSCR, LVTSCR

* Dept. of Electronics Engineering, Seokyeong University

★ jylee@skuniv.ac.kr, 02-940-7735

Manuscript received Sep. 20, 2016; revised Sep. 28, 2016 ; accepted Sep. 29, 2016

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

전자부품 및 전자제품들의 생산과정이나 사용 중 충전된 정전하가 순간적으로 방전되어 집적회로 내부의 소자를 파괴하는 현상을 ESD(Electro-Static Discharge)라고 한다.[1] ESD 현상은 알려진 이후부터 최근까지 집적회로 설계에 있어 매우 중요한 고려 대상이 되고 있다. 특히 반도체 공학 및 공정기술의 발전에 따라 집적회로 기술이 Sub-Micron 급에서 Deep-Submicron급으로 급속하게 발전하면서, 소자의 크기 및 Oxide

의 두께의 감소를 야기하였고, LDD(Low Doped Drain), Silicide, Shallow Junction, threshold adjust 등의 CMOS 기술이 발전함에 따라 소자의 성능 향상에 큰 기여를 했지만, ESD 현상에 의한 소자 파괴 현상은 더욱 심각해졌다.[2] 이에 대한 연구는 매우 중요한 해결과제로 인식되고 있다. 일반적인 ESD 보호 소자인 SCR은 2개의 기생 바이폴라의 Latch동작으로 인하여 높은 전류 구동능력을 갖지만 웰 간의 항복전압으로 정의되는 약 20V라는 높은 트리거 전압을 갖기에 실제 IC에는 어려움이 따른다. 따라서 SCR의 트리거 전압을 낮추는 구조적 개선에 관한 연구가 많이 진행 되어 왔으며, LVTSCR(Low Voltage Trigger SCR)이나 MVSCR(Middle trigger Voltage SCR) 등이 제안되었다. [2]-[3]

본 논문에서는 시뮬시스사의 TCAD 시뮬레이션을 통하여, 일반적인 SCR과 SCR의 트리거 특성을 개선하기 위해 제안된 소자인 MVSCR과 LVTSCR을 서로 비교하였으며, 그 전기적 특성을 분석하였다.

II. 본론

1. 분석한 ESD 보호소자의 구조

SCR은 그림 1.에서 보는 바와 같이 Lateral NPN와 Lateral PNP 트랜지스터가 연결된 구조로 되어 있으며, 소자의 동작원리는 다음과 같다. ESD 펄스가 애노드에 인가되면, N-well의 Potential이 상승한다. N-well의 potential이 breakdown 임계 전계까지 상승하면, Avalanche breakdown이 발생하게 되며, N-well로부터 P-well로 정공 전류와 P-well로부터 N-well로의 전자전류가 형성된다.[4] 정공 전류는 P+ 캐소드로 흐르게 되면서 Lateral PNP동작을 한다. Lateral PNP의 컬렉터 전류가 P-well의 Potential을 상승시켜 N+ 캐소드와의 접합 내부 전압 보다 높아지게 되면 Lateral NPN이 동작하게 된다. Lateral NPN의 동작으로 N+캐소드로부터 유입된 전자 전류는 PNP의 베이스 전류를 형성하고 PNP의 컬렉터 전류를 증가시킨다. 증가된 PNP의 컬렉터 전류는 NPN의 베이스 전류로 다시 작용하여 NPN의

컬렉터 전류를 증가시킨다. SCR은 앞서 설명한 동작원리에서 알 수 있듯이 N-well 과 P-well 사이의 Avalanche breakdown이 발생하는 지점에서 트리거 전압이 잡히기 때문에 높은 트리거 전압을 가지고 있어 접합부 항복이나 산화막 파괴로부터 내부회로를 보호할 수 없다.[5] 따라서 이러한 점을 개선하기 위하여 트리거 전압을 낮추기 위한 구조로는 MVSCR이 있다.

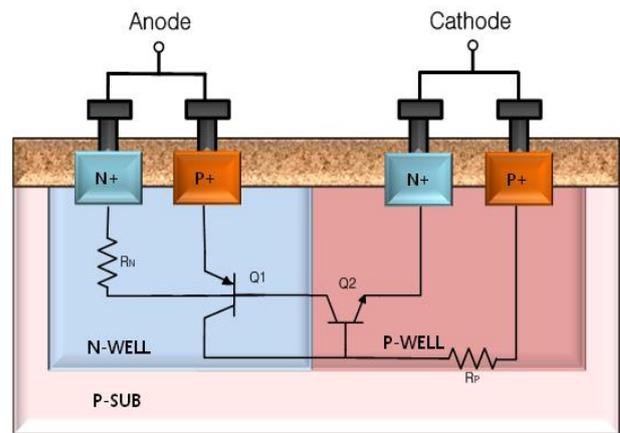


Fig. 1. Cross Sectional View of Conventional SCR
그림 1. 일반적인 SCR의 단면도

MVSCR은 N+ 영역을 P-well과 N-well 사이에 브릿지 영역을 형성한 구조를 갖고 있어, 보다 낮은 전압에서 어벌런치 항복이 발생하며, 일반적인 SCR보다 낮은 트리거 전압을 갖도록 하였다. 이의 구조를 그림. 2에 나타내었다.

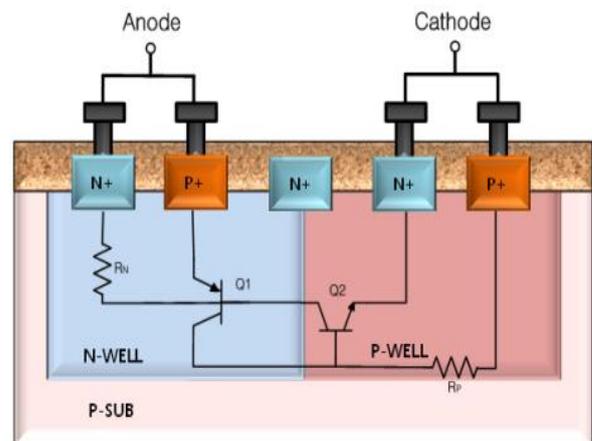


Fig. 2. Cross Sectional View of MVSCR
그림 2. MVSCR의 단면도

이보다 발전된 방식이 LVTSCR인데, 이는 GGNMOS 구조를 SCR에 삽입 한 구조로 그림 3 .에 나타내었다. 이 구조는 lateral npn의 base width를 channel 폭으로 최소화함으로써, 전류이득을 높혀 더욱 낮은 트리거 전압을 가질 수 있게 한다.

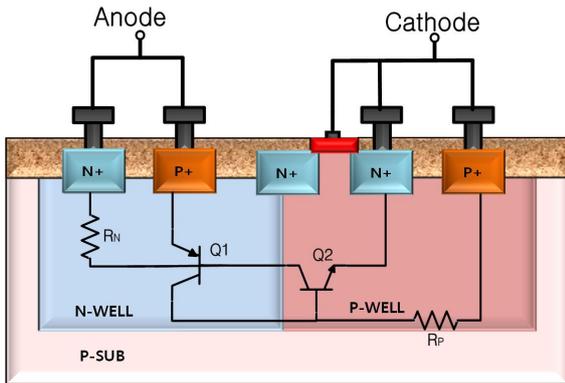


Fig. 3. Cross Sectional View of LVTSCR
 그림 3. LVTSCR의 단면도

2. 시뮬레이션 결과

본 연구에서는 시놉시스사의 TCAD 시뮬레이터를 이용하여 제안된 소자의 전기적 특성과 ESD 보호 성능을 분석하여 IV 특성곡선을 구현하여 그림 4에 나타내었고 그에 따른 홀딩 및 트리거 전압의 수치를 표 1에 정리하여 표시하였다.

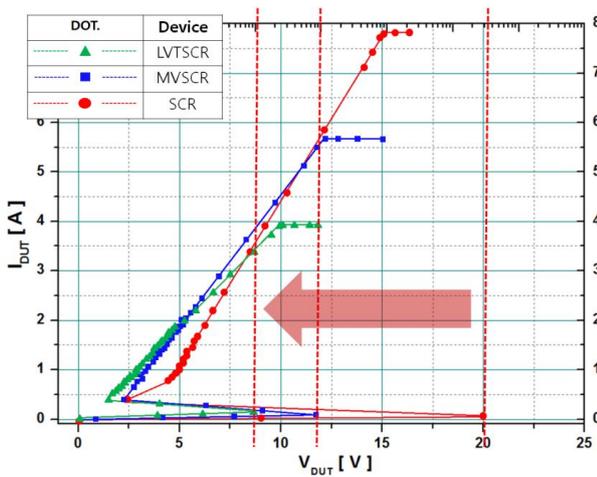


Fig. 4. IV Characteristic Simulation Result
 그림 4. IV 특성 시뮬레이션 결과

Table 1. IV Characteristic Simulation Result

표 1. IV 특성 시뮬레이션 결과

Structure	Trigger Voltage(Vt1)	2nd Trigger Current(It2)
SCR	20V	7.7A
MVSCR	12V	5.5A
LVTSCR	9V	4A

시뮬레이션 결과에 따르면 트리거 전압은 SCR이 20V, MVSCR이 12V, LVTSCR이 9V의 특성을 보였다. 이는 위에 상술했던 에벌런치 항복이 발생하는 지점의 도핑농도에 따른 차이와 게이트영역으로 PNP 기생 바이폴라 트랜지스터의 베이스영역을 최소화한 결과로 예상된다. 이에 따라 LVTSCR이 내부 회로의 접합부 항복이나 산화막 항복으로부터 가장 뛰어난 보호 효과를 가진다는 것을 알 수 있다. 반면 2차 트리거전류 특성은 SCR이 7.7A MVSCR이 5.5A, LVTSCR이 4A의 특성을 보였다. 2차 트리거 전류는 ESD 보호소자가 파괴되는 시점에서의 전류와 전압을 의미하며, ESD 보호소자의 감내특성의 지표이다. 이와 같은 결과는 N+ 브릿지 영역의 삽입으로 ESD 전류의 방전경로가 일반적인 SCR은 실리콘 내부에서 형성되는 반면 MVSCR 및 LVTSCR은 표면으로 형성되기 때문이다. 또한 LVTSCR은 게이트 형성으로 인한 얇은 옥사이드 영역으로 인하여 ESD 보호소자의 감내특성이 더욱 감소하는 것을 확인 할 수 있다.

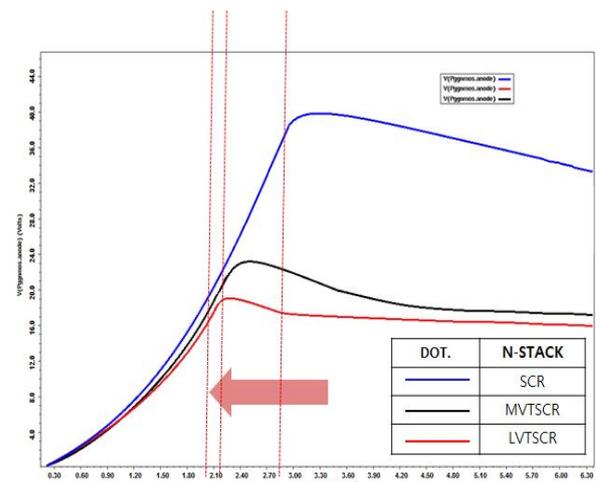


Fig. 5. Turn-On-Time Simulation Result
 그림 5. 턴-온-타임 시뮬레이션 결과

Table 2. Turn-On-Time Simulation Result

표 2. 턴-온 타임 시뮬레이션 결과

Structure	Turn-on-time
SCR	2.8ns
MVSCR	2.2ns
LVTSCR	2.0ns

이와 같은 트리거 전압의 감소는 턴-온 타임과 큰 관련이 있다. MVSCR은 브릿지 영역의 삽입을 통한 에벌런치 항복 전압의 감소로 인하여 입력 펄스의 상승에 대해 일반적인 SCR과 비교하여 빠르게 턴-온 되는 특성을 보이며, LVTSCR은 기생 바이폴라 트랜지스터의 베이스 폭을 게이트 길이로 최소화시킴으로 더욱 빠른 턴-온 특성을 보인다. 이와 같은 소자별 턴-온 타임을 알아보기 위하여 턴-온 타임 시뮬레이션을 실시하였고, 그 결과를 그림 5 및 표 2에 정리하여 나타내었다. 시뮬레이션 결과 SCR이 2.8ns, MVSCR이 2.2ns, LVTSCR이 2.0ns로 나타났으며 LVTSCR이 가장 빠른 턴-온 타임 특성을 나타내었다.

III 결론

본 논문에서는 SCR 기반 ESD 보호 소자인 SCR, MVSCR, LVTSCR을 T-CAD 시뮬레이션을 통하여 설계하고 그 전기적 특성을 비교 및 분석하였다. 시뮬레이션 결과 LVTSCR이 가장 빠른 턴-온 타임과 가장 낮은 트리거 전압을 가지므로 내부회로를 집합부 항복이나 산화막 파괴로부터 가장 우수한 보호성능을 가지지만, 구조적인 특징으로 브릿지 영역을 포함하여 방전경로를 표면에서 형성하고, 게이트 영역의 추가로 인하여 얇은 산화막 영역이 형성됨에 따라 감내특성이 감소하여 가장 낮은 2차 트리거 전류를 갖음을 확인할 수 있었다. 따라서 ESD 보호회로를 적용할 시 동작전압에 따른 최적화된 소자를 선택하여 설계해야 한다.

References

- [1] Hyun-Young Kim, "A Study on the Electrical Characteristic of SCR-based Dual-Directional ESD Protection Circuit According to Change of Design Parameters," *j.inst.Korean.electr.electron.eng*, Vol.19, No2, 265~270, June 2015
- [2] Jin-Woo Jung, "Analysis of The Dual-Emitter LIGBT with Low Forward Voltage Loss and High Latch-up Characteristics" *j.inst.Korean.electr.electron.eng*, Vol.15, No2, 164~170, June 2011
- [3] Amerasekera A., Duvvury Charvaka "ESD in Silicon Integrated Circuits," New York:John Wiley and Sons, 2002
- [4] O. Semenov, H. Sarbishaei, M, Sachdev, "ESD Protection Device and Circuit Design for Advanced CMOS Technologies," Springer, 2008
- [5] R.G Wagner, J. Soden and C.F. Hawkins "Extend and Cost of EOS/ESD Damage in an IC Manufacturing Process," in *Proc. of the 15th EOS/ESD Symp*, 49~55, 1993