

고속 저전력 결정-피드백 이퀄라이저 기술 동향

High Speed Low Power Decision-Feedback Equalizer Techniques

민 옹 기 *, 공 배 선*

Woong-Ki Min*, Bai-Sun Kong*

Abstract

Inter-symbol interference (ISI) due to channel bandwidth limitation constrains the maximum data rate in high speed I/O. Decision feedback equalizer (DFE) is known as the most popular technique for removing ISI. To ensure fast data transmission, not only removing ISI but also raising maximum operating frequency of the circuit itself by relaxing feedback delay margin is important. For single-ended signaling, DFE should cancel out both ISI and high frequency noises. Low-power operation is as important as fast operation because required DFE elements increase as the data rate goes up. This paper surveys recent techniques for fast DFE by removing ISI and high frequency noises, and low power DFE and discusses about their merits and limitations.

요 약

고속 인터페이스에서 채널 대역폭에 의해 생기는 ISI는 최대 데이터 전송속도를 제한한다. ISI를 제거하는 가장 보편적인 기술로 DFE가 있다. 빠른 데이터 송수신을 위해서는 DFE가 효과적으로 ISI를 제거하는 것도 중요하지만 피드백 지연 등을 완화시켜 회로 자체의 최대 동작 주파수도 증가시켜야 한다. 또한, 싱글 엔디드 시그널링에서는 DFE가 ISI뿐만이 아닌 고주파 잡음도 효과적으로 제거하여야 한다. 한편, 데이터 전송 속도가 올라감에 따라 늘어나는 ISI 및 고주파 잡음을 제거하기 위한 DFE 구성품의 수가 증가한다. 이는 곧 추가의 전력소모를 야기하므로 고속 동작뿐만 아니라 저전력 동작도 주목할 필요가 있다. 본 논문에서는 ISI와 고주파 잡음을 효과적으로 제거하는 고속 DFE 및 저전력으로 동작하는 DFE의 동작 방식과 이들이 갖고 있는 장단점을 소개한다.

Key words : DRAM memory channel, Decision Feedback Equalizer(DFE), single-ended signaling, crosstalk, low power,

* College of Information and Communication Engineering, Sungkyunkwan University

★ Corresponding author: bskong@skku.edu

Manuscript received Sep. 6, 2016; revised Sep. 24, 2016; accepted Sep 27, 2016

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial

License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

최근 DRAM을 메인 메모리로 사용하는 컴퓨터 시스템의 성능이 향상됨에 따라 메모리 대역폭을 증가시키기 위한 고속 데이터 인터페이스를 요구한다[1]. 또한 메모리의 용량을 늘이기 위해 더 적은 개수의 핀을 사용하는 싱글 엔디드 시그널링 방식을 사용한다. 싱글 엔디드 시그널링에서는 ISI뿐만 아니라 공통모드 잡음도 최대 데이터 전송 속도를 제한한다. 채널의 대역폭 제한에 의

해 생기는 ISI는 리시버 입력에서 신호의 아이 오프닝을 감소시킨다. ISI를 제거하는 가장 보편적으로 사용하는 기술로는 DFE가 있다 [2]. DFE는 신호의 잡음을 증폭 없이 효과적으로 제거시켜주는 장점이 있지만 피드백 지연에 의해 최대 동작 주파수가 제한되는 단점이 있다. 인접 채널로부터 생기는 고주파 잡음인 크로스톡 및 데이터 채널과 기준전압 채널의 로드 차이로 인한 공통모드 잡음 역시 신호의 송수신을 방해한다. 고속 인터페이스를 위해서는 위와 같은 방해 요소들을 해결하는 DFE 기술이 필요하다. 한편, ISI 및 고주파 잡음이 심할수록 필요한 DFE 구성품이 증가하고 이는 추가의 전력과 면적을 야기한다. 수 Gb/s의 데이터 속도를 요구하는 최근 인터페이스에서는 DFE의 저전력 기술 역시 강조되고 있다. 따라서 앞에서 언급한 문제를 해결하기 위한 대표적인 기술들과 기술들의 장단점을 본문에서 소개하도록 한다.

II. 본론

1. 고속 결정-피드백 이퀄라이저

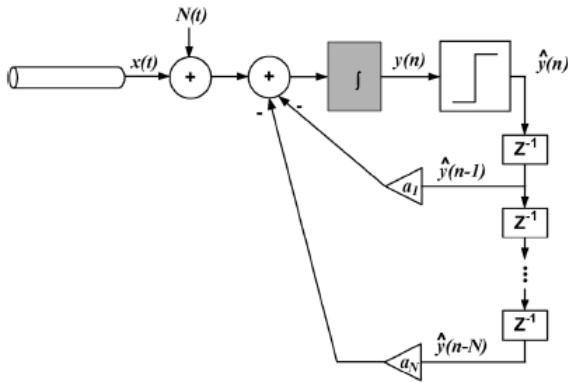


Fig. 1. Current integrating DFE(IDFE)
그림 1. 전류 적분 결정 피드백 이퀄라이저

가. 전류 적분 DFE

디프런셜 시그널링의 경우 두 신호 간 차이를 입력 데이터로 인지했기 때문에 공통 모드 잡음을 무시해도 됐지만 싱글 엔디드 시그널링의 경우, 입력 데이터와 기준전압에 커플링 되는 잡음이 같지 않기 때문에 데이터 샘플링 시 에러를 유발할 수 있다. 그림 1의 IDFE의 경우 데이터를 한 주기 동안 적분한 값을 샘플링 함으로써 고주

파 잡음에 의한 영향을 상쇄시킬 수 있다 [3]. 반면, 입력 데이터 패턴에 따른 고주파 및 저주파 신호의 적분 값이 다르기 때문에 추가적인 loss가 발생하는 단점이 있다 [4].

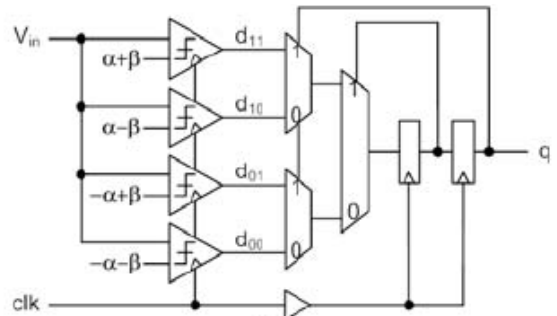


Fig. 2. 2-tap look ahead DFE
그림 2. 2개의 탭을 이용한 예측 DFE

나. 데이터 예측 DFE

DFE 회로의 최대 동작 주파수를 결정짓는 요인 중 하나는 피드백 지연 시간이다. DFE는 이전 데이터의 피드백을 통해 동작을 이행하기에, 1UI 이내에 피드백이 이뤄지지 않는다면 동작이 불가능하다. 이는 이전 데이터를 피드백 받기 전에 미리 모든 경우에 대한 결과 값을 만들어 놓고 그 중에서 하나를 차후의 피드백 데이터를 통해 선택하는 예측 방식을 통해 완화할 수 있다 [5]. 그림 2는 2개의 데이터를 예측하는 DFE로서 4배 더 긴 피드백 타이밍 마진을 확보하는 반면, 필요한 회로가 4배로 늘어 면적과 전력소모가 증가하는 단점이 있다.

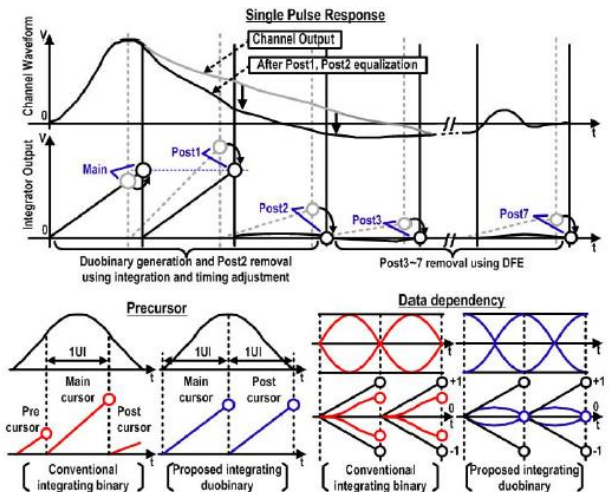


Fig. 3. Concept of integrating duobinary based DFE
그림 3. 적분 듀오 바이너리 기반 DFE의 개념

다. 듀오 바이너리 DFE

듀오 바이너리 DFE는 그림 3와 같이 첫 번째 포스트 커서를 메인 커서와 같게 만들어 하나의 데이터로 사용하는 기술이다. 따라서 모든 포스트 커서들을 제거하던 기존 DFE와 달리 첫 번째 포스트 커서를 제거할 필요가 없고 그에 따라 피드백 마진도 늘어난다. 결과적으로 입력 데이터에 따라 총 3개(+1, 0, -1)의 레벨을 가진 데이터가 얻어진다. 듀오 바이너리 DFE는 기본적으로 IDFE를 바탕으로 데이터를 인코딩하기 때문에 고주파 잡음을 제거할 수 있다. 또한, 프리 커서가 항상 메인 커서 구간에 포함되기 때문에 제거해줄 필요가 없다 [6].

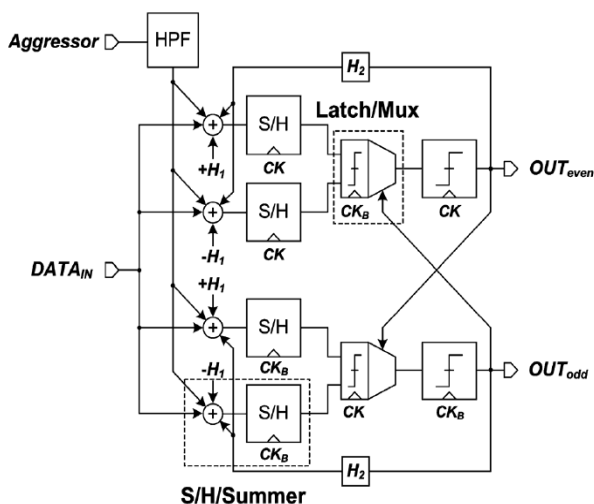


Fig. 4. Half-rate look ahead DFE with crosstalk cancellation

그림 4. 크로스톡 제거 가능한 half-rate 예측 DFE

라. ISI 및 크로스톡을 제거하는 DFE

DFE의 좀 더 향상된 성능을 얻기 위해서는 채널 대역폭 제한에 의해 생기는 ISI와 인접 채널에 의해 발생하는 고주파 잡음인 크로스톡을 제거하는 방법을 사용할 수 있다. 그림 4는 데이터 예측 DFE에 인접 채널의 입력 데이터를 이용하여 크로스톡 영향까지 제거한 회로의 블록 다이어그램을 나타내고 있다 [7]. 크로스톡은 인접한 채널의 데이터가 변할 때 발생하기 때문에 고역 통과 필터를 통해 인접 채널 데이터의 고주파 성분만을 사용함으로써 크로스톡에 의한 영향을 제거한다.

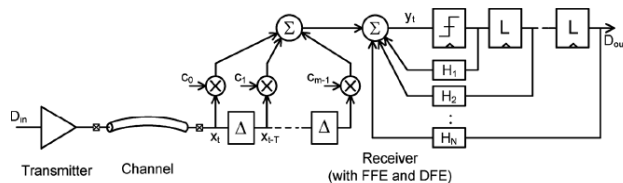


Fig. 5 FFE and DFE on RX

그림 5 수신단의 FFE와 DFE

마. 수신단의 피드포워드 이퀄라이저(FFE)와 DFE

DFE는 결정된 신호의 피드백을 통해 포스트 커서를 제거할 수 있는 반면, 프리 커서는 제거할 수가 없다. 보편적으로 프리 커서를 제거하기 위해 송신단 쪽에 FFE와 수신단의 DFE를 동시에 사용하여 프리 커서 및 포스트 커서를 제거한다. 그림 5 [8]는 FFE와 DFE를 수신단에 포함하여 수신단 자체에서 모든 ISI를 제거할 수 있다. 하지만 채널을 통과한 아날로그 신호를 정확히 1UI만큼 딜레이 시키기 어려운 단점이 있다.

2. 저전력 결정-피드백 이퀄라이저

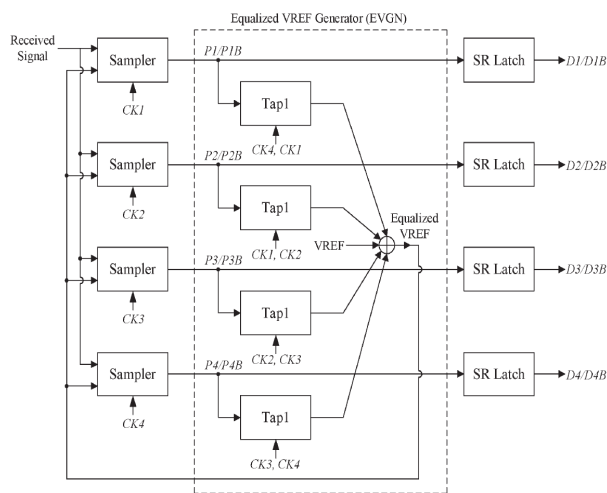


Fig. 6. Reference equalized DFE

그림 6. 기준 전압 이퀄라이즈 DFE

가. 기준전압 이퀄라이즈 DFE

데이터 속도가 빨라짐에 DFE 구조 역시 고주파 동작이 가능하여야 하고 또한 높은 데이터 속도에 비례하는 클락을 생성하는 고성능의 PLL이 필요하다. 이러한 문제들을 해결하기 위해 time interleaved 구조를 보편적으로 사용한다. 하지만 DFE 구조에 time interleaved 방식을 적용할 경우 필요한 탭 및 DFE 요소들이 배로 증가하기

때문에 소모되는 전력 및 면적이 기하급수적으로 늘게 된다 [9]. 따라서 time interleaved 구조의 장점을 취하면서 전력 및 면적의 부담이 크지 않은 테크닉이 필요하다.

그림 6은 기준전압을 이퀄라이징 한 기술로서 DFE 요소들을 데이터 쪽이 아닌 공통으로 사용하는 기준전압으로 옮김으로서 필요한 DFE 구성 요소들을 크게 줄인 회로이다 [10]. 필요한 DFE 구성 요소들이 그림 6과 같이 quarter-rate의 경우 총 $\frac{1}{4}$ 로 줄기 때문에 전력 및 면적을 줄이기 용이하다.

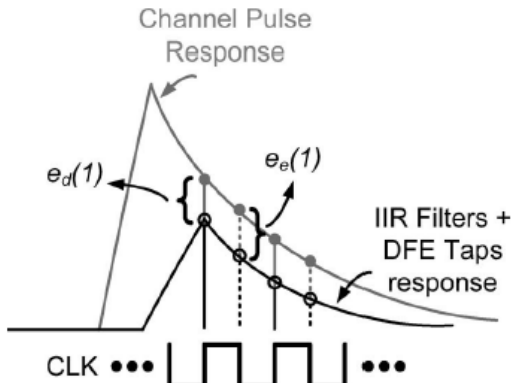


Fig. 7. Infinite impulse response(IIR) DFE
그림 7. 무한 임펄스 응답 DFE

나. 무한 임펄스 응답 DFE

기존의 DFE는 포스트 커서를 모두 제거하기 위해서는 그 개수만큼의 탭이 필요하다. 추가의 탭은 곧 추가의 면적과 전력소모를 야기하므로 데이터 전송속도가 높아짐에 따라 면적과 전력의 부담이 커진다. IIR-DFE는 하나의 탭으로 여러 개의 포스트 커서를 제거하는 기술을 제안한다 [11],[12].

그림 7을 보면 디지털 값이 아닌 IIR 필터를 통해 ISI와 비슷한 아날로그 데이터를 피드백 받음으로서 하나의 탭으로 포스트 커서들을 제거할 수 있다. 그로 인해 필요한 탭의 수가 많이 줄어 면적과 전력 부담이 낮아진다. 반면, IIR 필터를 이용하여 ISI와 동일한 피드백 데이터를 만들기 힘들다는 단점이 있다.

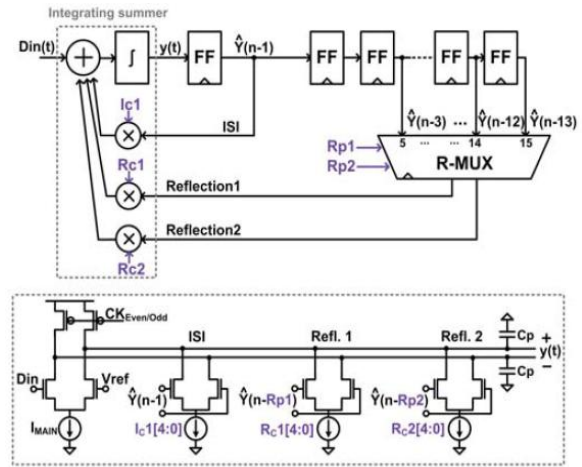


Fig. 8. 3-tap Integrating DFE
그림 8. 3개의 탭을 사용한 전류 적분 DFE

다. 높은 종단저항을 이용한 DFE

전력을 줄이는 방법으로는 입력 데이터의 스윙을 줄이는 방법이 있다. 채널의 반사파를 제거하기 위해 연결하는 특성 임피던스 Z_0 와 같은 크기의 종단저항을 $4 \times Z_0$ 로 키움으로서 입력 데이터의 스윙을 의도적으로 줄여 소모 전력을 줄일 수 있다. 하지만 그로 인해 생기는 반사파는 그림 8과 같이 DFE를 이용하여 제거할 수 있다 [13]. 첫 번째 탭 I_c 는 기존의 포스트 커서를 제거하고 R_{c1} , 2 탭은 반사파를 제거한다. 채널의 길이나 데이터 전송속도에 따라 반사파가 뜨는데 까지 걸리는 UI가 다르기 때문에 R-MUX를 이용하여 몇 클럭 이후의 데이터를 피드백 받을지 정해준다.

III. 결론

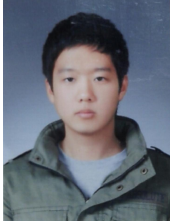
본 논문은 고속 저전력 DFE 기술을 소개하였다. DFE는 채널 대역폭 제한에 의한 ISI 및 싱글 엔디드 시그널링에서 문제가 되는 공통 모드 잡음이 최대 데이터 전송 속도를 제한한다. 고속 DFE 동작을 위해 먼저, 기준전압 및 데이터의 고주파 잡음을 제거하는 전류 적분 DFE, 데이터 예측을 통해 피드백 타이밍 마진을 1UI 이상으로 늘려 최대 동작 주파수를 올리는 DFE, 첫 번째 포스트 커서를 제거하지 않고 데이터로 사용하며 데이터를 +1, 0, -1의 세 레벨로 나누어 수신하는

듀오 바이너리 DFE, ISI와 크로스톡을 동시에 제거하는 DFE, 그리고 FFE와 DFE를 수신단에서 같이 사용하여 프리, 포스트 커서를 모두 제거하는 DFE 기술들을 알아보았다. 또한, 저전력 DFE를 위한 기술로는 time interleaved 구조에서 발생하는 추가의 전력 및 면적 문제를 해결하는 기준전압 이퀄라이저 DFE, IIR 필터를 이용한 DFE, 높은 종단저항을 사용하여 데이터 스윙을 줄이고 그로 인해 생기는 반사파를 제거하는 DFE 기술을 알아보았다.

References

- [1] J. H. Lee, "Low-Cost CRC Scheme by Using DBI(Data Bus Inversion) for High Speed Semiconductor Memory," *j.inst.Korean.electr.electron.eng*, vol.14, no.2, pp. 33-40, Mar. 2010.
- [2] H. -J. Chi, J. -S. Lee, S. -H. Jeon, S. -J. Bae, Y. -S. Sohn, J. -Y. Sim, and H. -J. Park, "A Single-Loop SS-LMS Algorithm With Single-Ended Integrating DFE Receiver for Multi-Drop DRAM Interface," *IEEE J. Solid-State Circuits*, vol. 46, no. 9, pp. 2053-2063, Sep. 2011.
- [3] S. -J. Bae, H. -J. Chi, J. -S. Lee, J. -Y. Sim, and H. -J. Park, "A 2Gb/s CMOS Integrating Two-Tap DFE Receiver for Four-Drop Single Ended Signaling," *IEEE J. Solid-State Circuits*, vol. 56, no. 8, pp. 1645-1656, Aug. 2009.
- [4] T. O. Dickson, J. F. Bulzacchelli, and D. J. Friedman, "A 12Gb/s 11mW Half-Rate Sampled 5-Tap Decision Feedback Equalizer With Current-Integrating Summers in 45-nm SOI CMOS Technology," *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1298-1305, Apr. 2009.
- [5] K. Jung, A. Amirkhany, and K. Kaviani, "A 0.94mW/Gb/s 22Gb/s 2-Tap Partial -Response DFE Receiver in 40nm LP CMOS," *ISSCC Dig. Tech. Papers*, 2013.
- [6] H. -W. Lim, S. -W. Choi, S. -K. Lee, C. -H. Baek, J. -Y. Lee, G. -C. Hwang, B. -S. Kong, and Y. -H. Jun, "A 5.8Gb/s Adaptive Integrating Duobinary-Based DFE Receiver for Multi-Drop Memory Interface," *ISSCC Dig. Tech. Papers*, 2015.
- [7] M. H. Nazari, and A. E. Neyestanak, "A 15-Gb/s 0.5-mW/Gbps Two-Tap DFE Receiver With Far-End Crosstalk Cancellation," *IEEE J. Solid-State Circuits*, vol. 47, no. 10, pp. 2420-2432, Oct. 2012.
- [8] A. Agrawal, J. F. Bulzacchelli, T. O. Dickson, Y. Liu, J. A. Tierno, and D. J. Friedman, "A 19-Gb/s Serial Link Receiver With Both 4-Tap FFE and 5-Tap DFE Functions in 45-nm SOI CMOS," *IEEE J. Solid-State Circuits*, vol. 47, no. 12, pp. 3220-3231, Dec. 2012.
- [9] K. J. Wong, A. Rylyakov, and C. K. Yang, "A 5-mW 6-Gb/s Quarter-Rate Sampling Receiver With a 2-Tap DFE Using Soft Decisions," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 881-888, Apr. 2007.
- [10] W. H. Shin, Y. H. Jun, and B. S. Kong, "A DFE Receiver with Equalized VREF for Multidrop Single-Ended Signaling," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 60, no. 7, pp. 412-416, Jul. 2013.
- [11] S. Shahramian, H. Yasotharan, and A. C. Carusone, "Decision Feedback Equalizer Architectures With Multiple Continuous-Time Infinite Impulse Response Filters," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 59, no. 6, pp. 326-330, Jun. 2012.
- [12] S. Shahramian, and A. C. Carusone, "A 0.41pJ/Bit 10Gb/s Hybrid 2 IIR and 1 Discrete Time DFE Tap in 28nm LP CMOS," *IEEE J. Solid-State Circuits*, vol. 50, no. 7, pp. 1722-1735, Jul. 2015.
- [13] S. M. Lee, J. H. Kim, J. Kim, Y. Kim, H. Lee, J. Y. Sim, and H. J. Park, "A 27% Reduction in transceiver Power for Single Ended Point to Point DRAM Interface with the Termination Resistance of $4 \times Z_0$ at both TX and RX," *ISSCC Dig. Tech. Papers*, 2013.

BIOGRAPHY

Woong-Ki Min (Student Member)

2015: BS degree in
Semiconductor Systems
Engineering, Sungkyunkwan
University.

2015~Current: pursuing the
MS degree in the
Semiconductor Display Engineering,
Sungkyunkwan University

Bai-Sun Kong (Member)

1996: PhD degree in Electrical
Engineering, Korea Advanced
Institute of Science and
Technology.

Currently, Professor at
Sungkyunkwan University