

# 모터구동 회로 응용을 위한 대전력 전류 센싱 트렌치 게이트 MOSFET

## Current Sensing Trench Gate Power MOSFET for Motor Driver Applications

김 상 기\*, 박 훈 수\*\*★, 원 종 일\*, 구 진 근\*, 노 태 문\*, 양 일 석\*, 박 종 문\*  
Sang-Gi Kim\*, Hoon-Soo Park\*\*★, Jong-Il Won\*, Jin-Gun Koo\*, Tae-Moon Roh\*,  
Yil-Suk Yang\*, Jong-Moon Park\*

### Abstract

In this paper, low on-resistance and high-power trench gate MOSFET (Metal-Oxide-Silicon Field Effect Transistor) incorporating current sensing FET (Field Effect Transistor) is proposed and evaluated. The trench gate power MOSFET was fabricated with 0.6  $\mu\text{m}$  trench width and 3.0  $\mu\text{m}$  cell pitch. Compared with the main switching MOSFET, the on-chip current sensing FET has the same device structure and geometry. In order to improve cell density and device reliability, self-aligned trench etching and hydrogen annealing techniques were performed. Moreover, maintaining low threshold voltage and simultaneously improving gate oxide reliability, the stacked gate oxide structure combining thermal and CVD (chemical vapor deposition) oxides was adopted. The on-resistance and breakdown voltage of the high density trench gate device were evaluated 24 m $\Omega$  and 100 V, respectively. The measured current sensing ratio and its variation depending on the gate voltage were approximately 70:1 and less than 5.6 %.

### 요 약

본 논문은 전류 센싱 FET가 내장되어 있고 온-저항이 낮으며 고전류 구동이 가능한 트렌치 게이트 고 전력 MOSFET를 제안하고 전기적 특성을 분석하였다. 트렌치 게이트 전력 소자는 트렌치 폭 0.6  $\mu\text{m}$ , 셀 피치 3.0  $\mu\text{m}$ 로 제작하였으며 내장된 전류 센싱 FET는 주 전력 MOSFET와 같은 구조이다. 트렌치 게이트 MOSFET의 집적도와 신뢰성을 향상시키기 위하여 자체 정렬 트렌치 식각 기술과 수소 어닐링 기술을 적용하였다. 또한, 문턱전압을 낮게 유지하고 게이트 산화막의 신뢰성을 증가시키기 위하여 열 산화막과 CVD 산화막을 결합한 적층 게이트 산화막 구조를 적용하였다. 실험결과 고밀도 트렌치 게이트 소자의 온-저항은 24 m $\Omega$ , 항복 전압은 100 V로 측정되었다. 측정된 전류 센싱 비율은 약 70 정도이며 게이트 전압변화에 대한 전류 센싱 변화율은 약 5.6 % 이하로 나타났다.

*Key words* :Trench Gate MOSFET, Current Sensing FET, Trench Gate, Trench Etching, Power MOSFET

\* ICT materials & Convergence & Resaerch Lab. ETRI

\*\* Dept. of Green Energy Engineering, Uiduk University

★ Corresponding author

Email: hspark@uu.ac.kr, Tel: 054-760-16334144

※ Acknowledgement

This work was supported by ETRI R&D program (The title of research project: Development of SiC based trench type next generation power device, 16ZB1610) funded by the government of Korea.

Manuscript received Jun. 10, 2016; revised Sep. 22, 2016 ; accepted Sep. 28, 2016

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## I. 서론

최근 트렌치 게이트 MOSFET는 낮은 온-저항 특성을 장점으로 저 전력소모와 높은 에너지 변환 효율이 요구되는 DC-DC 변환기, 자동차 제어 장치 및 각종 전원장치 등의 고 전력 시스템에 광범위하게 응용되고 있는 반도체 전력소자이다 [1-2]. 특히, 전류 센싱 트렌치 게이트 MOSFET는 전력전자 회로에서 부가적인 저항 없이 부하 전류를 효과적으로 감지할 수 있는 전력반도체 소자이다. 부하 전류 센싱 기능은 모터 제어, 통신회로 및 전력 관리 회로 등 정밀한 closed-loop 제어가 요구되는 시스템에서 매우 중요한 요소이다. 정밀한 전류 감지 기능을 통하여 전력소자의 구동 전류뿐만 아니라 모터의 torque, DC-DC 변환기의 효율 및 진단 등의 중요한 순간적인 정보를 얻을 수 있다[3-4]. 위와 같이 전류 센싱 기능은 지능형 전력회로에서 제어 및 보호 회로에 필수적인 요소로 기존의 전류 센싱 방법은 전력소자의 구동 전류 경로에 분류 저항을 추가하여 전류를 감지하는 방법을 사용하였다. 부가적인 분류 저항에 의한 전류 센싱 방법은 추가 저항에서 발생하는 전력소모가 큰 단점이 있으나, 전류 센싱 FET가 내장된 트렌치 게이트 전력 MOSFET는 부가적인 분류 저항 없이 구현할 수 있어 저 전력소모와 부가적인 부품 없이 회로 구현이 가능한 장점이 있다[5].

본 연구에서는 100 V / 200 A 급 전류 센싱 FET가 내장된 고 집적도 트렌치 게이트 전력 MOSFET를 제안하고 전기적 특성을 분석하였다. 고 집적도를 실현하기 위하여 측벽 스페이서 (side-wall spacer)를 이용한 자체 정렬 트렌치 식각 기술을 적용 하였고, 트렌치 식각 과정에서 발생하는 트렌치 모서리 부분의 전계분포의 과밀화를 완화시켜 소자의 신뢰성을 증가시키기 위하여 수소 어닐링(hydrogen annealing) 공정을 진행하여 트렌치 모서리 부분을 라운딩(rounding)하였다. 실험 결과 온-저항 및 누설 전류 특성이 양호하였으며, 전류 센싱 비율은 약 70으로 측정되었다.

## II. 소자 구조 및 제작

대 전류 트렌치 게이트 MOSFET를 제작하기 위하여 고 농도로 도핑된 n<sup>+</sup> 웨이퍼 위에 10 μm 두께의 n-형 에피층 (epi layer)이 성장된 기판을 사용하였다. 그림 1과 같이 n<sup>+</sup>/n-epi 기판에 p-body 영역을 형성하기 위하여 붕소 이온 (2.5E13/cm<sup>2</sup>)을 이온 주입 공정을 진행하였다. 다음으로 트렌치 식각 공정을 수행하였으며, 트렌치 식각 구조의 aspect ratio를 높여 트렌치 게이트 MOSFET의 셀 피치를 줄여 집적도를 높이기 위하여 그림 1(b)와 같이 식각 마스크 역할을 하는 TEOS (Tetra-Ethyl-Ortho-Silicate) 스페이서 산화막을 증착하고 건식 식각을 실시하였다[6]. 이어서 트렌치 식각 후 트렌치 모서리 부분의 전장 과밀 (field crowding) 현상으로 인한 소자 파괴 및 신뢰성 저하를 방지하기 위하여 수소 어닐링 공정을 진행하여 트렌치 식각면의 모서리 부분을 rounding 하였다. 또한, 형성된 트렌치 표면의 불순물과 결정 결함을 제거하기 위하여 희생 산화막을 성장하고 습식 식각으로 제거하는 공정을 진행하였다. 희생 산화막 제거 후 게이트 산화막 성장은 일반적인 트렌치 게이트 MOSFET의 취약점인 트렌치 코너 부분의 게이트 산화막 thinning 현상으로 게이트 산화막의 높은 누설 전류, 낮은 항복전압 및 장기적 신뢰성 저하 등의 문제점을 개선하기 위하여 열 산화막 (200 Å)과 LPCVD (Low Pressure Chemical Vapor Deposition) 공정으로 고온 산화막을 증착하여 적층 구조의 게이트 절연막을 형성하였다[7]. 다음으로 LPCVD 방법에 의하여 다결정 실리콘 증착하고 열 도핑 공정으로 n<sup>+</sup> 도핑된 다결정 실리콘으로 게이트 전극을 형성하였다. 표면의 단차를 줄이기 위하여 etch-back 평탄화 공정을 수행하였다.

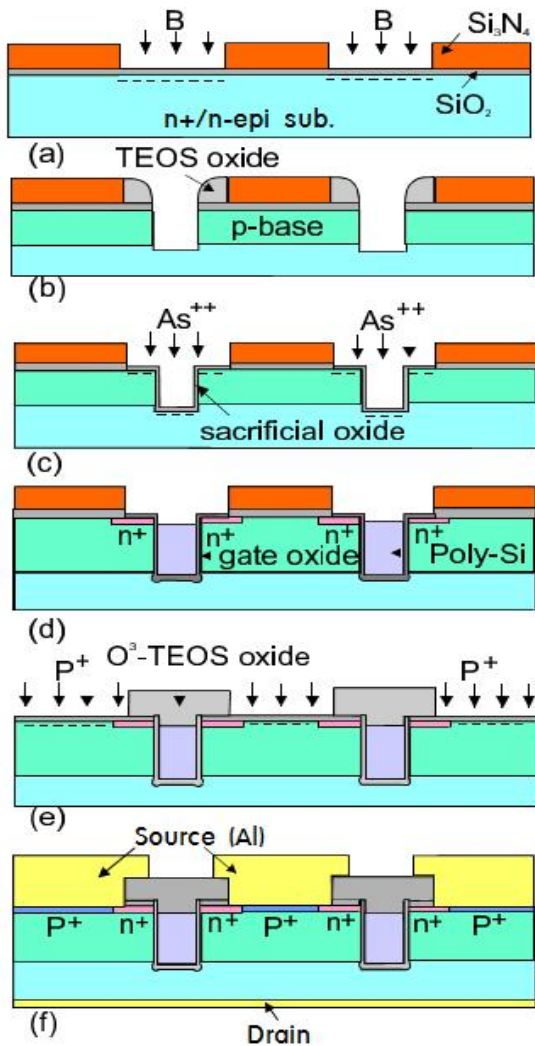


Fig. 1. Process sequence of trench gate MOSFET  
 그림 1. 트랜치 게이트 MOSFET 공정 개요도

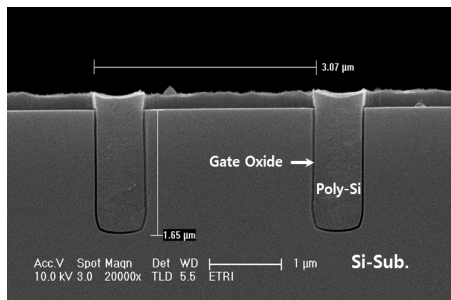


Fig. 2. Cross-sectional SEM view after trench etching and gate formation  
 그림 2. 트랜치 식각 및 게이트 형성 후 SEM 단면 사진

그림 2는 p-body 형성 후 트랜치 식각과 게이트 전극을 형성 및 평탄화 공정을 진행한 소자의 단면 구조사진이다. 그림 2에서 보는 바와 같이 폭

0.6  $\mu\text{m}$ , 깊이 1.65  $\mu\text{m}$ 로 트랜치 구조를 형성하였다. 게이트 전극 형성 후 비소 이온 ( $5.0\text{E}15/\text{cm}^2$ )을 이온 주입하여 n+ 소스를 형성하였다. P+ body 접합을 형성하기 위하여 붕소 이온 ( $3.0\text{E}15/\text{cm}^2$ )을 주입하였으며, p+ body 접합을 TEOS 산화막을 이용하여 n+ 소스와 자체 정렬 방법으로 형성하여 집적도를 높였다. 마지막으로 전면과 후면에 금속 전극을 증착하여 소스 및 드레인 전극을 형성하였다.

그림 3은 대 전류 구동이 가능한 트랜치 게이트 MOSFET의 간략화된 layout으로 그림 3(a)는 3개의 전극으로 구성된 기존의 일반적인 전력소자이며, 그림 3(b)는 본 논문에서 구현한 전류 센싱 FET가 내장된 트랜치 게이트 MOSFET이다. 본 연구에서 구현한 전류 센싱 트랜치 게이트 전력소자는 기존 전력 MOSFET와 달리 4개의 전극, 즉 게이트, 드레인, 소스1, 소스2로 구성되어 있다. 소스1은 주 스위칭 MOSFET의 소스이며 소스2는 주 스위칭 MOSFET의 구동 전류를 센싱할 수 있는 센싱 FET의 소스 전극이다. 셀 내에서 스위칭 MOSFET의 동작온도 등의 변화에 의한 구동 전류 변화를 정확히 감지하기 위해서는 전류 센싱 FET가 셀 중심에 위치하는 것이 가장 이상적인 위치이나 패키징 과정의 멀티플 와이어 연결에 문제가 발생하므로 그림 3(b)와 같이 측면에 배치하였으며, 전류 센싱 FET는 추가되는 마스크 단계없이 공정을 단순화하기 위하여 주 스위칭 MOSFET과 설계 치수 및 동일한 구조로 동일 칩상에 구현하였다.

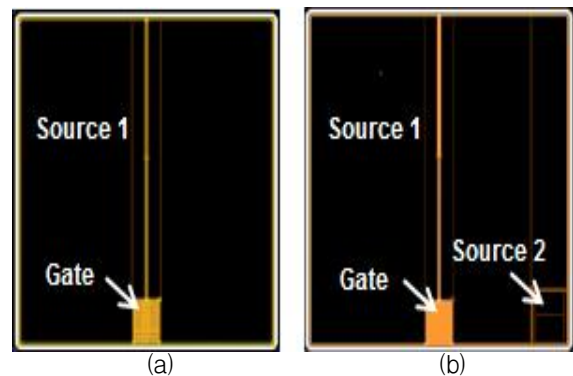


Fig. 3. Trench gate MOSFET layouts: (a) conventional MOSFET, (b) current sensing MOSFET  
 그림 3. 트랜치 게이트 MOSFET Layout: (a) 기존 MOSFET, (b) current sensing MOSFET

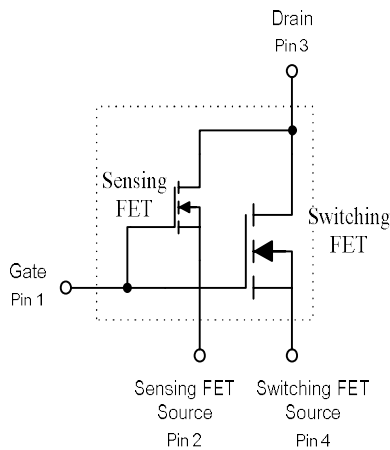


Fig. 4. Pin configuration and operational equivalent circuit of current sensing trench gate MOSFET

그림 4. 전류 센싱 트렌치 게이트 MOSFET의 핀 배열 및 동작상 등가회로

전술한 바와 같이 본 연구의 전류 센싱 트렌치 게이트 MOSFET는 전류 센싱 FET의 소스를 포함하여 4개의 전극으로 구성되며 pin 구성도 및 동작상 등가회로는 그림 4와 같다.

### III. 전기적 특성 분석

트렌치 폭 0.6  $\mu\text{m}$ , 셀 간격 3.0  $\mu\text{m}$ 로 제작한 트렌치 게이트 MOSFET의  $I_{\text{DS}}-V_{\text{DS}}$  전류구동 특성은 그림 5와 같다. 그림 4에 보인바와 같이 드레인 전압을 10 V와 게이트 전압 8 V 이상을 인가한 경우 드레인 전류 200 A 이상에서 매우 안정된 동작특성을 나타내고 있다. 적층 구조의 게이트 산화막 (400 Å)을 적용한 소자의 문턱전압은 약 1.6 V로 측정되었다.

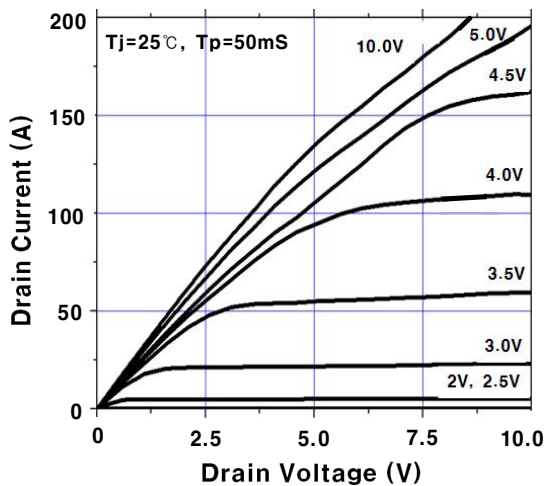


Fig. 5.  $I_{\text{DS}}-V_{\text{DS}}$  current driving characteristics of trench gate MOSFET

그림 5. 트렌치 게이트 MOSFET의  $I_{\text{DS}}-V_{\text{DS}}$  전류구동특성

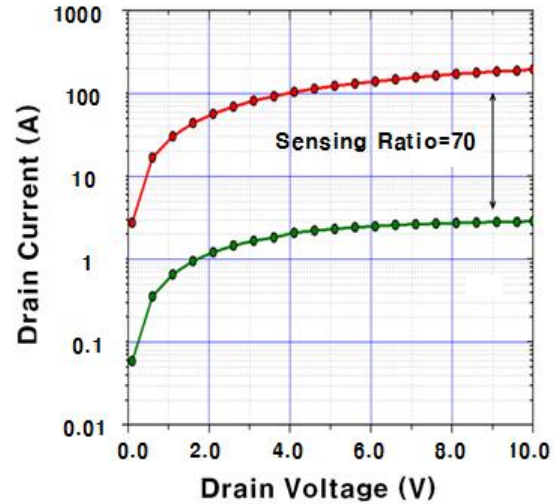


Fig. 6. Measured current sensing ratio of trench gate MOSFET as a function of drain voltage under the constant gate voltage of 5 V

그림 6. 게이트 인가 전압 5V에서 드레인 전압 변화에 따른 트렌치 게이트 MOSFET의 전류 센싱 비율

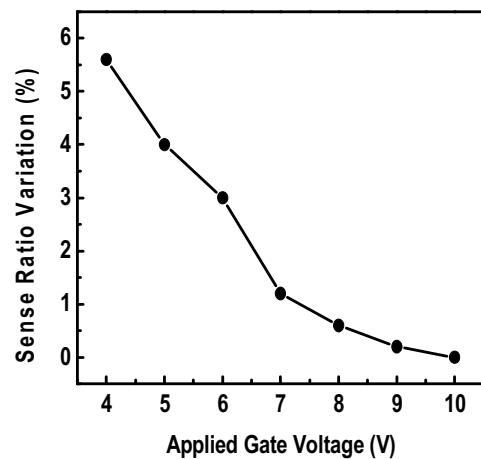


Fig. 7. Sensing ratio variations depending on the gate voltages measured at the constant drain current of 100 A

그림 7. 드레인 전류 100 A 상태에서 게이트 전압에 변화에 따른 센싱 비율 변화

게이트 인가 전압 10 V와 드레인 전류 80 A에서 측정된 스위칭 MOSFET의 온-저항은 24 mΩ으로 양호하였으며, 항복전압은 약 105 V로 측정되었다.

그림 6은 게이트 인가 전압 5 V로 일정한 스위칭 MOSFET와 센싱 FET의 상태에서 드레인 전압 변화에 대한 전류 센싱 비율을 측정한 결과 그래프이다. 그림과 같이 상온에서 전류 센싱 비율은 약 70로 안정된 값을 나타내었다.

다음으로 그림 7은 전류 센싱 전력 소자에서 중요한 요소인 센싱 비율 변화에 대한 결과로 상온에서 일정한 드레인 전류 100 A 조건에서 게이트 전압 변화에 대한 센싱 비율 변화를 측정한 결과이다. 실험 결과 게이트 전압이 4 ~ 10 V로 변화하는 경우 센싱 비율 변화 정도는 5.6 % 이하로 나타났다.

#### IV. 결론

본 논문은 전류 센싱 FET가 내장된 모터 구동용 100 V / 200 A 급 고 전력 트랜치 게이트 MOSFET를 제작하고 전기적 특성을 분석하였다. 트랜치 게이트 MOSFET의 셀 피치를 줄여 집적도를 높이기 위하여 TEOS 스페이서를 이용한 자체 정렬 트랜치 식각 기술을 적용하였고, 트랜치 모서리 부분의 전계분포의 과밀화에 의한 소자 특성 열화를 완화시키고 소자의 신뢰성을 증가시키기 위하여 수소 어닐링공정을 진행하여 트랜치 모서리 부분을 라운딩하였다. 또한, 게이트 산화막의 누설전류를 줄이고 장기적 신뢰성을 향상시키기 위하여 적층 구조의 산화막을 성장하였다. 실험 결과 스위칭 MOSFET의 온-저항은 24 mΩ, 항복전압은 약 105 V로 온-저항 및 누설 전류 특성이 양호하였으며, 전류 센싱 비율은 약 70으로 측정되었다. 게이트 인가 전압 변화에 따른 센싱 비율 변화는 5.6 % 이하로 나타나, 본 연구의 전류 센싱 고밀도 트랜치 게이트 MOSFET는 모터 구동 및 자동차 분야에 광범위하게 적용될 수 있는 것으로 사료된다.

#### 감사의 글

본 논문은 한국전자통신연구원의 “SiC 기반 트랜치형 차세대 전력소자 핵심기술 개발” 주요사업으로 수행한 연구결과입니다.

#### References

- [1] M. H. Juang, W. T. Chen, C. I. Ou Yang, S. L. Jang, M.J. Lin, H. C. Cheng, “Fabrication of trench-gate power MOSFETs by using a dual doped body region,” *Solid-State Electronics*, vol. 48, No. 7, pp. 1079-1085, July 2004.
- [2] Young Hwan Lho, “Structure Modeling of 100 V Class Super-junction Trench MOSFET with Specific Low On-resistance,” *j.inst.Korean.electr.electron.en*, vol. 17, no.2, pp. 129-134, Jun. 2013.
- [3] Neil Zhao, Wenshuai Liao, and Henri Sino, “High-Side Current Sensing with Wide Dynamic Range: Three Solutions,” *Digest of Analog Dialogue*, vol. 44, pp. 1-5, 2012.
- [3] Hai-Feng Jin, Hua-Lan Piao, Zhi-Yuan Cui, and Nam-Soo Kim, “High Performance Current Sensing Circuit for Current-Mode DC-DC Buck Converter,” *Trans. on Electrical and Electronic Materials*, vol. 11, no. 1, pp. 24-28, 2010.
- [4] Joonsoo Park, A Design of Peak Current-mode DC-DC Buck Converter with ESD Protection Devices” *j.inst.Korean.electr.electron.en*, vol.17, no1, pp. 77~82, Mar. 2013
- [5] Y. Xiao, J. Cao, J. D. Chen, and K. Spring, “Current Sensing Trench Power MOSFET for Automotive Applications,” *Proc. of Applied Power Electronics Conference and Exposition, 2005*, pp. 766-770.
- [6] Jongdae Kim, Tae Moon Roh, Sang-Gi Kim, Dae Woo Lee, Jin Gun Koo, and Kyoung-Ik Cho, “A Novel Process Technique for Fabricating High Reliable Trench DMOSFETs Using Self-Aligned Technique and Hydrogen Annealing,” *IEEE Trans. on Electron Devices*, vol. 50, pp. 378-383, 2003.
- [7] Sang Gi Kim, Hoon-Soo Park, Dong Ha Kah, Kyoung Il Na, Yil Suk Yang, Jin Gun Koo, Jong dae Kim, and Jin Ho Lee, “A Novel Trench Gate MOSFET with a Multiple-layered Gate Oxide for High-reliability Operation,” *J. of the Korean Physical Society*, vol. 60, no. 10, pp. 1552-1556, 2012.

---

**BIOGRAPHY**


---

**Sang-Gi Kim** (Member)

1989 : MS degree in physics,  
Yeungnam University  
1996 : PhD degree in physics,  
Yeungnam University  
1981~Current : Principle Member of  
Engineering Staff, ETRI

**Tae-Moon Roh** (Member)

1986 : MS degree in Electrical &  
Computer Science, Engineering,  
Kyungpook University  
1998 : PhD degree in Electrical &  
Computer Science, Engineering,  
Kyungpook University  
1988~Current : Principle Member of Engineering  
Staff, ETRI

**Hoon-Soo Park** (Member)

1984 : MS degree in Electronics  
Engineering, Yonsei University  
1991 : MS degree in Electronics  
Engineering, Yonsei University

1993~1997 : Senior Researcher of System IC Lab.,  
Hynix  
2012~Current : Professor of Dept. of Green Energy  
Engineering, Uiduk University

**Yil-Suk Yang** (Member)

1994 : MS degree in Electrical &  
Computer Science, Engineering,  
Kyungpook University  
2008 : PhD degree in Electrical &  
Computer Science, Engineering,  
Kyungpook University  
1999~Current : Principle Member of Engineering  
Staff, ETRI

**Jong-IL Won** (Member)

2008 : BS degree in Electronics  
Engineering, Seokyeong University  
2010 : MS degree in Electronics  
Engineering, Seokyeong University  
2011~Current : Member of  
Engineering Staff, ETRI

**Jong-Moon Park** (Member)

1990 : MS degree in Electronics  
Engineering Jeonbook University  
2010 : PhD degree in Semiconductor  
Science, Engineering, Jeonbook  
University  
1985~Current : Principle Member of Engineering  
Staff, ETRI

**Jin-Gun Koo** (Member)

1980 : BS degree in Electronics  
Engineering, Kyungpook University  
1992 : MS degree in Electronics  
Engineering, Kyungpook University  
1980~Current : Principle Member of  
Engineering Staff, ETRI