

논문 2016-53-9-6

High Resistivity SOI MOS 버랙터를 위한 RF 대신호 모델 연구

(A Study on RF Large-Signal Model for High Resistivity SOI MOS Varactor)

홍 서 영*, 이 성 현**

(Seoyoung Hong and Seonghearn Lee[Ⓒ])

요 약

RF 채널 분포효과를 위한 전압 종속 외부 게이트 커패시턴스가 사용된 High resistivity(HR) silicon-on-insulator(SOI) RF accumulation-mode MOS 버랙터의 대신호 모델이 새롭게 개발되었다. 이 모델의 전압 종속 파라미터들은 정확한 S-파라미터 optimization을 사용하여 추출되었고, 이를 피팅하여 empirical 모델 방정식을 구축하였다. 이러한 새로운 대신호 RF 모델은 넓은 전압영역에서 측정된 Y11-파라미터 데이터와 20 GHz까지 잘 일치함으로써 정확도가 검증되었다.

Abstract

A new large-signal model including the voltage-dependent extrinsic gate capacitance for RF channel distribution effect is developed for a high resistivity(HR) silicon-on-insulator(SOI) RF accumulation-mode MOS varactor. The data of voltage-dependent parameters are extracted by using accurate S-parameter optimization, and empirical model equations are constructed by data fitting process. The RF accuracy of this new model is validated by observing excellent agreements between modeled and measured Y11-parameter data in the wide voltage range up to 20 GHz.

Keywords : varactor, RF, CMOS, SOI, modeling

I. 서 론

RF CMOS 수동소자 중 버랙터(Varactor)는 voltage controlled oscillator(VCO)에서 주파수를 제어하는 핵심 구성요소로 널리 사용된다^[1~3]. VCO에서 우수한 성능을 갖기 위해서 버랙터는 높은 Quality(Q)-factor와 넓은 가변 커패시턴스 영역을 가져야한다. 하지만 기존에

널리 사용되는 Silicon low resistivity 기판 기반의 bulk CMOS 버랙터에서는 Silicon 손실 기판으로부터 발생되는 손실 저항성분에 인해 고주파 성능이 떨어지고 Q-factor의 감소를 가져온다. 이러한 문제를 극복하기 위해 high-resistivity Silicon(HRS) CMOS 소자가 사용되어 왔고^[4], 최근에는 HR Silicon-on Insulator(SOI) 기판을 사용한 HR-SOI CMOS 소자들이 그 대안이 되고 있다^[5~6]. 이러한 SOI CMOS는 전압 종속 커패시턴스에 비해 기판 기생 커패시턴스의 비중이 bulk 소자보다 적어 버랙터에서 tuning 영역이 증가되는 장점이 있다. 또한 극히 낮은 RF dissipation을 보여주는 HRS-SOI 기판의 사용으로 RF 성능이 매우 우수한 RF 버랙터 제조가 가능하다. 하지만 현재까지 HR-SOI MOS 버랙터에 대한 RF 모델링 연구는 매우 부족한 실정이다.

MOS 버랙터에서 게이트 아래의 전압 종속 oxide 및

* 학생회원, ** 정회원, 한국외국어대학교 전자공학과
(Department of Electronics Engineering, Hankuk University of Foreign Studies)

Ⓒ Corresponding Author (E-mail : shlee@hufs.ac.kr)

※ 이 연구는 2016학년도 한국외국어대학교 교내학술연구비의 지원에 의하여 이루어진 것임.

※ 본 연구의 일부분은 2015년 12월 대전에서 개최된 대한전자공학회 학술심포지움에서 발표되었음.

Received ; February 3, 2016 Revised ; August 16, 2016

Accepted ; August 31, 2016

depletion 커패시턴스와 채널저항이 ladder 형태로 분포 되어 RF lateral 분포 효과가 발생한다. 하지만 이러한 RF 분포 효과가 기존 버랙터 모델에서 고려되지 않았기 때문에, 전압 종속 대신호 모델의 부정확도가 주파수가 증가될수록 상승되는 문제가 발생한다.

따라서 본 논문에서는 HR-SOI 기판을 기반으로 한 MOS 버랙터의 RF lateral 분포 효과를 고려하기 위해 전압 종속 게이트 커패시턴스를 내부와 외부 성분으로 분리한 대신호 모델을 새롭게 제안한다. 또한 S-파라미터 optimization을 통해 전압 종속 파라미터 곡선을 추출하고 각 전압 종속 파라미터의 empirical 모델 방정식을 구축하고자 한다.

II. RF 버랙터 모델

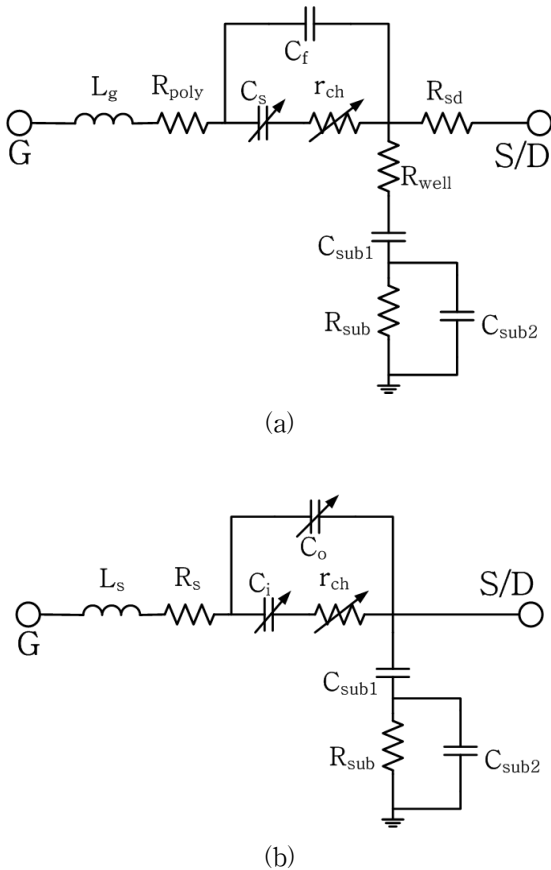


그림 1. RF 버랙터 등가회로 모델
 (a) 벌크 MOS 버랙터의 기존 등가 모델
 (b) HR-SOI MOS 버랙터의 새로운 분포 등가 모델
 Fig. 1. RF varactor equivalent circuit model.
 (a) Conventional model of Bulk MOS varactor.
 (b) New distributed model of HR-SOI MOS varactor.

본 연구에서는 HR-SOI RF CMOS 공정으로 제작된 게이트 length L_g 가 $0.25\mu\text{m}$, unit 게이트 finger width W_u 가 $2.5\mu\text{m}$ 이고 50개의 게이트 finger 수 N_f 를 가진 N-well accumulation-mode 버랙터의 측정된 on-wafer S-파라미터를 사용하여 RF 모델링을 수행하였다. 그림 1(a)은 기존의 벌크 MOS 버랙터 등가회로 모델이다^[7].

이 모델에서 C_s 는 게이트 oxide 커패시턴스와 oxide 밑의 silicon에 형성되는 depletion 커패시턴스의 직렬 커패시턴스이다. C_f 는 게이트 측면에 형성되는 fringing 커패시턴스이다. L_g 와 R_{poly} 는 각각 게이트 인덕턴스와 게이트 poly silicon의 저항이고 r_{ch} 는 채널저항이다. R_{sd} 는 소스와 드레인 영역에서 생기는 기생저항의 합이고, R_{well} 은 n-well에 형성되는 저항이다. 또한 C_{sub1} , C_{sub2} 및 R_{sub} 는 벌크 기판 파라미터이다.

하지만 본 연구에서 사용된 그림 1(b)의 새로운 HR-SOI MOS 버랙터 분포 등가회로 모델은 V_g 에 무관한 적은 값의 C_f 만을 외부로 분리하여 연결한 그림 1(a)의 기존 모델과 다르게 C_f 와 C_s 가 합쳐진 전체 게이트 커패시턴스를 내부와 외부 전압 종속 커패시턴스 성분들(C_i , C_o)로 분리 연결하여 소스와 드레인 사이에 채널저항 성분과 ladder형태로 균일하게 분포된 oxide와 depletion 커패시턴스 성분들의 RF lateral 분포 효과를 정확히 고려하였다.

또한 HR-SOI MOS 버랙터는 buried oxide를 사용하여 C_{sub1} 이 매우 적고 HRS 기판을 사용하여 RF 기판 손실이 매우 적기 때문에, 그림 1(b)처럼 기존의 bulk MOS 버랙터 등가회로 모델보다 간단한 등가회로로 구성이 가능하다. 이 모델에서 L_s 는 직렬 인덕턴스이고 C_{sub1} , C_{sub2} 및 R_{sub} 는 HRS-SOI 기판 파라미터이다. 본 연구에서는 등가회로의 단순화를 위해 R_{poly} 와 R_{sd} 를 직렬저항 R_s 로 통합하였으며, 이에 대한 정확도는 그림 4에서 증명된다.

그림 1(b)에 있는 HR-SOI MOS 버랙터 분포 모델의 각 파라미터들은 게이트 전압 V_g 변화에 따라 20 GHz 까지 측정된 S-파라미터와 일치하도록 첫번째 optimization 과정을 통해 먼저 추출하였다. 이때 추출된 C_i 와 C_o 의 V_g 종속 성분들의 비율 $k=(C_o-C_{min})/(C_i-C_{imin})$ 가 V_g 영역에서 비교적 일정하지만 조금씩 변하는 데이터를 보였다. 따라서 k 값은 V_g 종속 평균값으로부터 결정하였다. 이 때 C_{min} 과 C_{imin} 는 각각 C_o 와 C_i 의 V_g 영역에서 최소값이다.

본 연구에서는 미지 변수를 줄여 추출 정확도를 향상시키기 위하여 $C_o=k(C_i-C_{imin})+C_{min}$ 관계식을 사용하여

C_o 가 미지 변수 C_i 에 의해서 정해지도록 설정한 후 두 번째 optimization을 수행하였다. 이러한 S-파라미터 optimization 과정을 통해 추출된 V_g 종속 C_i , C_o 와 r_{ch} 데이터를 그림 2와 3에서 각각 보여준다.

그림 2에서 lateral하게 분포된 oxide와 depletion 커패시턴스의 외부 채널 성분 뿐만 아니라 V_g 에 무관한 fringing 커패시턴스도 실제 V_g 종속 C_o 에 포함되어 있기 때문에 음수 V_g 영역의 최소 커패시턴스 값이 C_i 보다 더 큰 것을 알 수 있다. 그림 2에서 V_g 에 따른 C_i 와 C_o 의 증가 현상은 oxide 아래의 채널 depletion 폭이 감소하여 발생되며 $V_g > 0.7V$ 부터는 depletion 층이 사라지고 accumulation 영역이 되므로 최대 값으로 일정해진다. 그림 3에서 r_{ch} 는 V_g 의 증가에 따라 depletion 폭이 감소하므로 채널 저항이 줄어들고 $V_g > 0.7V$ 부터는 accumulation영역이 되므로 최소의 채널저항을 일정하게 유지한다.

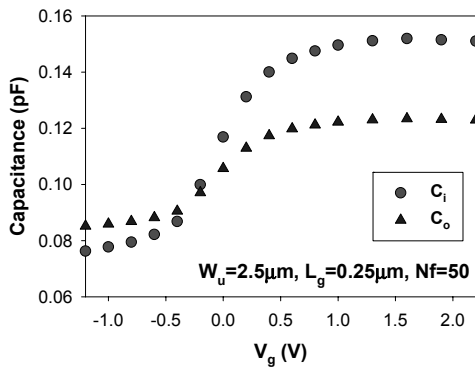


그림 2. 추출된 C_i 와 C_o 의 V_g 종속 그래프
Fig. 2. V_g dependent graph of extracted C_i and C_o .

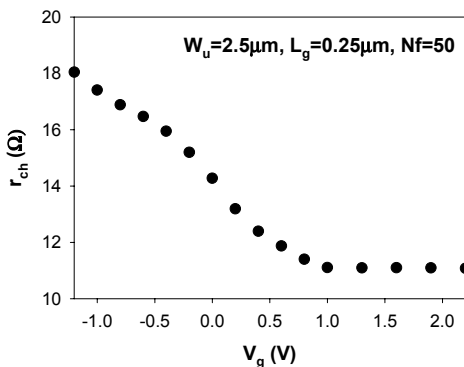


그림 3. 추출된 r_{ch} 의 V_g 종속 그래프
Fig. 3. V_g dependent graph of extracted r_{ch} .

이와 같이 추출된 새로운 분포 모델의 정확도 검증을 위해 그림 1(a)의 벌크 모델처럼 V_g 독립 C_f 를 가진 기존 모델과 서로 비교하였다. 이 때 V_g 독립의 C_f 는 그림 2의 V_g 종속 C_o 의 최소값으로 고정하고 S-파라미터

optimization를 진행하여 V_g 증가에 따라 크게 증가하는 C_s 와 감소되는 r_{ch} 를 추출하였다. 그림 4는 추출된 그림 1(b)의 새로운 분포 모델과 기존의 V_g 독립 C_f 모델의 Y_{11} -파라미터를 각각 측정데이터와 비교한 그래프이다. 기존의 V_g 독립 C_f 모델이 10 GHz부터 크게 부정확해지는 것을 알 수 있으며 이로부터 새로운 V_g 종속 외부 C_o 모델의 정확도를 확인할 수 있다.

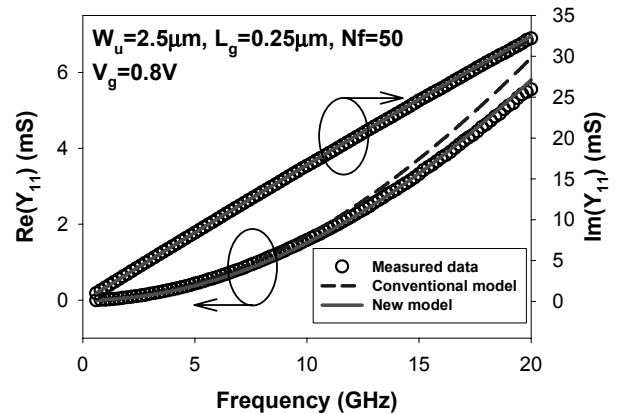


그림 4. 기존 V_g 독립 C_f 모델과 새로운 V_g 종속 C_o 분포모델의 Y_{11} -파라미터와 측정데이터의 비교
Fig. 4. Modeled and Measured Y_{11} -parameter of conventional V_g independent C_f model and new V_g dependent C_o distributed model

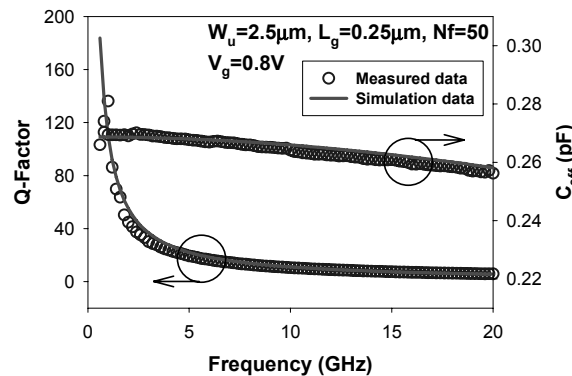


그림 5. 측정 데이터와 비교된 새로운 모델의 C_{eff} 와 Q-factor 시뮬레이션
Fig. 5. Simulation data of C_{eff} and Q-factor using a new model compared with measured ones

지금까지 추출된 새로운 모델 파라미터들을 그림 1(b)에 대입하여 유효 커패시턴스 $C_{eff}=(1/\omega)Imag(Y_{11})$ 와 Q-factor를 시뮬레이션하여 측정데이터와 비교하였다. 그림 5에서 보여주듯이 20 GHz까지 시뮬레이션된 C_{eff} 와 Q-factor 곡선이 측정 데이터와 잘 일치하는 것을 관찰함으로써 새로운 HR SOI RF MOS 버랙터 모델의 RF 정확성이 검증되었다.

III. 전압 종속 모델링

지금까지 구한 C_i , C_o 및 r_{ch} 의 전압 종속 특성을 포함한 대신호 분포 모델을 구축하기 위하여 아래와 같은 hyperbolic tangent 함수를 사용한 새로운 V_g 종속 empirical 모델 방정식을 유도하였다.

$$C_i = a_i + b_i \left[1 + \tanh\left(\frac{V_g - c_i}{d_i}\right) \right] \quad (1)$$

$$C_o = a_o + b_o \left[1 + \tanh\left(\frac{V_g - c_o}{d_o}\right) \right] \quad (2)$$

$$r_{ch} = a_{ch} + b_{ch} \left[1 - \tanh\left(\frac{V_g - c_{ch}}{d_{ch}}\right) \right] \quad (3)$$

식(1)-(3)의 파라미터들은 그림 2와 3의 추출 데이터를 피팅하여 $a_i = 0.0761963 \times 10^{-12}$, $b_i = 0.037253 \times 10^{-12}$, $c_i = -0.0280707$, $d_i = 0.460627$, $a_o = 0.0851642 \times 10^{-12}$, $b_o = 0.0188129 \times 10^{-12}$, $c_o = -0.0280712$, $d_o = 0.460641$, $a_{ch} = 17.9972$, $b_{ch} = -3.50975$, $c_{ch} = -0.0805103$, $d_{ch} = -0.721717$ 의 값들을 얻었다.

그림 6에서 그림 8은 식(1)-(3)으로 시뮬레이션된 V_g 종속 곡선들과 그림 2와 3의 추출데이터들을 각각 비교한 C_i , C_o , r_{ch} 의 그래프로서 전체 V_g 영역에서 아주 좋은 일치치를 보인다. 따라서 식(1)-(3)의 empirical 방정식들이 정확함을 확인할 수 있다. 그림 9는 새로운 대신호 모델의 Y_{11} -파라미터를 다양한 전압에서 측정된 데이터와 비교한 그래프들이다. 이러한 대신호 모델의 RF 정확도는 넓은 전압영역에서 측정된 Y_{11} -파라미터 데이터와 20 GHz까지 잘 일치함으로써 검증되었다.

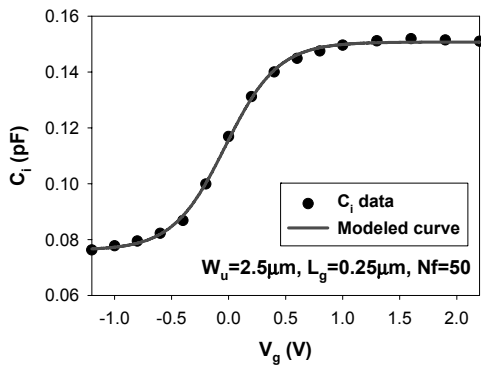


그림 6. 식(1)의 모델 곡선과 C_i 추출 데이터
Fig. 6. Modeled curve of (1) and C_i extraction data.

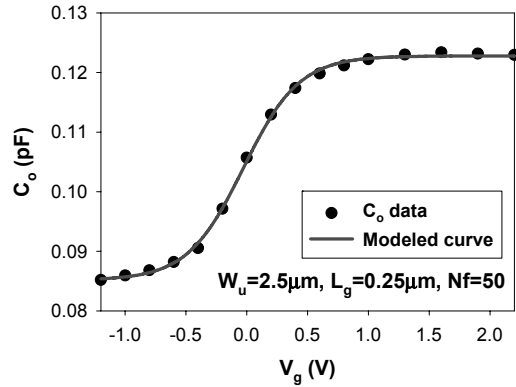


그림 7. 식(2)의 모델 곡선과 C_o 추출 데이터
Fig. 7. Modeled curve of (2) and C_o extraction data.

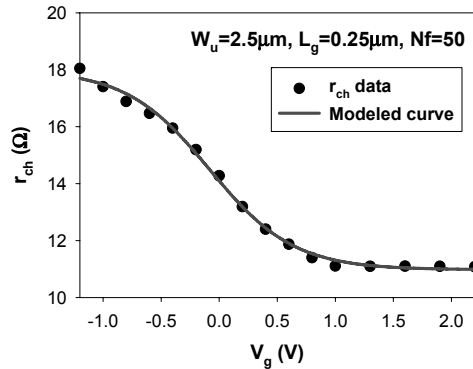
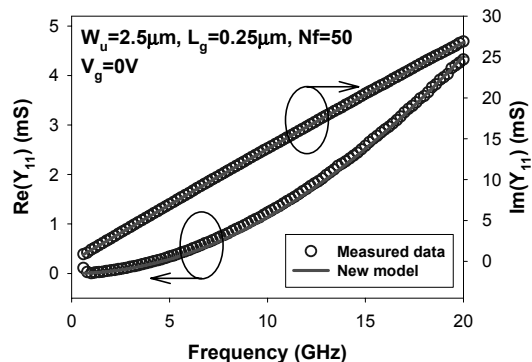
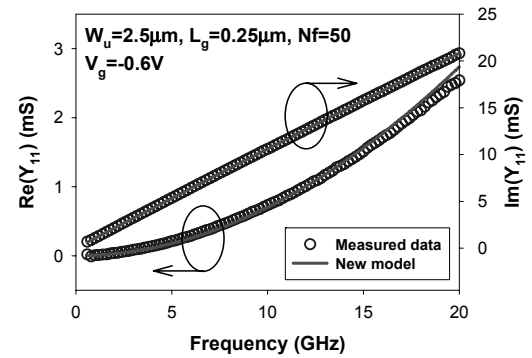


그림 8. 식(3)의 모델 곡선과 r_{ch} 추출 데이터
Fig. 8. Modeled curve of (3) and r_{ch} extraction data.



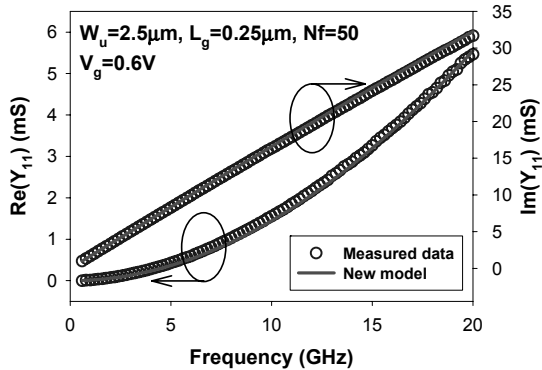


그림 9. 새로운 분포 모델의 Y_{11} -파라미터와 측정데이터의 주파수 응답 곡선 ($V_g = -0.6, 0, 0.6V$)
Fig. 9. Frequency response of modeled and measured Y_{11} -parameter of a new distributed model ($V_g = -0.6, 0, 0.6V$).

IV. 결 론

본 논문에서는 새로운 RF lateral 분포 효과를 고려하기 위하여 V_g 종속 외부 채널 캐패시턴스를 사용한 RF accumulation-mode MOS 버랙터의 대신호 분포 등가회로 모델을 구축하였다. 정확한 S-파라미터 optimization을 사용하여 C_i , C_o 와 r_{ch} 의 V_g 종속 데이터를 추출하고, 이를 피팅하여 새로운 V_g 종속 empirical 모델 방정식을 구축하였다. 이러한 대신호 모델의 정확도는 넓은 전압영역에서 20 GHz까지 측정된 Y_{11} -파라미터 데이터와의 비교를 통해 검증되었다.

REFERENCES

[1] P. Andreani and S. Mattisson, "On the use of MOS varactors in RF VCOs," IEEE J. Solid-State Circuits, vol. 35, no. 6, pp. 905-910, June 2000.
[2] N. Fong, J. Kim, J.-O. Plouchart, N. Zamdmer, D. Liu, L. Wagner, C. Plett, and G. Tarr, "A low-voltage 40-GHz complementary VCO with 15% frequency tuning range in SOI CMOS technology," IEEE J. Solid-State Circuits, vol. 39, no. 5, pp. 841-846, 2004.
[3] M.-C. Park, S.-H. Jung, and Y.-S. Eo, "0.13 μ m CMOS Quadrature VCO for X-band Application" Journal of The Institute of Electronic Engineers of Korea - SD vol. 49, no. 8, pp. 41-46, 2012.
[4] K. Benaissa, J.-Y. Yang, D. Crenshaw, B. Williams, S. Sridhar, J. Ai, G. Boselli, S. Zhao, S. Tang, S. Ashburn, P. Madhani, T. Blythe, N. Mahalingam, and H. Shichijo, "RF CMOS on

High-Resistivity Substrates for System-on-Chip Applications," IEEE Trans. Electron Devices, vol. 50, no. 3, pp. 567 - 576, Mar. 2003.

[5] K. B. Ali, C. R. Neve, A. Gharsallah, and J.-P. Raskin, "RF Performance of SOI CMOS Technology on Commercial 200-mm Enhanced Signal Integrity High Resistivity SOI Substrate," IEEE Trans. Electron Devices, vol. 61, no. 3, pp. 722-728, 2014.
[6] J. Ahn and S. Lee, "A Study on Improved Optimization Method for Modeling High Resistivity SOI RF CMOS Symmetric Inductor," Journal of The Institute of Electronics and Information Engineers, vol. 52, no. 9, pp. 21-27, 2015.
[7] S. S. Song and H. Shin, "A New RF Model for the Accumulation-Mode MOS Varactor," IEEE MTT-S Int. Microwave Symp. Dig., pp. 1023-1026, 2003.

저 자 소 개



홍 서 영(학생회원)
2014년 한국외국어대학교 전자 공학과 학사 졸업.
2014년~현재 한국외국어대학교 전자정보공학과 석사과정.
<주관심분야: RF CMOS 소자 모델링>



이 성 현(정회원)-교신저자
1985년 고려대학교 전자공학과 학사 졸업.
1989년 미국 University of Minnesota 전기공학과 석사 졸업.
1992년 미국 University of Minnesota 전기공학과 박사 졸업.
1992년~1995년 한국전자통신연구원 선임연구원
1995년~현재 한국외국어대학교 전자공학과 교수
<주관심분야: CMOS 및 바이폴라 소자 모델링>