

## PMIC용 저면적 64비트 MTP IP 설계

최대용\*, 김일준\*, 하판봉\*, 김영희\*\*

### Design of a 64b Multi-Time Programmable Memory IP for PMICs

Cui Dayong\*, Jin Rijin\*, Pang-Bong Ha\*, Young-Hee Kim\*\*

**요약** 본 논문에서는 저면적 64bit MTP IP를 설계하였다. 저면적 설계기술로는 MTP cell의 inhibit voltage를 기존의 VPP/3과 VNN/3 전압 대신 모두 0V를 사용하므로 VPPL(=VPP/3) regulator 회로와 VNNL(VNN/3) charge pump 회로를 제거하였다. 그리고 external pad를 이용하여 VPP program voltage를 forcing하므로 VPP charge pump 회로를 제거하였다. 또한 VNN charge pump는 VPP 전압을 이용하여 1-stage negative charge pump 회로로 pumping해서 -VPP의 전압을 공급하도록 설계를 하였다. 설계된 64bit MTP IP size는  $377.585\mu\text{m} \times 328.265\mu\text{m}$ (=0.124mm<sup>2</sup>)이며, DC-DC converter 관련 layout size는 기존의 회로 대비 76.4%를 줄였다.

**Abstract** In this paper, a 64b small-area MTP memory IP is designed. A VPPL (=VPP/3) regulator and a VNN (=VNN/3) charge pump are removed since the inhibit voltages of an MTP memory cell are all 0V instead of the conventional voltages of VPP/3 and VNN/3. Also, a VPP charge pump is removed since the VPP program voltage is supplied from an external pad. Furthermore, a VNN charge pump is designed to provide its voltage of -VPP as a one-stage negative charge pump using the VPP voltage. The layout size of the designed 64b MTP memory IP with MagnaChip's 0.18 $\mu\text{m}$  BCD process is  $377.585\mu\text{m} \times 328.265\mu\text{m}$  (=0.124mm<sup>2</sup>). Its DC-DC converter related layout size is 76.4 percent smaller than its conventional counterpart.

**Key Words** : MTP Cell, PMIC, Multi-Time Programmable, Small-area, Single-poly EEPROM

#### 1. 서론

일반적으로 PMIC(Power Management IC)는 휴대폰, 노트북 PC, TV와 모니터 등의 정보기기에서 입력전원을 받아서 시스템에서 요구하는 안정적이고 효율적인 전원으로 변환하여 공급하는 칩이다[1].

PMIC 칩에서 수십 Kb 이상의 NVM 메모리는 bit cell size가 수  $\mu\text{m}^2$ 로 정도의 double-poly

EEPROM, Flash와 SONOS cell이 사용되며, BCD backbone 공정에 5~8개의 추가 마스크 레이어가 필요하다. 추가 mask 수가 많은 경우 제조비용이 높아진다. Memory 용량이 작은 경우는 추가 mask 수가 적은 셀이 이용하면 가격 경쟁력이 있다. 수 십 Kb이하의 NVM 메모리는 bit cell size가 수 십  $\mu\text{m}^2$  정도의 single-poly EEPROM인 MTP(Multi-Time Programmable) 셀이 많이 사용되고 있으며, 대부분 한 개의 마스크가 추가된다

This work was supported by the Industrial Core Technology Development Program (10049095, "Development of Fusion Power Management Platforms and Solutions for Smart Connected Devices") funded by the Ministry of Trade, Industry, & Energy. Also, we thank the IDEC (IC Design Education Center) for the provision of design software.

\*Department of Electronic Engineering, Changwon National University

\*\*Corresponding Author :Department of Electronic Engineering, Changwon National University (youngkim@changwon.ac.kr)

Received June 27, 2016

Revised August 26, 2016

Accepted August 26, 2016

[2]. 한편 아날로그 트리밍 용도로 사용되는 경우는 수 십 비트의 메모리 용량을 가지면서 저면적인 MTP IP가 요구된다.

본 논문에서는 저면적 64bit MTP IP를 설계하였다. 저면적 설계기술로는 MTP cell의 inhibit voltage를 기존의 VPP/3과 VNN/3 전압 대신 모두 0V를 사용하므로 VPPL(=VPP/3) regulator 회로와 VNNL(VNN/3) charge pump 회로를 제거하였다. 여기서 VPP는 positive pumping voltage이고 VNN은 negative pumping voltage이다. 그리고 VPP program voltage를 내부적으로 pumping하는 대신 external pad를 이용하여 6.75V로 forcing하므로 VPP charge pump 회로를 제거하였다. 또한 VNN charge pump는 high voltage로 공급되는 VPP 전압을 이용하여 negative feedback없이 1-stage negative charge pump 회로로 pumping해서 -VPP의 전압을 공급하므로 기존의 negative charge 회로보다 저면적으로 설계를 하였다. 또한 VPP, VPPL에 사용된 charge reservoir capacitor를 제거하였으며, VNN의 charge reservoir capacitance는 줄였다. 매그나칩반도체 0.18 $\mu\text{m}$  BCD 공정 기반에서 설계된 64bit MTP IP size는 377.585 $\mu\text{m}$   $\times$  328.265 $\mu\text{m}$ (=0.124mm<sup>2</sup>)이며, DC-DC converter관련 layout size는 기존의 회로에서 0.1mm<sup>2</sup>인 것을 제안된 회로에서 0.0238mm<sup>2</sup>로 76.4%로 줄였다.

## 2. 회로설계

표 1은 최근에 발표된 MTP 메모리 IP의 특성 비교한 것이다. PMIC 설계에 사용가능한 참고문헌 [3-6]의 MTP IP는 MV(Medium Voltage) 소자로 5V transistor를 사용하고 있다. 그런데 참고문헌 [3-5]의 MTP cell은 erase voltage나 program voltage가 9V 이상이므로 5V 소자의 신뢰성을 확보해 주기 위해서는 HV(High-Voltage) transistor, parasitic HV transistor, LDMOS transistor중 하나의 소자를 부가적으로 필요로 한다. 그리고 tunnel oxide capacitor와 sense transistor가 별도로 존재하여 cell size가 증가한다. 또한 coupling capacitor의 effective capacitance가 작아서 writing time이 길어져 test cost 상승하는 단점이 있다. Ref.[7]의 논문에서 사용된 MTP cell은 그림 1에서 보는바와 같이 CG(Control Gate) capacitor, TG\_SENSE transistor와 select transistor로 구성되어 있다. Cell size를 줄이기 위해 TG\_SENSE transistor와 select transistor를 위한 PW(P-Well)과 CG capacitor를 위한 PW 2개만 사용하였고 DNW(Deep N-Well)은 MTP cell array에 하나만 사용되었다. 매그나칩반도체 0.18 $\mu\text{m}$  BCD 공정을 이용하여 레이아웃된 MTP 셀 사이즈는 5.5 $\mu\text{m}$   $\times$  6.0 $\mu\text{m}$ (=33.0 $\mu\text{m}^2$ )이다.

표 1. MTP IP의 특성 비교.  
Table 1. Characteristic comparison of MTP memory IPs.

표 1. MTP IP의 특성 비교.  
Table 1. Characteristic comparison of MTP memory IPs.

Ref. No.	Memory Process	Cell Size [ $\mu\text{m}^2$ ]	Tunnel Oxide Thickness	Erase Voltage	PGM Voltage
[3]	0.35 $\mu\text{m}$ BCD	37.7	125Å	15V	18.5V
[4]	0.13 $\mu\text{m}$ Logic	12.1	85Å	12V	12V
[5]	0.18 $\mu\text{m}$ BCD	2	110Å	9V	5.5V
[6]	0.18 $\mu\text{m}$ BCD	-	82Å	$\pm 6.5\text{V}$	$\pm 6.5\text{V}$

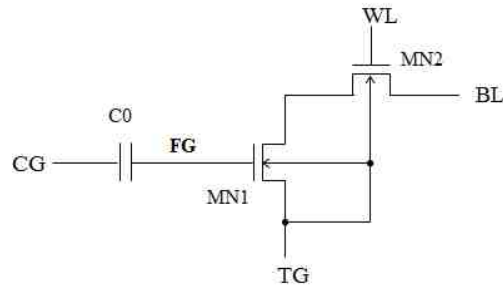


그림 1. MTP cell 회로도.  
Fig. 1. MTP memory cell.

그림 2과 그림 3는 MTP cell의 gate oxide thickness가 90Å인 경우 Erase mode과 Program mode수행 시 write cycling에 따른 선택되지 않은

cell의 VT 결과를 보여주고 있다. 그림 2에서 보는 바와 같이 10번 정도 erase mode 수행하며, 선택되지 않은 cell의 VT 전압은 5.40V에서 3.50V로 많이 떨어졌다. 그래서 erase mode에서 선택되지 않은 cell의 disturb영향을 받지 않기 위해서 용량이 작은 memory인 경우 Chip erase방식으로 사용하고 선택되지 않은 cell이 없고 disturb 영향을 없애진다. 그림 3에서 보는바와 같이 선택되지 않은 cell이 disturb영향을 받고 VT 전압은 -1.27V에서 -0.1V로 up되었다. 그리고 20번 정도 program mode 수행하며, 선택되지 않은 cell의 VT 전압은 크게 변화를 없다. 그래서 본 논문에서 1 row × 64 columns의 셀 어레이 이용하였다. Program mode시 cell array이 Byte 단위로 수행하며, program 동작하면 7번 disturb 영향이 받을 수 있지만 선택되지 않은 cell의 VT 전압 크게 영향을 없다.

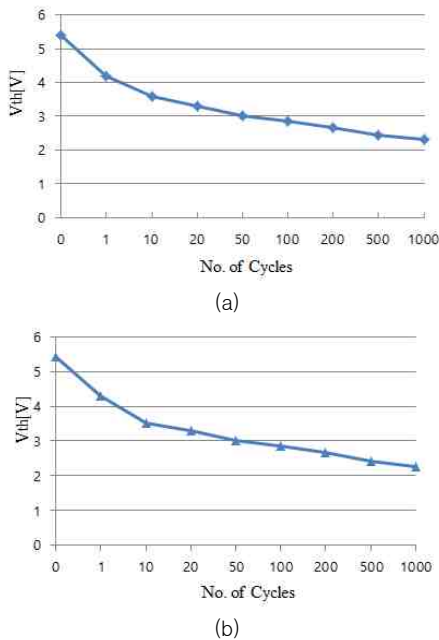


그림 2. Erase mode에서 MTP cell의 write cycling에 따른 VT 결과: (a)Selected Row, Unselected Column cell (b) Unselected Row, Selected Column cell.  
 Fig. 2. Results of VT with respect to write cycle for an MTP memory cell in the erase mode: (a) selected row and non-selected column and (b) non-selected row and selected column.

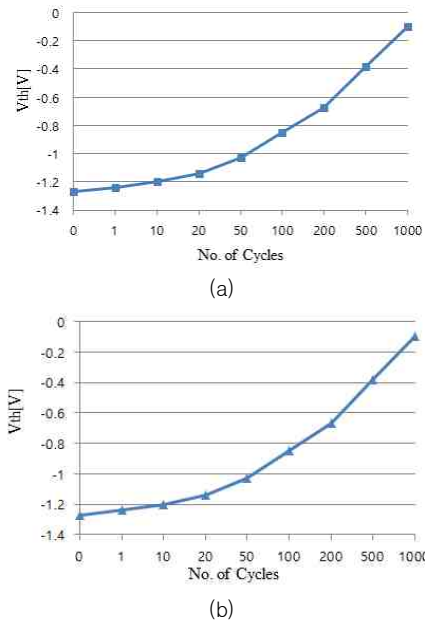


그림 3. Program mode에서 MTP cell의 write cycling에 따른 VT 결과: (a)Selected Row, Unselected Column cell (b) Unselected Row, Selected Column cell.  
 Fig. 3. Results of VT with respect to write cycle for an MTP memory cell in the program mode: (a) selected row and non-selected column and (b) non-selected row and selected column.

그림 4는 1행 × 64열의 셀 어레이 회로도이다. CG와 WL은 행(row) 방향으로 라우팅되어 있으며, BL[63:0]와 TG[63:0]는 열(column) 방향으로 라우팅되어 있다. DNW는 1행 × 64열의 셀 어레이에 하나만 사용되었다.

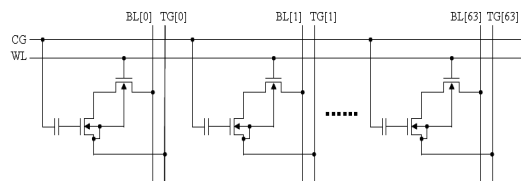


그림 4. 1행 × 64열의 셀 어레이 회로도.  
 Fig. 4. Cell array of 1 row × 64 columns.

MTP cell의 동작 모드별 바이어스 전압 조건은 표 2에서 보는바와 같다. 본 연구에서는 선택되지 않은 cell의 erase disturb 영향을 받지 않기 위해

byte erase 대신 page erase mode를 채택하였다. Page erase mode는 선택된 row에 해당되는 page는 한꺼번에 지워지는 mode인데, 설계된 64bit의 cell array에서 row는 하나만 사용하였으므로 page erase mode를 수행하면 64bit의 MTP cell이 동시에 지워진다. 그래서 page erase mode에서 CG는 -6.75V, 64열의 TG[63:0]는 모두 +6.75V가 인가되므로 64bit MTP cell은 FN tunneling 방식으로 floating gate에 electron을 ejection 시킨다. 그리고 프로그램 모드에서는 DIN(Input Data)이 '1'인 경우 선택된 cell의 CG와 TG에 각각 +6.75V, -6.75V를 인가하여 FN tunneling 방식으로 floating gate에 electron을 injection 시킨다. 반면 프로그램 모드에서 DIN이 '0'인 경우는 CG가 +6.75V이지만 TG가 0V이므로 FN tunneling이 일어나지 않아 electron injection은 일어나지 않는다. Read 모드에서 erase된 셀은 BL에 0V 전압을 develop하여 BL switch를 거친 DL(Data Line) 전압을 0V로 출력하는 반면, 프로그램 된 셀은 sense transistor가 OFF 상태에 있으므로 DL을 VDD로 pull-up하더라도 BL switch인 NMOS transistor의 threshold voltage인  $V_T$  loss로 인해 BL 전압은  $VRD - V_T$  만큼 pull-up된다. Read mode시 BL 전압은 read disturb를 방지하기 위해 1.5V 이하를 유지해야하는데 read voltage인 VRD가 1.5V이므로 read disturb에는 문제가 없다.

표 2. MTP 셀의 동작모드별 바이어스 전압 조건: (a) 쓰기 모드 (b)읽기 모드.  
Table 2. Bias voltage conditions of an MTP memory cell according to the operation modes: (a) write mode and (b) read mode.

Signal	Erase	Program		
		Selected Row Selected Column	Selected Row Selected Column	Selected Row Non-Selected Column
		DIN=1	DIN=0	
CG	-6.75V	6.75V	6.75V	6.75V
TG	6.75V	-6.75V	0V	0V
WL	0V	0V	0V	0V
BL	6.75V-V <sub>T</sub>	-6.75V	Floating	Floating
DNW	6.75V	6.75V	6.75V	6.75V

(a)

Signal	Selected Row Selected Column		Selected Row Non-Selected Column
	DIN=1	DIN=0	
CG	VRD	VRD	VRD
TG	0V	0V	0V
WL	VDD	VDD	0V
BL	VRD-V <sub>T</sub>	0V	Floating
DNW	VDD	VDD	VDD

(b)

설계된 64bit MTP IP의 주요 특징은 표 3과 같다. MTP cell array는 1행 × 64열이다. 단일공급전압원인 VDD는 read mode, write mode, write-verify-read mode에서 각각 1.8V~5.5V, 3V~5.5V, 3V~5.5V의 voltage range를 사용한다. 동작 모드는 read, page erase, program, program-verify-read, erase-verify-read, stand-by, power-down, reset mode를 지원한다. MTP IP의 write time은 5ms이고 access time은 500ns이다.

표 3. 64비트 MTP IP의 주요 특징.  
Table 3. Major specifications of an 64b MTP memory IP.

Items	Main Features	
MTP Cell Array	1R × 64C	
Cell Type	Single poly EEPROM cell	
VDD	Read	1.8V ~ 5.5V
	Write	3V ~ 5.5V
	Write-Verify-Read	4.5V ~ 5.5V
Main Functions	Read	Read
	Write	Page Erase / Program
	Write-Verify-Read	EVR / PVR
	Others	Stand-By / Power-Down / Reset
Temperature Range	-40~125°C	
Write Time	5ms	
Access Time	500ns	

설계된 64b MTP의 block diagram은 그림 5와 같다. 설계한 MTP IP의 구성은 1 row × 64 columns의 cell array, 동작 모드에 따라 control signal을 발생시키는 control logic, WL과 CG 노드에 전압을 공급하는 CG 구동회로, read mode에서 A[2:0]의 decoding에 의해 BL[63:0]의 data중 선택되는 byte data를 DL[7:0]으로 전달해주는 BL switch 회로, DL[7:0]를 읽어내기 위한 DOUT buffer가 있다. 그리고 프로그램 모드에서 DIN에

따라 TG에 전압을 공급해주는 TG Driver, A[2:0]의 decoding에 의해 TG 전압을 전달해주는 TG switch 회로, Read mode에서 BL의 출력 데이터를 DOUT Buffer의 입력인 DL에 전달해주는 BL Switch회로가 있다. 한편 DC-DC converter 회로는 write mode에서 FN tunneling에 필요한 전압인 VPP(=+6.75V)와 VNN(=-6.75V), 3-stage level translator 회로에 필요한 VNNL(=-2.17V) 전압을 공급한다. Interface 신호는 control signal(RSTb, PDb, READ, ERS, PGM, EVR, PVR), address A[2:0], input data DIN[7:0], output data인 DOUT[7:0]이 있다. 그리고 설계된 MTP IP는 read mode와 program mode는 byte 단위로 수행하며, erase mode는 page 단위로 erase를 수행하게 된다.

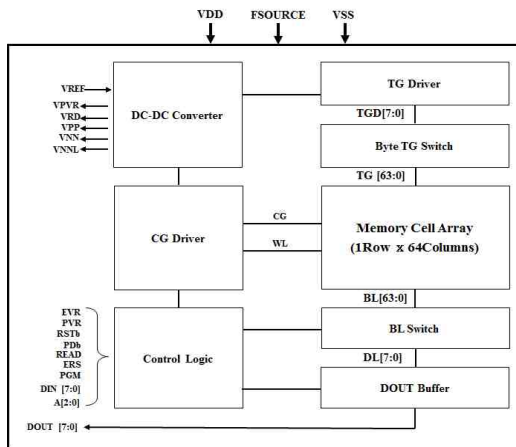


그림 5. 설계된 64bit MTP IP의 블록도.  
Fig. 5. Block diagram of 64b MTP memory IP.

기존의 256bit MTP 메모리 IP에서 HV (High-Voltage) 스위칭 회로를 제외한 DC-DC converter가 차지하는 레이아웃 면적은 그림 6에서 보는바와 같이 46.4%를 차지할 정도로 크다. 그래서 본 논문에서는 아날로그 트리밍 용도로 64bit 정도의 메모리 용량을 필요로 하는 MTP IP에서 저면적 회로 설계를 하였다. 저면적 설계기술로는 그림 1의 MTP cell에서 inhibit voltage를 기존의 VPP/3과 VNN/3 전압 대신 모두 0V를 사용하

로 VPPL regulator 회로와 VNNL charge pump 회로를 제거하였다. 그리고 VPP program voltage를 내부적으로 pumping하는 대신 external pad를 이용하여 6.75V로 forcing하므로 VPP charge pump 회로를 제거하였다. 또한 VNN charge pump는 high voltage로 공급되는 VPP 전압을 이용하여 negative feedback없이 1-stage negative charge pump 회로로 pumping해서 -VPP의 전압을 공급하므로 pumping stage 수를 줄였고 VNN level detector 회로를 제거하므로 기존의 VNN charge pump 회로보다 저면적으로 설계를 하였다. 또한 VPP, VPPL에 사용된 charge reservoir capacitor를 제거하였으며, VNN의 charge reservoir capacitor는 negative feedback 없이 ring oscillator의 oscillation에 계속 pumping하므로 loading current가 작은 경우 charge reservoir capacitance를 줄일 수 있다.

그림 6은 동작 모드에 따라 FSOURCE 또는 VDD 전압을 선택해주는 VPP 전원 스위칭 회로이다. Pad를 통해 공급되는 external program voltage인 FSOURCE 전압은 write mode인 page erase와 program mode에서만 6.75V의 전압을 구동하는 반면, 나머지 모드에서는 0V를 유지한다. 그래서 그림 6의 VPP 전원 스위칭 회로에서 VPP는 page erase와 program mode에서만 FSOURCE(=6.75V) 전압을 구동하고 나머지 모드는 VDD 전압을 구동한다.

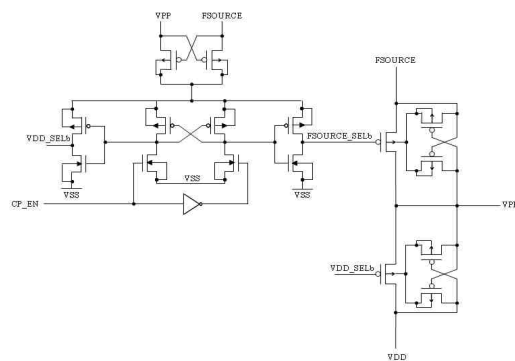


그림 6. 제안된 VPP 전원 스위칭 회로.  
Fig. 6. Proposed VPP switching power.

그림 7은 설계된 cross-coupled VNN charge pump 회로를 보여주고 있다. cross-coupled 전하 전달 스위치(MN1, MN2), PMOS 프리차지 트랜지스터(MP1, MP2)와 펌핑 커패시터(MC1, MC2)로 구성되어 있다. CLK0과 CLK2는 비중첩되는 시간을 제외하고는 기본적으로 같은 위상을 가진다. 유사하게 CLK1과 CLK3는 기본적으로 같은 위상을 가진다. 전하 전달 스위치인 NMOS 트랜지스터(MN1, MN2)는 문턱전압 손실(threshold voltage loss)없이 negative charge를 N1과 N2 노드에서 VNN 단으로 전달한다. CLK1과 CLK2가 반대의 위상을 가지면서 각각 0V와 VPP 전압으로 스위칭하면 N1과 N2 노드는 -VPP와 0V 전압으로 스위칭하게 된다. N1 노드가 -VPP 전압이고 N2 노드 전압이 0V가 되면 MN1 트랜지스터가 ON되어 문턱전압 손실없이 negative charge를 VNN 노드로 전달하게 된다. 그리고 CLK1과 CLK2가 VPP와 0V 전압으로 스위칭하면 N1 노드가 0V가 되고 N2 노드 전압이 -VPP 전압이 되어 MN2 트랜지스터를 통해 VNN 노드로 전달하게 된다. 그러므로 전하 펌핑은 한 사이클(cycle)에 2번 일어나는 2-phase charge pumping을 한다. VNN 전하펌프 회로는 ring oscillator의 oscillation에 의해 VPP로 스위칭 하는 pumping 클럭(CLK1, CLK2)의 클럭킹에 의해 write cycle 동안 계속 pumping하므로 부하 전류가 작은 경우 VNN이 최대로 떨

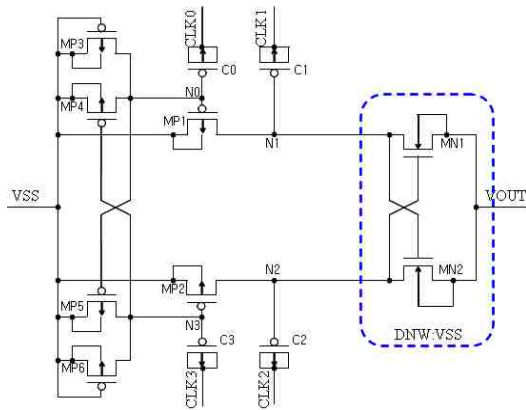


그림 7. 설계된 cross-coupled VNN charge pump 회로.  
Fig. 7. Designed cross-coupled VNN charge pump.

어지는 전압은 -VPP이다. 한편 설계된 VNN 회로는 loading current가 수백 nA 정도이므로 charge reservoir capacitance가 작은 capacitor를 사용하더라도 ripple voltage가 무시할 만큼 작아서 저면적 설계에 도움이 된다.

0.18 $\mu$ m BCD 공정에서 MTP IP의 신뢰성을 확보하기 위해서는 소자에 인가되는 전압을 7.5V 이내로 설계하여야 한다. 5V 소자의 신뢰성을 만족하는 CG와 TG 구동회로는 그림 8에서 보는바와 같다. 그림 8(a)의 CG 구동회로는 7.5V 이하의 스위칭 전압을 갖도록 하기 위해 VDD - VNNL\_CG, CG\_HV - VNNL\_CG, CG\_HV - CG\_LV의 3-stages voltage level translator 회로를 사용하였다. 각 stage에 있는 voltage level translator의 스위칭 전압은 표 4에서 보는바와 같이 각각의 동작 모드에 대해 모두 6.75V 이하인 것을 알 수 있다. 표 4는 동작 모드에 따른 스위칭 파워의 출력전압을 보여주고 있다. 그리고 그림 8(b)의 TG 구동회로도 CG 구동회로와 마찬가지로 3-stages voltage level translator 회로를 사용하므로 5V 소자에 인가되는 최대 전압을 6.75V 이하가 될=도록 설계하였다. CG와 TG 구동회로의 DNW(Deep N-Well) 전압은 그림 8에서 보는바와 같이 0V이다.

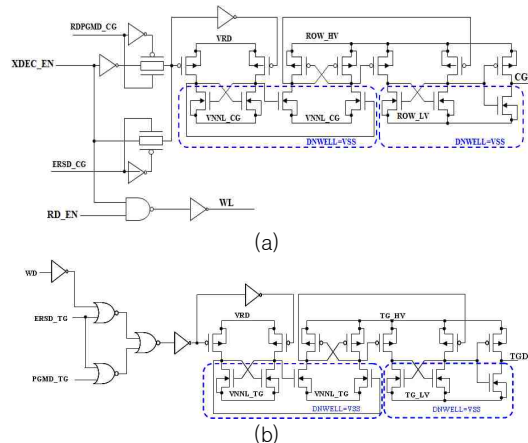


그림 8. (a) CG 구동회로 (b) TG 구동회로.  
Fig. 8. Drivers: (a) CG driver and (b) TG driver.



표 4. 동작모드에 따른 스위칭 파워의 출력 전압.  
Table 4. Output voltages of switching powers according to the operation modes.

Mode	Reset	Read	Program	Page Erase
CG_HV	VDD	VDD	6.75V	0V
CG_LV	0V	0V	0V	-6.75V
TG_HV	VDD	VDD	0V	6.75V
TG_LV	0V	0V	-6.75V	0V
VNNL_CG	0V	0V	0V	VNN/2
VNNL_TG	0V	0V	VNN/2	0V

매그나칩반도체 0.18 $\mu\text{m}$  BCD 공정을 이용하여 설계된 64비트 MTP IP의 레이아웃 면적은 그림 9에서 보는바와 같이 377.585 $\mu\text{m}$  × 328.265 $\mu\text{m}$  (=0.124mm<sup>2</sup>)이다.

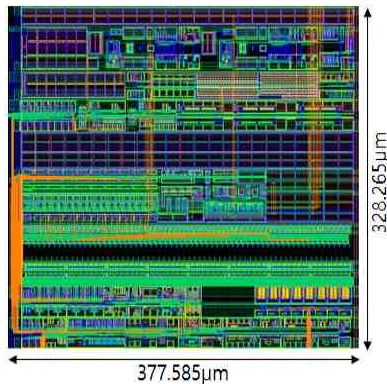


그림 9. 설계된 64비트 MTP IP 레이아웃 사진.  
Fig. 9. Layout plot of the designe3d 64b MTP memory IP.

### 3. 모의실험 결과

그림 10은 erase mode와 program mode에서의 64b MTP IP의 전압파형에 대한 모의실험 결과를 보여주고 있다. 모의실험 결과 erase mode에서 CG 전압은 VNN가 출력되는 것을 볼 수 있다. 그리고 TG는 VPP가 출력되는 것을 볼 수 있다. Program mode에서는 CG와 프로그램 되는 TG는 VPP, VNN가 출력되는 것을 볼 수 있다. 그리고 프로그램되지 않은 TG는 VSS(=0V)임을 알 수 있다. 그림 10의 모의실험 결과 전압 파형은 표 2의

EEPROM cell 바이어스 전압처럼 나오는 것을 확인하였다.

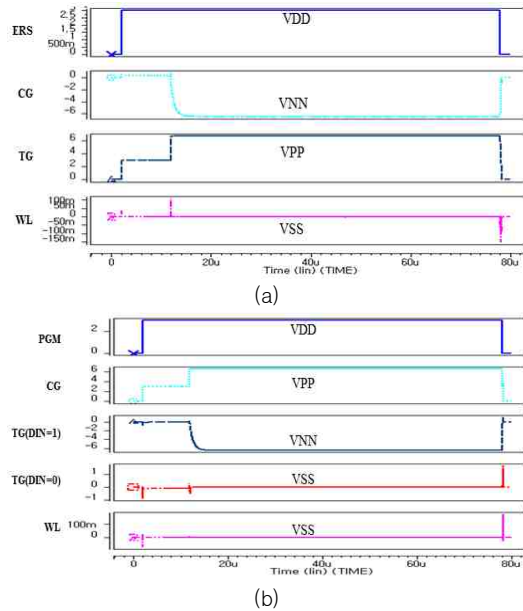


그림 10. Write mode에서의 주요 신호에 대한 모의실험 결과 파형: (a) erase mode (b) program mode.  
Fig. 10. Simulation results of major signals in the write mode: (a) erase mode and (b) program mode.

Read 모드에서의 모의실험 결과는 그림 11에서 보는바와 같으며, EEPROM IP에 인가되는 제어신호인 READ, CG Driver의 출력 신호인 WL과 CG, WL이 activation 되면서 EEPROM cell의 BL data가 BL switch를 통해 DL에 충분히전달되면 SAENb신호가 low로 활성화되면서 DOUT buffer에 의해 DL의 데이터는 센싱 되어 DOUT노드로 출력되는 것을 볼 수 있다. WL이 활성화되면 EEPROM 셀의 프로그램 데이터에 따라 '0'로 프로그램된 셀의 BL은 'L'로 떨어지고, '1'로 프로그램된 셀의 BL은 'H'전압 레벨을 유지한다. 그림 11(a)는 '0'로 program된 경우이고, 그림 11(b)는 '1'로 program된 경우에 대한 모의실험 결과이다. 그림11의 모의실험 조건은 VDD=3.0V, slow 모델 파라미터, temperature=125 $^{\circ}\text{C}$ 이며, 이모의실험 조건에서 액세스 시간(access time)은 241ns이다.

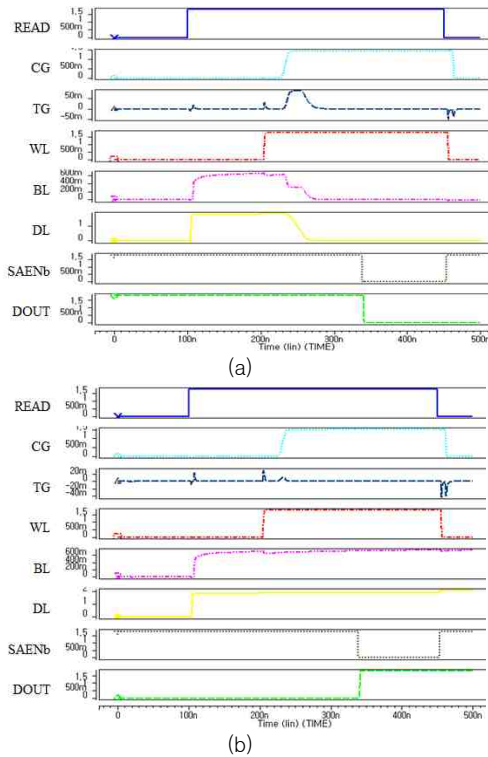


그림 11. Read 모드에서의 주요 신호에 대한 모의실험 결과 파형: (a) '0'로 프로그램 된 셀의 경우 (b) '1'로 프로그램 된 셀의 경우.

Fig. 11. Simulation results of major signals in the read mode: (a) '0'-programmed cell and (b) '1'-programmed cell.

#### 4. 결론

PMIC 칩은 아날로그 트리밍 용도로 사용되는 경우는 수 십 비트의 저면적 MTP IP가 요구된다.

본 논문에서는 저면적 64bit MTP IP를 설계하였다. 저면적 설계기술로는 MTP cell의 inhibit voltage를 기존의 VPP/3과 VNN/3 전압 대신 모두 0V를 사용하므로 VPPL(=VPP/3) regulator 회로와 VNNL(VNN/3) charge pump 회로를 제거하였다. 그리고 VPP program voltage를 내부적으로 pumping하는 대신 external pad를 이용하여 6.75V로 forcing하므로 VPP charge pump 회로를 제거하였다. 또한 VNN charge pump는 high voltage로 공급되는 VPP 전압을 이용하여 negative

feedback없이 1-stage negative charge pump 회로로 pumping해서 -VPP의 전압을 공급하므로 기존의 negative charge 회로보다 저면적으로 설계를 하였다. 또한 VPP, VPPL에 사용된 charge reservoir capacitor를 제거하였으며, VNN의 charge reservoir capacitance는 줄였다. 매그나칩 반도체 0.18 $\mu$ m BCD 공정 기반에서 설계된 64bit MTP IP size는 377.585 $\mu$ m  $\times$  328.265 $\mu$ m (=0.124mm<sup>2</sup>)이며, DC-DC converter관련 layout size는 기존의 회로 대비 76.4%를 줄였다.

#### REFERENCES

- [1] Hwang-Soo Chun, "Market Outlook and Domestic and Global Development Trend for Power Semiconductor," IITA Weekly Technology Trends, June 2009.
- [2] Yining Yu et al., "Design of 256 bit Single-Poly MTP Memory Based on BCD Process," J. Cent. South Univ. Technol., vol. 19, no. 12, pp. 3460-3467, Dec. 2012.
- [3] Yining Yu et al., "Design of 256 bit Single-Poly MTP Memory Based on BCD Process," J. Cent. South Univ. Technol., vol. 19, no. 12, pp. 3460-3467, Dec. 2012.
- [4] F. Torricelli et al., "Half-MOS Based Single-Poly EEPROM Cell with Program and Erase Bit Granularity," IEEE Electron Device Letters, vol. 34, no. 12, Dec. 2013.
- [5] Roizin, Yakov, et al., "High Density MTP Logic NVM for Power Management Applications," IEEE International Memory Workshop 2009, pp. 1-2, 2009.
- [6] Yoon-Kyu Kim et al., "Design of Multi-Time-Programmable Memory for PMICs," ETRI Journal, pp. 1188-1198, Dec. 2015.



---

저자약력

---

**최 대 용(Cui Dayong)** [학생회원]



- 2014년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2014년 9월 ~ 현재 : 창원대학교 전자공학과 석사과정

<관심분야> NVM IP 설계

**김 일 준(Jin Rijun)** [학생회원]



- 20012년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 20014년 6월 : 연변대학교 전자정보통신학과 (공학석사)
- 2014년 9월 ~ 현재 : 창원대학교 전자공학과 박사과정

<관심분야> NVM IP 설계

**하 판 봉(Pan-Bong Ha)** [정회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야> 임베디드 시스템, SoC설계

**김 영 희(Young-Hee Kim)** [중신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전자전기공학과 (공학석사)
- 2000년 2월 : 포항공과대학교 전자전기공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야> CMOS Image Sensor 설계, 메모리 IP 설계, SoC설계