

정사영 벡터의 특징 분석 및 하드웨어 자원 공유기법을 이용한 저면적 Gradient Magnitude 연산 하드웨어 구현

김우석*, 이주성**, 안호명***

Low Complexity Gradient Magnitude Calculator Hardware Architecture Using Characteristic Analysis of Projection Vector and Hardware Resource Sharing

WooSuk Kim*, Juseong Lee**, Ho-Myoung An***

요약 본 논문은 저면적 gradient magnitude 연산을 위한 하드웨어 구조를 제안한다. 하드웨어 복잡도를 줄이기 위해 정사영 벡터의 특징 및 하드웨어 자원 공유기법을 이용했다. 제안된 하드웨어 구조는 gradient magnitude 연산 알고리즘의 변형 없이 구현되었기 때문에 gradient magnitude 데이터 품질의 열화 없이 구현될 수 있다. 제안된 저면적 gradient magnitude 연산 하드웨어는 Altera Quartus II v15.0 환경에서 Altera Cyclone VI (EP4CE115F29C7N) FPGA를 이용하여 구현되었다. 구현 결과, 기존 하드웨어 구조를 이용하여 구현한 연산기와 비교에서 15%의 logic elements 및 38%의 embedded multiplier 절감 효과가 있음을 확인했다.

Abstract In this paper, a hardware architecture of low area gradient magnitude calculator is proposed. For the hardware complexity reduction, the characteristic of orthogonal projection vector and hardware resource sharing technique are applied. The proposed hardware architecture can be implemented without degradation of the gradient magnitude data quality since the proposed hardware is implemented with original algorithm. The FPGA implementation result shows the 15% of logic elements and 38% embedded multiplier savings compared with previous work using Altera Cyclone VI (EP4CE115F29C7N) FPGA and Quartus II v15.0 environment.

Key Words : Feature extraction, gradient magnitude calculator, high-throughput signal processing, low-complexity hardware architecture.

1. Introduction

최근 고해상도 디스플레이 및 모바일 카메라 모듈 기술의 발전으로 인해 영상 신호처리 프로세서 (Image signal processor) 및 비전 칩의 (Vision chip) 저면적/고성능 설계가 각광받고 있다 [1]. 이런 동향에 따라 모바일 환경에 쉽게 적

용될 수 있는 낮은 복잡도의 edge detection, feature 및 texture matching 등 물체인식에서 가장 기본적인 알고리즘들의 VLSI (Very large scale integration) 구현에 대한 연구 또한 주목받고 있다 [2], [3]. 기존 대부분의 연구들에선 낮은 복잡도의 물체인식 알고리즘의 구현을 위해 알고

This work was supported by Osan University.

*Electrical, Electronic, and Control Engineering, HanKyong University

**Center of Human-centered Interaction for Coexistence

***Corresponding Author : Department of Electronics, Osan University(callname@osan.ac.kr)

Received August,23 2016

Revised August,25 2016

Accepted August,25 2016

리즘의 복잡도가 높은 gradient magnitude 연산의 복잡도를 낮추는데 집중 해 왔다. gradient magnitude는 영상처리에서 가장 기본적으로 사용될 수 있는 정보로 물체와 배경 사이에서 나타나는 경계의 크기 및 방향성에 대한 데이터이다. Gradient magnitude calculator의 복잡도를 낮추기 위해 다음과 같은 기존 연구들이 있었다: 1) 수직/수평 gradient들의 절댓값 합 [4], 2) Sobel operator를 이용한 monolithic filter 구조적용 [5], 3) Piecewise planar 근사 [6]. 기존 연구들은 기존 알고리즘의 높은 복잡도 때문에 알고리즘 복잡도와 정확도 사이의 trade-off를 통해 낮은 복잡도의 gradient magnitude 연산을 구현해왔다.

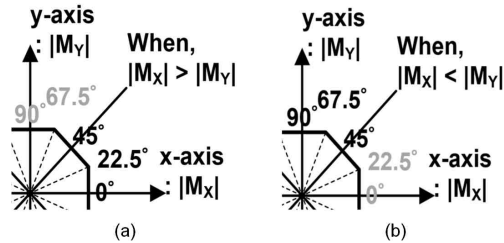


그림 1. 정사영 될 다섯 방향 벡터의 특징. (a) $|MX| > |MY|$ 인 경우. (b) $|MY| > |MX|$ 인 경우.
Fig. 1. The characteristic of projection vectors. (a) When, $|MX| > |MY|$. (b) When, $|MY| > |MX|$.

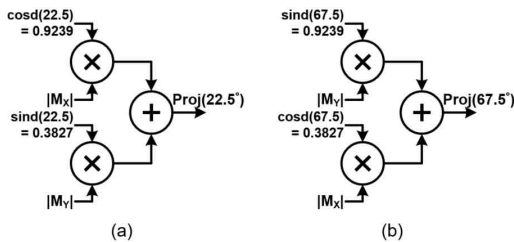


그림 2. 대각선 방향 정사영 벡터 연산을 위한 하드웨어 구조. (a) 22.5o 방향 정사영 벡터 연산 하드웨어 (b) 67.5o 방향 정사영 벡터 연산 하드웨어.
Fig. 2. Hardware architecture of projection vector calculator for diagonal direction. (a) Projection vector calculator for 22.5o direction. (b) Projection vector calculator for 67.5o direction.

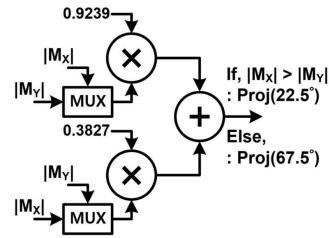


그림 3. 제안된 하드웨어 구조.
Fig. 3. Proposed hardware architecture.

본 논문에서는, gradient magnitude 연산기의 저면적 구현을 위한 하드웨어 구조를 제안한다. 제안된 하드웨어 구조는 이차원 벡터 평면에서 다섯 개의 주요 방향으로 정사영 된 벡터들을 기반으로 gradient magnitude을 연산한다. 알고리즘의 VLSI 구현 시 하드웨어 자원 공유를 통해 낮은 복잡도의 gradient magnitude 연산을 구현하고자 한다.

2. Previous Works

Gradient magnitude는 영상처리에서 물체와 배경사이의 경계를 구분하는데 사용된다. 연산에 필요한 Gradient magnitude 수식은 다음과 같이 표현된다.

$$|M| = \sqrt{M_x^2 + M_y^2} \quad (1)$$

M_x 와 M_y 는 각각 이미지의 horizontal, vertical derivative이다. M_x/M_y 의 절댓값을 합하는 접근 방법 [4] 은 gradient magnitude 연산의 복잡도를 줄이기 위해 제안되었지만, 대각선 방향에서 나타나는 벡터를 검출해내지 못하는 단점이 있다. 이 문제점을 해결하기 위해 대각선 방향의 벡터를 검출해낼 수 있는 추가적인 필터 삽입 [5], 두 개의 곱셈기를 이용한 piecewise planar approximation [6] 등이 제안되었지만 낮은 검출 정확도를 보일 뿐만 아니라, 알고리즘을 구성하는 덧셈 및 곱셈기의 수가 여전히 많은 문제점이 있다.

3. Main Idea

제안하는 gradient magnitude 연산 하드웨어 구조는 기존에 제안된 특정 방향으로 정사영 된 벡터들 중 가장 큰 값을 취하는 gradient magnitude 연산 기법을 이용하여 구현된다. 기존 알고리즘에서 이차원 벡터 평면에서 정사영 벡터 값을 구할 때 발생하는 공통항 및 특징 분석을 통해 하드웨어 공유 기법을 적용할 수 있다. 특정 방향으로 정사영 된 벡터들 중 가장 큰 값을 취하는 gradient magnitude 연산 알고리즘의 수식은 다음과 같다.

$$|M| = \max(|M_X|, |M_Y|, \frac{|M_X| + |M_Y|}{\sqrt{2}}, \quad (2)$$

$$|M_X| \times \cosd(22.5^\circ) + |M_Y| \times \sind(22.5^\circ),$$

$$|M_X| \times \cosd(67.5^\circ) + |M_Y| \times \sind(67.5^\circ))$$

식 (2)에서 괄호안의 항들은 이차원 벡터인 M_X , M_Y 를 각각 0° , 90° , 45° , 22.5° , 67.5° 로 정사영 시키는 과정이고, 다섯 방향으로 정사영 시킨 값들 중에서 큰 값을 선택하는 과정으로 gradient magnitude 연산을 대신할 수 있다. 괄호안의 항들 중, 22.5° , 67.5° 에 해당하는 수식을 이용하여 곱셈 및 덧셈 연산수를 줄일 수 있다.

그림 1은 정사영 된 다섯 방향 벡터의 특징을 보인다. 그림 1(a)는 $|M_X|$ 의 값이 $|M_Y|$ 보다 큰 경우, 그림 1(b)는 $|M_Y|$ 의 값이 $|M_X|$ 보다 큰 경우를 나타낸다. 그림 1에 나타난 것과 같이, 22.5° 에 해당하는 정사영 벡터는 $|M_X|$ 의 값이 $|M_Y|$ 보다 큰 경우 값으로 채택될 확률이 있고, 67.5° 에 해당하는 정사영 벡터는 $|M_Y|$ 의 값이 $|M_X|$ 보다 큰 경우 값으로 채택될 확률이 있다. 따라서 $|M_X| > |M_Y|$ 인 경우 67.5° 에 해당하는 정사영 벡터를 계산하지 않아도 되고, $|M_Y| > |M_X|$ 인 경우 22.5° 에 해당하는 정사영 벡터를 계산하지 않아도 된다. 그림 2는 22.5° 및 67.5° 에 해당하는 대각선 방향 정사영 벡터 연산을 위한 하드웨어 구조이다. 그림 2(a)와 (b)에 보인 하드웨어 구조와 같이 각 곱셈에 요구

되는 상수 값이 0.9239 와 ($\cosd(22.5)$, $\sind(67.5)$) 0.3827 로 ($\sind(22.5)$, $\cosd(67.5)$) 같음을 알 수 있다. $|M_X|$ 및 $|M_Y|$ 의 대소 관계 따른 특징과 각 곱셈에 요구되는 상수 값이 같은 특징을 적용하여 해당 연산에 요구되는 곱셈의 수를 줄일 수 있다.

제안된 하드웨어 구조는 그림 3과 같다. $|M_X|$ 와 $|M_Y|$ 의 대소 관계에 따라 MUX의 선택 신호를 인가하고, 곱셈기를 공유할 수 있는 구조로 설계된다. 제안된 구조는 그림에 나타난 것과 같이 요구되는 곱셈기의 수를 절반으로 줄일 수 있다.

4. Experimental Results

제안된 gradient magnitude 연산 하드웨어는 Altera Cyclone IV FPGA (EP4CE115F29C7N)를 이용하여 구현되었다. 하드웨어의 합성은 Quartus II v15.0을 이용하여 수행되었다. 표 1은 모듈의 FPGA 구현 결과를 나타낸다. 구현 결과 제안된 gradient magnitude 연산 하드웨어는 기존 구조에 비해 15%의 logic elements, 38%의 embedded multiplier 절감 효과가 있을 수 있음을 확인했다. 또한, 기존 알고리즘을 변형하지 않고 하드웨어 구조적으로 접근한 방법이기 때문에 gradient magnitude 연산의 정확도가 유지될 수 있다.

표 1. Gradient magnitude 연산 하드웨어의 FPGA 구현 결과 및 비교.

Table 1. FPGA implementation result for gradient magnitude calculation hardware

	Conventional	This work
Logic elements	181	153 (15% ↓)
Registers	28	28
Embedded Multiplier	13	8 (38% ↓)

그림 4는 구현된 gradient magnitude 연산 하드웨어를 Canny edge detection [6]에 적용한 결과를

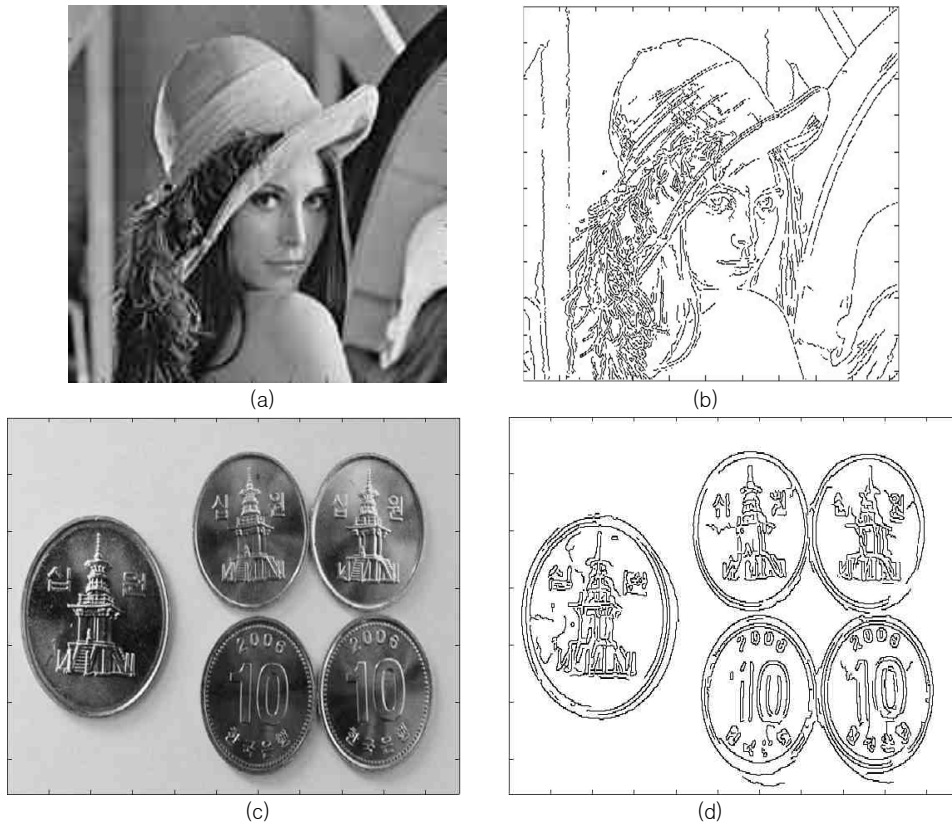


그림 4. Canny edge detection 결과. (a) 원본 Lena 이미지. (b) Lena 이미지의 Canny edge detection 결과.
 (c) 원본 Coins 이미지. (d) Coins 이미지의 Canny edge detection 결과.
 Fig. 4. Canny edge detection results. (a) Original Lena image. (b) Canny edge detection result of Lena image.
 (c) Original Coins image. (d) Canny edge detection result of Coins image.

보인다. 그림 4에서 보인 결과와 같이 Canny edge detection에 잘 적용 될 수 있음을 확인하였다.

5. Conclusion

본 논문에서는, gradient magnitude 연산의 저면적 하드웨어 구조가 제안되었다. 제안된 구조는 수식에서 발생하는 공통되는 항과 벡터의 특징을 이용하여 동시에 필요하지 않은 항을 발견하여 하드웨어 공유 구조를 적용할 수 있도록 하였다. 기존 구조와 비교 시 제안된 구조가 기존 구조에 비해 하드웨어 자원을 절약할 수 있음을 확인하였다. 또한, 알고리즘 변형 없이 구현되었기

때문에 gradient magnitude 연산의 정확도가 유지될 수 있었다. 본 논문에 제안된 저면적 gradient magnitude 연산 하드웨어 구조는 모바일 환경에 쉽게 적용될 수 있다.

REFERENCES

[1] A. Alaghi, C. Li and J. P. Hayes, "Stochastic circuits for real-time image processing applications", in *Proc. ACM/EDAC/IEEE Design Automation Conference (DAC)*, pp. 136:1-6, Jun. 2013.
 [2] P. Zhao, H. Zhu, H. Li, and T. Shibata, "A

Directional-Edge-Based Real-Time Object Tracking System Employing Multiple Candidate-Location Generation”, *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 23, no. 3, pp. 503-517, Mar. 2013.

[3] S. -L. Chen and E. -D. Ma, “VLSI Implementation of an Adaptive Edge-Enhanced Color Interpolation Processor for Real-Time Video Applications”, *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 24, no. 11, pp. 1982-1991, Nov. 2014.

[4] P. R. Possa, S. A. Mahmoudi, N. Harb, C. Valderrama, and P. Maneback, “A Multi-Resolution FPGA-Based Architecture for Real-Time Edge and Corner Detection”, *IEEE Transactions on Computers*, vol. 63, no.10, pp. 2376-238, Oct. 2014.

[5] N. Kanopoulos, N. Vasanthavada, and R. L. Baker, “Design of an image edge detection filter using the Sobel operator”, *IEEE Journal of Solid-State Circuits*, vol. 23, no. 2, pp. 358-367, Apr. 1988.

[6] B. Geelen, F. Deboeverie, and P. Veelaert, “Implementation of Canny edge detection of Canny Edge Detection Filter for ITK Using CUDA”, in *Proc. IEEE Symposium on Computer Systems*, pp. 33-40, Oct. 2012.

저자약력

김 우 석(Kim Woo Suk) [학생회원]



- 2016년 3월: 한경대 전기전자 제어공학과(공학사)

<관심분야> 반도체 설계

이 주 성(Juseong Lee) [정회원]



- 2013년 2월 : 서울과학기술대학교 전자IT미디어공학과 (공학사)
- 2015년 8월 : 고려대학교 전기전자공학과 (공학석사)
- 2015년 10월 ~ 현재 : (제)실감교류인체감응솔루션연구단 연구원

<관심분야> 반도체 설계, 저전력 영상처리, 오류 정정 부호

안 호 명(Ho-Myoung An) [정회원]



- 2001년 2월 : 광운대학교 전자재료공학과 (공학사)
- 2003년 2월 : 광운대학교 전자재료공학과 (공학석사)
- 2009년 2월 : 광운대학교 전자재료공학과 (공학박사)
- 2009년 3월 ~ 2013년 2월 : 고려대학교 전기전자전파공학과 연구교수
- 2013년 3월 ~ 현재 : 오산대학교 디지털전자과 조교수

<관심분야> 반도체 소자, 비휘발성메모리, 광소자, 산화물반도체