

논문 2016-53-7-5

1.5비트 비교기를 이용한 인버터 기반 3차 델타-시그마 변조기

(Design of a Inverter-Based 3rd Order $\Delta\Sigma$ Modulator Using
1.5bit Comparators)

최 정 훈*, 성 재 현*, 윤 광 섭**

(Jeong Hoon Choi, Jae Hyeon Seong, and Kwang Sub Yoon[©])

요 약

본 논문에서는 음성 신호의 디지털 데이터 변환을 위한 인버터와 1.5비트 비교기를 이용한 CMOS 3차 델타-시그마 변조기를 설계하였다. 제안하는 3차 델타-시그마 변조기는 연산증폭기 대신에 1.5비트 비교기를 이용한 멀티비트 구조로 낮은 OSR에서 단일비트 4차 델타-시그마 변조기 대비 높은 신호대 잡음비를 확보하고 인버터 기반 적분기를 사용하여 소모 전력을 최소화 시키며 인버터 기반 적분기 회로를 아날로그 덧셈기로 이용함으로써 전력소모를 감소시키고 회로구조를 단순화 시켰다. 제안한 델타-시그마 변조기는 0.18 μm CMOS 표준 공정을 통해 제작되었으며, 전체 칩면적은 0.36 mm^2 으로 설계되었다. 제작된 칩의 측정 결과 아날로그 회로는 공급전압 0.8V에서 28.8 μW , 디지털 회로는 공급전압 1.8V에서 66.6 μW 로 총 95.4 μW 의 전력소모가 측정되었다. 델타-시그마 변조기의 동작주파수 2.56MHz, OSR 64배의 조건에서 2.5kHz의 입력 정현파 신호를 인가하였을 때 SNDR은 80.7 dB, 유효비트수는 13.1 비트, 동적범위는 86.1 dB로 측정되었다. 측정결과로부터 FOM(Walden)은 269 fJ/step, FOM(Schreier)는 169.3 dB로 계산되었다.

Abstract

This paper describes the third order feedforward delta-sigma modulator with inverter-based integrators and a 1.5bit comparator for the application of audio signal processing. The proposed 3rd-order delta-sigma modulator is multi-bit structure using 1.5 bit comparator instead of operational amplifier. This delta-sigma modulator has high SNR compared with single-bit 4th-order delta-sigma modulator in a low OSR. And it minimizes power consumes and simplified circuit structure using inverter-based integrator and using inverter-based integrator as analogue adder. The modulator was designed with 0.18 μm CMOS standard process and total chip area is 0.36 mm^2 . The measured power consumption is 28.8 μW in a 0.8V analog supply and 66.6 μW in a 1.8V digital supply. The measurement result shows that the peak SNDR of 80.7 dB, the ENOB of 13.1bit and the dynamic range of 86.1 dB with an input signal frequency of 2.5kHz, a sampling frequency of 2.56MHz and an oversampling rate of 64. The FOM (Walden) from the measurement result is 269 fJ/step, FOM (Schreier) was calculated as 169.3 dB.

Keywords : CMOS, 1.5 bit comparator, inverter, $\Delta\Sigma$ modulator

* 학생회원, ** 평생회원, 인하대학교

(Department of Electronic Engineering, Inha University)

© Corresponding Author (E-mail : ksyoon@inha.ac.kr)

※ 이 논문은 2010년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2010-0020163)

※ 본 연구는 미래창조과학부 및 정보통신기술진흥센터의 대학ICT연구센터육성지원사업의 연구결과로 수행되었음(IITP-2016-H8601-16-1003)

Received : January 27, 2016 Revised : June 29, 2016

Accepted : July 4, 2016

I. 서 론

음성신호 처리 분야는 델타-시그마 변조기의 주요 응용 분야이다. 최근 음성신호 처리가 필수적인 스마트폰을 비롯한 모바일 기기의 발전으로 인해 저 전력 고 해상도 ADC(Analog to digital converter)의 대한 요구가 증가하고 있다.

ADC의 저 전력화는 아날로그 회로 설계자들에게 중요한 관심사이다. 특히 추가적인 회로는 저 전력 설계

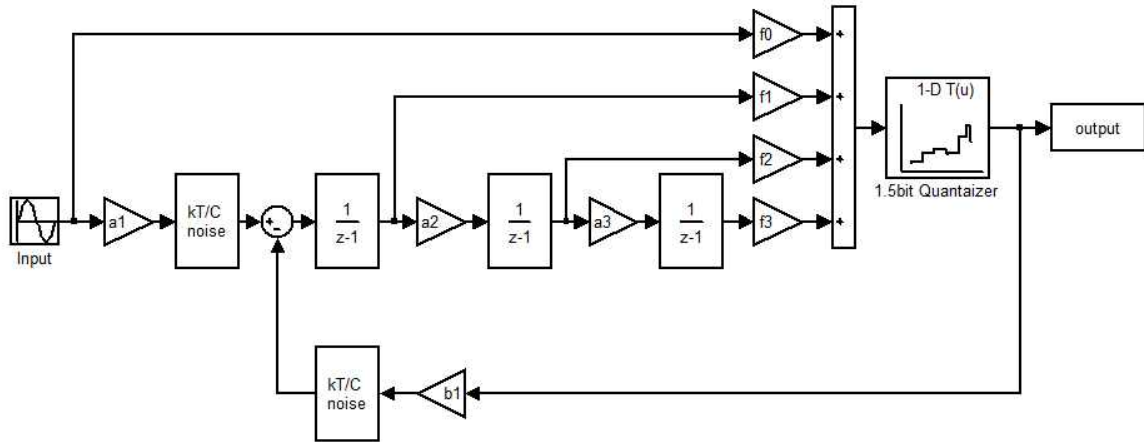


그림 1. 3차 피드포워드 1.5bit 델타-시그마 변조기의 블록 다이어그램
 Fig. 1. Block diagram of 3rd order feedforward 1.5bit $\Delta\Sigma$ modulator.

에 큰 부담이 된다. 단일 비트 구조에 비해 피드포워드 구조 및 멀티비트 구조를 함께 사용하는 경우 양자화기의 앞에서 피드포워드 된 신호들을 합산해줄 아날로그 덧셈기가 필요한 문제가 있다. 이러한 문제를 해결하기 위하여 여러 가지 방법의 논의되었다^[1~3].

첫 번째 방법은 스위치-커패시터를 이용한 수동 덧셈(Passive summation) 기법이다. 이 방법은 스위치-커패시터만으로 회로를 구성 할 수 있는 장점이 있다. 그러나 합산된 결과가 전체 커패시터의 총량으로 나누어지는 신호감쇄 문제가 존재하므로 멀티비트 구조에서는 사용하기에 적합하지 않다.

두 번째 방법은 연산증폭기를 이용한 아날로그 덧셈기를 사용하는 방법이다. 이 방법은 연산증폭기를 사용하므로 합산 결과의 오차가 작지만 추가적인 연산증폭기가 필요하므로 전력소모가 증가하는 문제가 있다.

세 번째 방법은 래치비교기를 변형시킨 직접 덧셈(Direct summation) 기법이다^[1~2]. 이 방법은 래치 비교기의 입력 트랜지스터를 병렬로 만들어 피드포워드 신호를 직접 입력하는 방법이다. 비교기의 입력 트랜지스터가 선형영역에서 동작한다고 가정 할 때 양 입력단의 전류차이를 이용하여 신호를 합산한다. 이 방법은 추가적인 회로가 필요 없으므로 전력소모를 최소화 시킬 수 있다. 그러나 입력단 트랜지스터가 선형영역에서 동작하도록 하여야 하므로 피드포워드 되는 신호의 출력 스윙폭이 매우 작아야 하는 문제점이 있다.

본 논문에서는 저 전력 고해상도 설계를 목표로 인버터 기반 적분기를 사용한 1.5비트 델타-시그마 변조기 설계를 제안한다. 1.5비트 비교기 및 피드포워드 구조를 사용하였으며 피드포워드 신호의 합산을 위하여 인버터

기반 아날로그 덧셈기를 제안하였다. 제안하는 델타-시그마 변조기는 64배의 OSR(Over sampling rate)에서 15비트 이상의 유효비트수(ENOB: Effective number of bits)를 얻을 수 있도록 설계하였다.

본 논문의 2장에서는 제안하는 델타-시그마 변조기 구조에 대해 설명하고, 3장에서는 설계된 각 회로에 대해 설명한다. 4장에서는 모의실험 및 측정 결과에 대해 설명한다. 끝으로 5장에서는 본 논문에 대한 결론을 내리도록 한다.

II. 제안하는 델타-시그마 변조기 구조

본 논문에서는 음성신호 처리를 위한 CMOS 인버터 기반 3차 1.5비트 델타-시그마 변조기를 설계하였다. 전력소모를 최소화하기 위하여 일반적으로 적분기를 구현하기 위해 사용되는 연산증폭기 대신에 인버터를 사용하였으며, 피드포워드(feed forward) 구조를 이용하여 루프 필터를 설계하였다. 또한 64배의 낮은 OSR에서 15비트 이상의 ENOB을 확보하기 위하여 멀티비트구조를 선택하였으며 ADC 및 DAC의 회로부담을 줄이기 위해 3개의 레벨을 갖는 1.5비트 구조를 사용하였다. 이를 통해 추가적인 DAC의 설계 없이 기본적인 기준전압인 VDD, VCM, GND를 사용하였다.

그림 1은 제안하는 델타-시그마 변조기의 동작모델이다. 동작 모델로부터 NTF를 구하면 다음과 같다.

$$NTF(z) = \frac{(z-1)^3}{z^3 + C_2z^2 + C_1z + C_0} \tag{2}$$

$$C_0 = a_2a_3b_1f_3 - a_2b_1f_2 + b_1f_1 - 1 \tag{3}$$

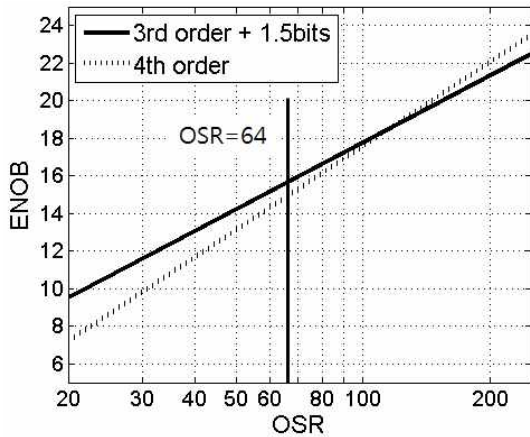


그림 2. 델타-시그마 변조기 구조와 OSR에 따른 ENOB 변화

Fig. 2. Simulation result of ENOB versus OSR.

$$C_1 = a_2 b_1 f_2 - 2b_1 f_1 + 3 \quad (4)$$

$$C_2 = b_1 f_1 - 3 \quad (5)$$

동작 모델로부터 구한 NTF와 계수들 사이의 관계를 이용하여 식 (6)과 같은 NTF를 구현하도록 각 계수 $a_1, a_2, a_3, b_1, f_0, f_1, f_2, f_3$ 의 값을 결정하였다.

$$NTF(z) = \frac{(z-1)^3}{z^3 - 1.161z^2 + 0.5555z - 0.0965} \quad (6)$$

실제 회로 구현 시 단위 커패시터로 구현되는 점을 고려하여 각 계수들을 유리수가 되도록 근사값으로 조정하였다. 표 1은 각 계수의 값을 정리한 것이다.

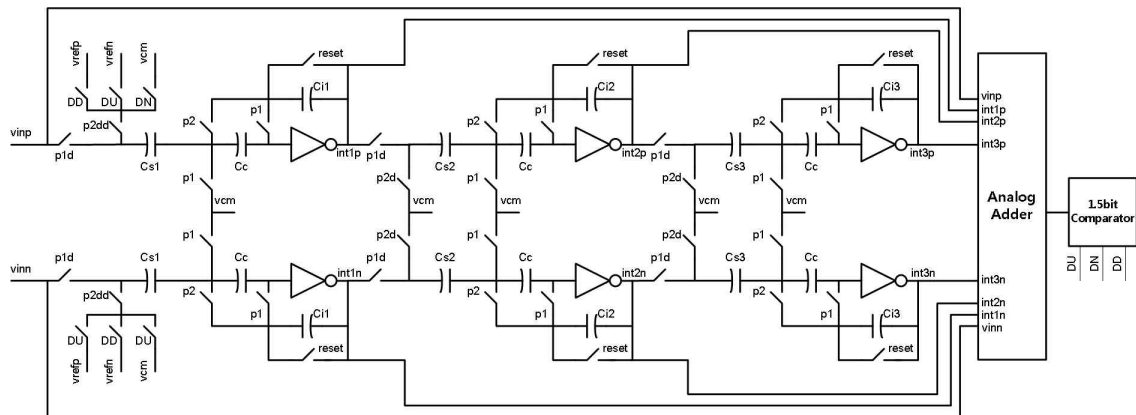


그림 4. 인버터와 1.5비트 비교기를 이용한 CMOS 3차 델타-시그마 변조기

Fig. 4. The third order CMOS delta-sigma modulator with inverters and a 1.5 bit comparator.

저전력 설계를 위하여 0.8V 아날로그 공급전압에서 약 반전 영역을 이용한 인버터기반 적분기를 사용하였기 때문에 넓은 출력 스윙폭으로 인한 DC 이득의 변화는 입력신호에 대한 고조파를 발생시켜 변조기의 성능을 크게 악화시킬 수 있다. 따라서 이를 최소화 할 수 있도록 피드포워드 구조를 사용하였다. 피드포워드 구조는 피드백 구조에 비해 적분기의 출력 스윙폭을 최소화시킬 뿐만 아니라 각 적분기의 적분 계수를 설계하는데 있어서 유연성을 제공한다.

델타-시그마 변조기의 차수와 OSR은 인버터의 성능과 ENOB 성능 조건으로 결정하였다. 약반전 영역에서 동작하는 인버터의 특성으로 인해 64배 이상의 OSR에서 변조기를 동작시키기 어렵다. 따라서 OSR을 64배로

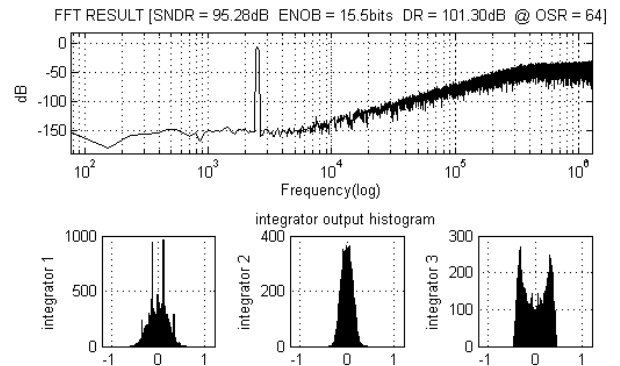


그림 3. MATLAB Simulink 동작모델 모의실험 FFT 결과 및 적분기 히스토그램

Fig. 3. FFT result and integrator histogram of MATLAB simulink behavior model simulation.

결정하였으며 15비트 이상의 ENOB을 확보하기 위하여 멀티비트 구조를 선택하였다. 그림 2는 단일비트 4차와

표 1. 델타-시그마 변조기의 루프 계수

Table1. Loop factor of the delta-sigma modulator.

계수	값	계수	값
a1	22/48	f0	4.0000
a2	12/18	f1	4.0000
a3	5/21	f2	4.0000
b1	22/48	f3	4.0000

1.5비트 3차 구조의 OSR에 따른 ENOB을 도시한 것이다. 그래프에서 확인할 수 있듯이 높은 OSR에서는 높은 차수의 변조기가 유리하지만 64배의 OSR에서는 1.5비트 3차 구조를 사용해야 15비트 이상의 ENOB을 얻을 수 있다.

결정한 델타-시그마 변조기 구조는 동작 모델 모의 실험을 통해 성능을 검증하였다. 그림 3은 이상적인 3차 1.5비트 변조기의 동작모델 모의실험 결과이다. OSR 64배, 입력신호 주파수 대역 20kHz, 샘플링 주파수 2.56MHz의 조건에서 아날로그 공급전압(AVDD) 0.8V의 1/2진폭의 2.5kHz 사인파를 입력하여 모의실험 하였다. 출력된 결과는 하닝(Hanning) 윈도우를 사용하여 FFT(Fast fourier transform)하였으며, SNDR 95.28dB, ENOB 15.5비트를 확인하였다.

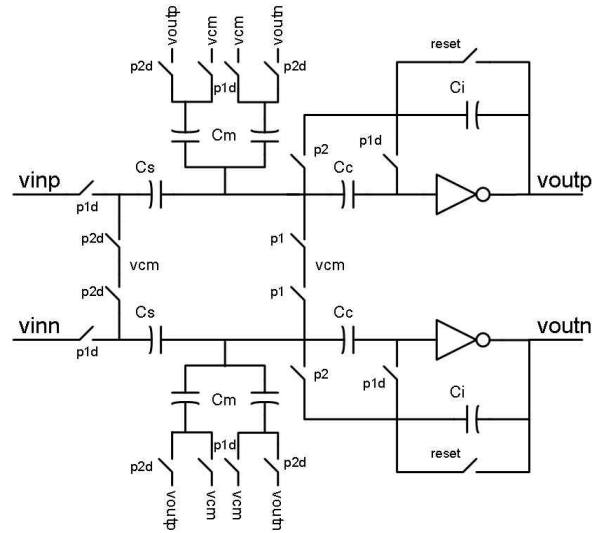


그림 5. 완전 차동 구조 인버터 기반 적분기 회로도
Fig. 5. Schematic of fully-differential inverter-based integrator.

III. 델타-시그마 변조기 설계

그림 4는 제안하는 델타-시그마 변조기의 전체 회로도이다. 회로도를 간략히 하기위해 인버터기반 적분기의 공통 모드 귀환 회로(CMFB: Common Mode Feedback) 회로는 생략하였다. 사용된 커패시터의 크기는 앞에서 결정한 계수 및 KT/C 잡음을 고려

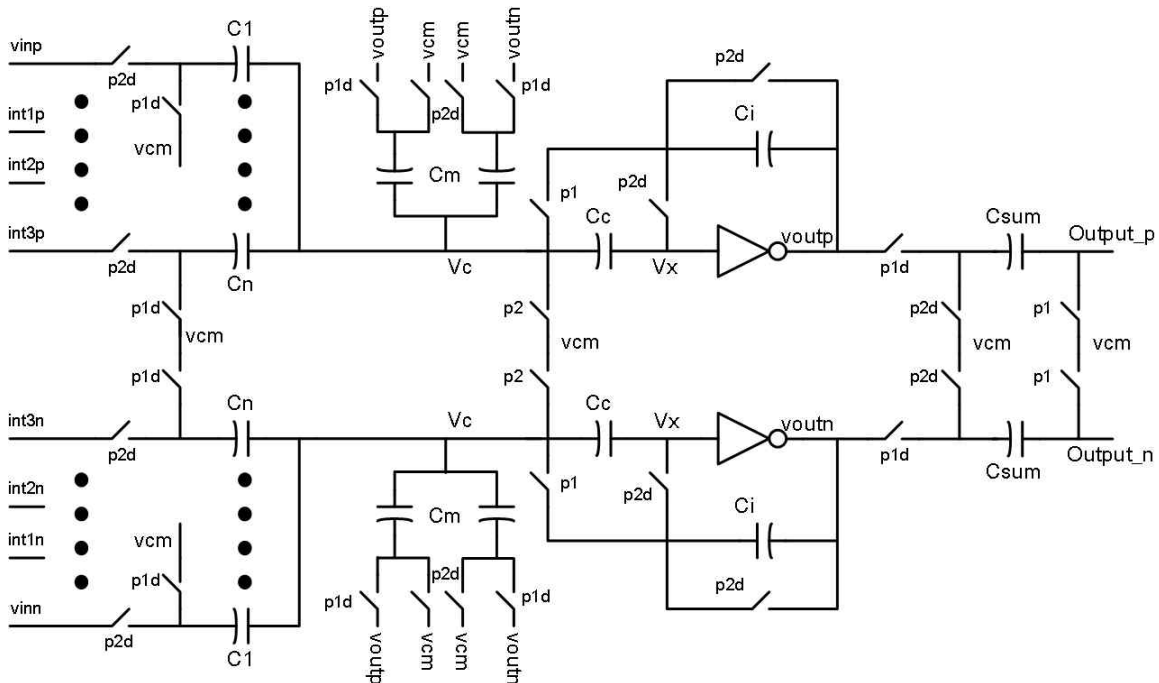


그림 6. 아날로그 덧셈기의 회로도
Fig. 6. Schematic of analog adder.

한 샘플링 커패시터 크기를 이용하여 결정하였다. 회로도에 사용된 모든 클럭들은 클럭 생성기를 통해 생성된 비중첩 클럭을 사용하였다. 커패시터 매칭 특성을 향상시키기 위하여 110fF의 단위 커패시터를 사용하여 회로에 사용되는 모든 커패시터를 구성하였다.

제안하는 델타-시그마 변조기에 사용된 적분기는 전력소모 감소를 위하여 인버터 기반 적분기를 사용하였다. 인버터 기반 적분기는 정상상태에서 인버터의 트랜지스터들이 약반전 영역에서 동작한다^[4-6]. 따라서 적분기의 정상상태에서의 전력소모를 줄일 수 있으며 단순한 인버터의 구조로 인하여 공급전압을 낮출 수 있다. 그림 5는 제안하는 델타-시그마 변조기에 사용된 인버터 기반 적분기의 회로도이다^[6]. 잡음의 영향을 줄이고 오프셋 전압을 감소시키기 위해 완전차동 구조를 사용하였다. 완전차동 구조는 출력의 공통모드 전압을 결정하기 위한 공통 모드 귀환 회로가 추가로 필요하다. 이를 위해서 커패시터 C_m 과 출력전압을 이용한 공통 모드 귀환 회로가 사용되었다.

단일비트 델타-시그마 변조기와 달리 멀티비트 델타-시그마 변조기에서 피드포워드 구조를 사용하게 되면 피드포워드 된 신호들을 합산할 추가적인 회로가 필요하다. 단일비트 구조에서는 합산된 신호의 공통모드 신호 대비 +/- 부호만 이용하면 되므로 추가적인 능동소자 없이 스위치-커패시터를 이용한 합산회로를 사용하여도 문제가 없다. 그러나 멀티비트 구조에서는 합산된 신호를 ADC를 통해 신호 크기를 비교하여 출력 코드를 결정해야 하므로 단일비트 구조의 스위치-커패시터 합산회로를 사용 할 수 없다. 그림 6은 제안하는 아날로그 덧셈기의 회로도이다. 전력소모를 감소시키고 회로를 단순화시키기 위하여 CMOS 인버터 기반 적분기를 이용하여 아날로그 덧셈기를 구현하였다. 적분기의 샘플링 구간에서 적분 커패시터에 저장된 이전 적분 값을 초기화함으로써 다음 적분 구간에서 입력되는 값을 덧셈할 수 있도록 설계하였다. 제안된 아날로그 덧셈기는 p2d 클럭이 "1"에서 인버터에 연결된 적분 커패시터 C_i 의 양단을 단락시켜 이전에 저장된 덧셈값을 방전시킨다. 또한 피드포워드 된 적분기의 출력신호를 커패시터 $C_1 \sim C_n$ 에 샘플링한다. 동시에, 인버터에서 발생하는 오프셋 전압 V_{os} 는 커패시터 C_c 에 저장된다.

그림 7은 덧셈 동작시 회로도를 나타낸 것이다. 덧셈 동작을 수행하는 p1 클럭에서는 p2에서 커패시터 C_c 에

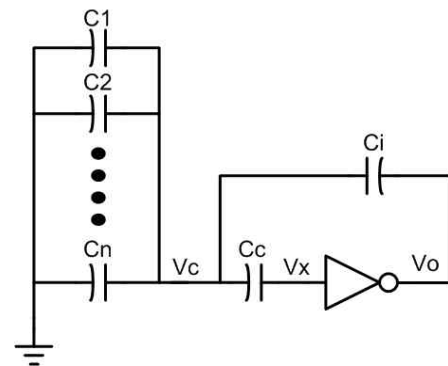


그림 7. 덧셈기의 덧셈 동작시 회로도
Fig. 7. Schematic of analog adder at p1.

저장된 V_{os} 전압으로 인해 V_c 노드의 전압이 공통모드 전압과 거의 동일해 진다. 이러한 오토 제로(Auto zeroing)특성으로 인하여 가상접지와 동일한 효과를 얻을 수 있다^[4]. 이때, 커패시터 C_1, C_2, C_3, C_4 에 충전되었던 전하량의 총량은 식 (7)과 같다.

$$Q_{total} = C_1 V_{in1} + C_2 V_{in2} + \dots + C_n V_{inN} \quad (7)$$

V_c 노드를 공통모드 전압으로 만들기 위하여 전류가 흐르게 되므로 이로 인해 적분 커패시터 C_i 에 걸리는 전압은 다음과 같다.

$$V_o = \frac{1}{C_i} (C_1 V_{in1} + C_2 V_{in2} + \dots + C_n V_{inN}) \quad (8)$$

적분기와 마찬가지로 샘플링 커패시터와 적분 커패시터의 비율을 통해 피드포워드 계수를 결정 할 수 있다. 아날로그 덧셈기는 적분기보다 훨씬 작은 커패시터를 구동하므로 큰 인버터가 필요 없다. 따라서 적분기를 구성하는 인버터의 1/4 크기의 인버터를 사용하였으며 회로 면적과 전력소모를 최소화 시켰다. 연산증폭기 대신에 인버터를 사용하면 전력 소모를 크게 줄일 수 있으며 적분기와 동일한 회로를 사용하므로 회로설계를 매우 단순화 시킬 수 있다.

제안하는 델타-시그마 변조기의 1.5비트의 양자화기를 구현하기 위하여 2개의 래치 비교기를 이용하였다. 그림 8은 제안하는 델타-시그마 변조기에 사용된 1.5비트 비교기의 회로도이다. 저항 배열을 통해 생성한 기준 전압과 아날로그 덧셈기의 출력을 비교하여 2개의 비교기를 사용해 3레벨로 나눈다. 각 레벨은 0.4V 공통 모드 전압을 기준으로 0.2V, 0.6V 이다. 입력신호에 따

라 0.6V 이상이면 DU, 0.2~0.6V 이면 DN, 0.2V 이하이면 DD 신호를 출력한다. DU, DN 및 DD 신호는 델타-시그마 변조기의 출력 및 DAC의 제어 신호로 사용된다. DU, DN 및 DD 출력신호에 대한 디지털 논리식 (8), (9), (10)과 같다.

$$DU = A \cdot \overline{B} \tag{8}$$

$$DN = \overline{A} \cdot \overline{B} \tag{9}$$

$$DD = \overline{A} \cdot B \tag{10}$$

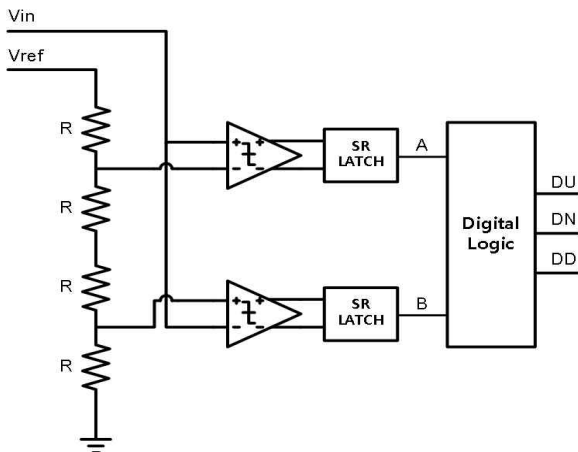


그림 8. 1.5비트 비교기 회로도
Fig. 8. Schematic of 1.5bit comparator.

IV. 실험 결과 및 고찰

제안한 델타-시그마 변조기는 0.18um CMOS n-well 1폴리 6메탈 공정을 통해 제작되었으며 전체 회로 면적은 550um x 650um로 설계되었다. 그림 9는 제작된 칩의 현미경 사진이다. 성능 측정은 2.56MHz의 샘플링 주파수에서 2.5kHz의 입력 정현파 신호의 크기를 변화시켜가면서 출력 코드를 기록한 뒤, FFT하여 성능을 측정하였다. 그림 10은 Vpp 400mV 일 때 FFT한 출력 신호의 스펙트럼이다. 측정 결과 최대 SNDR은 80.7dB, 유효비트수는 13.1 비트를 나타내었다. 이때 전력소모는 아날로그 전류 36uA, 디지털 전류 37uA로 총 95uW를 나타내었다. 그림 11은 입력신호 대비 SNDR을 도시한 것이며 이때 DR는 86.1dB로 측정되었다.

제안하는 델타-시그마 변조기의 성능과 다른 논문과의 비교를 표 3에 정리하였다. 식 (11) 및 (12)은 설계한 델타-시그마 변조기의 성능을 표현하기 위한 Walden과 Schreier의 FOM(Figure Of Merit) 식을 나타낸 것이다.

$$FOM(Walden) = \frac{P}{2^{ENOB} \times 2 \times BW} \tag{11}$$

$$FOM(Schreier) = DR + 10 \log \left(\frac{BW}{P} \right) \tag{12}$$

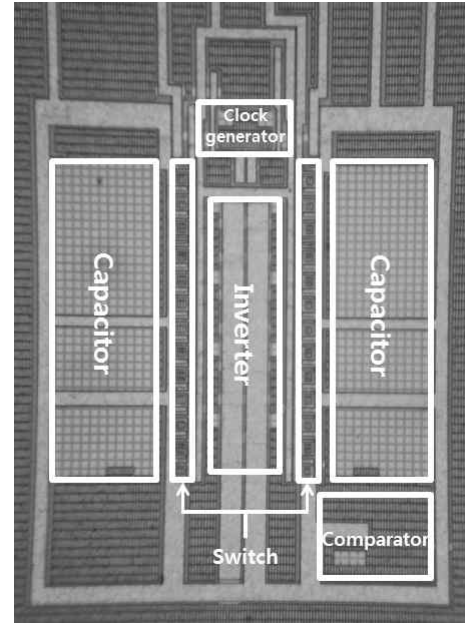


그림 9. 제작된 칩 사진
Fig. 9. Chip photograph.

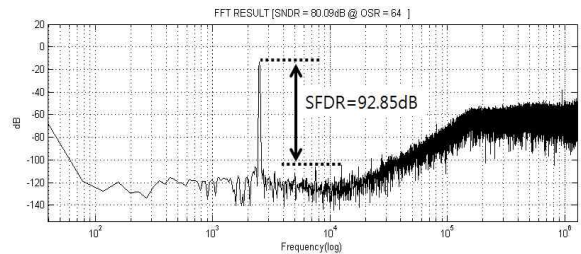


그림 10. 측정된 출력 디지털 코드의 FFT 결과
Fig. 10. Measured FFT result of output digital code.

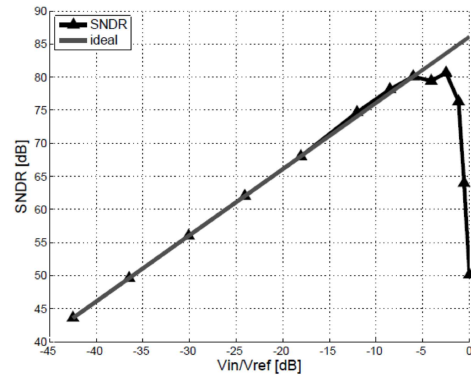


그림 11. 입력신호 크기 대비 SNDR의 측정 결과
Fig. 11. Measured result of SNDR versus input amplitude.

V. 결 론

본 논문에서는 음성 신호의 데이터 변환을 위한 인버터와 1.5비트 비교기를 이용한 CMOS 3차 델타-시그마 변조기를 설계하였다. 제안하는 3차 델타-시그마 변환기는 연산증폭기를 대체하여서 1.5비트 비교기를 이용한 멀티비트 구조로 낮은 OSR에서 단일비트 4차 델타-시그마 변조기 대비 높은 SNDR을 확보하고 인버터 기반 적분기를 사용하여 소모 전력을 최소화 시키며 인버터 기반 적분기 회로를 아날로그 덧셈기로 이용함으로써 전력소모를 줄이고 회로구조를 단순화하였다.

제안하는 아날로그 덧셈기는 기존 적분기 회로를 동일하게 이용하였으므로 약반전 영역에서 동작하는 인버터로 인하여 연산증폭기 대비 작은 전력을 소모한다. 연산증폭기 기반 덧셈기에 비해 적분 결과의 선형성은 떨어지지만 델타-시그마 변조기의 특성상 합산 결과의 오차는 노이즈 웨이핑 되므로 전체 변조기 성능에 큰 영향을 미치지 않았다.

제안한 델타-시그마 변조기는 0.18 μ m CMOS n-well 1폴리 6메탈 공정을 통해 제작되었으며, 전체 회로면적은 0.36mm² 으로 설계되었다. 제작된 칩의 측정 결과 아날로그 회로는 공급전압 0.8V에서 28.8 μ W, 디지털 회로는 공급전압 1.8V에서 66.6 μ W로 총 95.4 μ W의 전력 소모가 측정되었다. 델타-시그마 변조기의 동작주파수 2.56MHz, OSR 64배의 조건에서 2.5kHz의 입력 정현파

신호를 인가하였을 때 출력 디지털 코드를 hanning 윈도우를 통해 FFT한 결과 최대 SNDR은 80.7 dB, 유효 비트는 13.1 비트, DR은 86.1 dB로 측정되었다. 측정결과로부터 FOM(Walden)은 269 fJ/step, FOM(Schreier)는 169.3 dB로 계산되었다.

REFERENCES

- [1] J. Zhang, Y. Lian, L. Yao, and B. Shi, "A 0.6-V 82-dB 28.6- μ W continuous-time audio delta-sigma modulator," *IEEE J. Solid-State Circuits*, Vol. 46, No. 10, pp. 2326-2335, Oct. 2011. (direct summation)
- [2] Z. Yang, L. Yao, and Y. Lian, "A 0.5-V 35- μ W 85-dB DR double-sampled $\Delta\Sigma$ modulator for audio applications," *IEEE J. Solid-State Circuits*, Vol. 47, No. 3, pp. 722-735, Mar. 2012. (direct summation)
- [3] Y. Jung, H. Roh, and J. Roh, "An input-feedforward multibit adder-less $\Delta\Sigma$ modulator for ultrasound imaging systems," *IEEE Trans. Instrum. Meas.*, Vol. 62, No. 8, pp. 2215-2227, Aug. 2013.
- [4] Y. Chae, and G. Han, "Low Voltage, low power, inverter-based switched-capacitor delta-sigma modulator," *IEEE J. Solid-State Circuits*, Vol. 44, no. 2, pp. 458-472, Feb. 2009. (inverter)
- [5] H. Luo, Y. Han, X. Liu, and T. Cao, "A 0.8-V 230- μ W 98-dB DR inverter-based $\Sigma\Delta$ modulator for audio applications," *IEEE J. Solid-State Circuits*, Vol. 48, No. 10, Oct. 2013. (inverter)

표 2. 성능 비교표

Table2. Comparison of performance.

Specification	[5](2013)	[2](2012)	[6](2013)	[7](2012)	[8](2015)	this work
Number of Orders	3	4	4	3	3	3
OSR	125	62.5	60	70	500	64
Input signal bandwidth	20 kHz	20 kHz	20 kHz	10 kHz	24 kHz	20 kHz
Sampling frequency	5 MHz	2.56 MHz	2.4 MHz	1.4 MHz	24 MHz	2.56 MHz
Peak SNDR	89 dB	81.7 dB	87.9 dB	61 dB	100.6 dB	80.7 dB
Dynamic range	94 dB	85 dB	92.6 dB	-	98.5 dB	86.1 dB
ENOB	14.5 bit	13.3 bit	14.3 bit	9.8 bit	16 bit	13.1 bit
Supply voltage	0.7 V	0.5 V	1.5 V	0.25 V	3.3 V	0.8V / 1.8V
Power consumption	152 μ W	35.2 μ W	140 μ W	7.5 μ W	1130 μ W	95 μ W
Architecture	inverter	Double sample / 1.5bit	inverter	inverter	hybrid (CT+DT)	1.5bit / inverter
FOM(Walden)	164 fJ/step	87.3 fJ/step	173 fJ/step	421 fJ/step	359 fJ/step	269 fJ/step
FOM(Schreier)	175.2 dB	172.5 dB	174.1 dB	-	171.8 dB	169.3 dB
Process	CMOS 65nm	CMOS 0.13 μ m	CMOS 0.35 μ m	CMOS 0.13 μ m	CMOS 0.18 μ m	CMOS 0.18 μ m

- [6] T. Christen, "A 15-bit 140- μ W scalable-bandwidth inverter-based $\Delta\Sigma$ modulator for a MEMS microphone with digital output," *IEEE J. Solid-State Circuits*, Vol. 48, No. 7, pp. 1605-1614, Jul. 2013. (inverter)
- [7] F. Michel and M. S. J. Steyaert, "A 250mV 7.5 μ W 61dB SNDR SC $\Delta\Sigma$ modulator using near-threshold-voltage-biased inverter amplifiers in 130nm CMOS," *IEEE J. Solid-State Circuits*, Vol. 47, No. 3, pp. 709-720, Mar. 2012.
- [8] T. C. Wang, Y. H. Lin, and C. C. Liu, "A 0.22mm² 98.5dB SNDR hybrid audio $\Delta\Sigma$ modulator with digital ELD compensation in 28 nm CMOS," *IEEE J. Solid-State Circuits*, Vol. 50, No. 11, Nov. 2015.

 저 자 소 개



최 정 훈(학생회원)
 2014년 인하대학교 전자공학과 학사 졸업.
 2016년 인하대학교 전자공학과 석사 졸업.
 <주관심분야: 전자공학, 음성신호 회로설계>



성 재 현(학생회원)
 2014년 인하대학교 전자공학과 학사 졸업.
 2017년 인하대학교 전자공학과 석사 졸업 예정.
 <주관심분야: 전자공학, 음성신호 회로설계>



윤 광 섭(정회원)
 1981년 인하대학교 전자 공학과 학사 졸업.
 1983년 Georgia Institute Inc, Technology 전자 공학과 석사 졸업.

1989년 Georgia Institute Inc, Technology 전자 공학과 박사 졸업.

1984년 3월~1989년 2월 Georgia Institute of Technology Research Assistant.

1989년 3월~1992년 2월 Silicon Systems Inc, Tustin Calif. U.S.A Senior Design Engineer

1992년 3월~현재 인하대학교 전자공학과 교수
 <주관심분야: 전자공학, 음성신호 회로설계>