

## 굽힘응력을 받는 유연전자소자에서 중립축 위치의 제어

서승호<sup>1</sup> · 이재학<sup>2</sup> · 송준엽<sup>2</sup> · 이원준<sup>1,†</sup>

<sup>1</sup>세종대학교 나노신소재공학과

<sup>2</sup>한국기계연구원 초정밀시스템연구실

### Control of Position of Neutral Line in Flexible Microelectronic System Under Bending Stress

Seung-Ho Seo<sup>1</sup>, Jae-Hak Lee<sup>2</sup>, Jun-Yeob Song<sup>2</sup> and Won-Jun Lee<sup>1,†</sup>

<sup>1</sup>Department of Nanotechnology and Advanced Materials Engineering, Sejong University, 209 Neungdong-ro, Gwangjin-gu, Seoul 05006, Korea

<sup>2</sup>Advanced Manufacturing System Research Division, Korea Institute of Machinery & Materials, 156 Gajeongbuk-Ro, Yuseong-Gu, Daejeon 305-343, Korea

(Received May 23, 2016; Corrected June 7, 2016; Accepted June 20, 2016)

**초 록:** 유연전자소자가 외부힘에 의해 변형될 경우 반도체 다이가 기계적 응력 때문에 변형되거나 파괴되고 이러한 변형이나 파괴는 channel의 전하이동도를 변화시키거나 배선의 저항을 증가시켜 집적회로의 동작 오류를 발생시킨다. 따라서 반도체 집적회로는 굽힘 변형이 발생해도 기계적 응력이 발생하지 않는 중립축에 위치하는 것이 바람직하다. 본 연구에서는 굽힘변형을 하는 flip-chip 접합공정이 적용된 face-down flexible packaging system에서 중립축의 위치와 파괴 모드를 조사하였고 반도체 집적회로와 집중응력이 발생한 곳의 응력을 감소시킬 수 있는 방법을 제시하였다. 이를 위해, 설계인자로 유연기판의 두께 및 소재, 반도체 다이의 두께를 고려하였고 설계인자가 중립축의 위치에 미치는 영향을 조사한 결과 유연기판의 두께가 중립축의 위치를 조절하는데 유용한 설계인자임을 알 수 있었다. 3차원 모델을 이용한 유한요소해석 결과 반도체 다이와 유연기판 사이의 Cu bump 접합부에서 항복응력보다 높은 응력이 인가될 수 있음을 확인하였다. 마지막으로 flexible face-down packaging system에서 반도체 다이와 Cu bump의 응력을 감소시킬 수 있는 설계 방법을 제안하였다.

**Abstract:** A flexible electronic device deformed by external force causes the failure of a semiconductor die. Even without failure, the repeated elastic deformation changes carrier mobility in the channel and increases resistivity in the interconnection, which causes malfunction of the integrated circuits. Therefore it is desirable that a semiconductor die be placed on a neutral line where the mechanical stress is zero. In the present study, we investigated the effects of design factors on the position of neutral line by finite element analysis (FEA), and expected the possible failure behavior in a flexible face-down packaging system assuming flip-chip bonding of a silicon die. The thickness and material of the flexible substrate and the thickness of a silicon die were considered as design factors. The thickness of a flexible substrate was the most important factor for controlling the position of the neutral line. A three-dimensional FEA result showed that the von Mises stress higher than yield stress would be applied to copper bumps between a silicon die and a flexible substrate. Finally, we suggested a designing strategy for reducing the stress of a silicon die and copper bumps of a flexible face-down packaging system.

**Keywords:** Flexible microelectronics system, Face-down package system, Neutral line, Finite element analysis

## 1. 서 론

최근 유연전자소자(flexible electronic device)는 몸에 착용하거나 부착하여 사용하는 웨어러블 디바이스(wear-

able device), 전자 제품의 곡면을 활용한 플렉서블 디스플레이(flexible display) 등의 발전과 함께 주목받고 있다. 유연전자소자는 외부에서 힘이 가해질 경우 파괴되지 않고 변형이 발생할 수 있는 전자소자로서 굽힘(bending),

<sup>†</sup>Corresponding author

E-mail: [wjlee@sejong.ac.kr](mailto:wjlee@sejong.ac.kr)

© 2016, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

뒤틀림(*twisting*), 인장(*stretching*) 등 다양한 형태의 변형이 형성된 상태로 사용되기도 하고 변형이 반복되는 환경에서 사용되기도 한다. 유연전자소자를 제조하기 위해 위에 얇은 반도체 다이(*die*)를 실장하고 그 위에 몰딩 컴파운드(*molding compound*)로 몰딩(*molding*)한다. 반도체 다이를 기판에 실장하는 방법에 따라 *face-up* 및 *face-down packaging system*으로 나눌 수 있다. *Face-up packaging system*은 반도체 다이의 소자층이 상부를 향하고 *wire bonding*을 이용하여 *interconnection* 하는 방법이고 *face-down packaging system*은 반도체 다이의 소자층이 하부를 향하고 *flip-chip bonding*을 이용하여 *interconnection* 하는 방법이다.

유연전자소자가 외부힘에 의해 변형될 경우 반도체 다이가 기계적 응력 때문에 변형되거나 파괴되고<sup>1,2)</sup> 이러한 변형이나 파괴는 *channel*의 전자이동도를 변화시키거나 배선의 저항을 증가시켜 집적회로의 동작 오류를 발생시킨다.<sup>3,4)</sup> 유연기판에 굽힘 변형이 발생하면, 유연전자소자의 한쪽면은 인장 변형되어 인장 응력이 발생되고, 반대면은 압축 변형되어 압축 응력이 발생한다. 이때 유연전자소자의 내부에는 응력이 "0"인 지점이 발생하고, 이곳을 중립축(*neutral line*)이라고 한다. 반도체 다이의 파괴를 방지하기 위해 반도체 다이 중앙에 중립축을 위치시키면 반도체 표면에 위치한 집적회로에서 발생하는 기계적 및 전기적인 신뢰성 문제는 해결할 수 없다. 따라서 중립축의 위치를 반도체 다이 표면으로 이동시키는 설계기술이 요구된다.

최근 대면적의 단순한 적층 구조에서 중립축의 위치와 응력분포에 관한 다양한 연구가 보고되고 있다. OLED (*Organic Light-Emitting Diode*) 디스플레이 소자를 포함한 다층박막 구조에서 *cover plate* 및 PET 기판의 두께에 따른 ITO 박막의 굽힘 응력변화가 연구되었고<sup>5)</sup> *ultra-thin-chip*을 포함한 *flexible foil substrate* 구조에서 *foil*의 재료와 두께의 변화에 따른 *ultra-thin-chip*의 굽힘 응력변화가

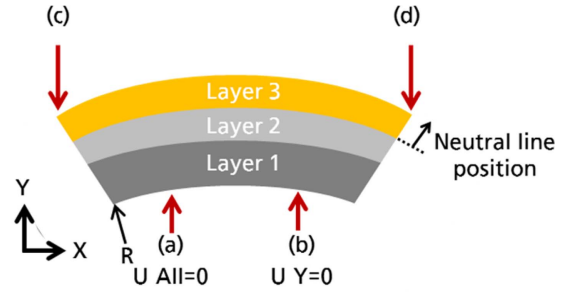


Fig. 1. Boundary condition for FEM analysis.

보고되었다.<sup>6)</sup> 하지만 *flip-chip* 접합공정을 사용하여 *ultra-thin-chip*과 유연기판이 접합된 유연전자소자의 응력분포 및 중립축 위치에 대해서는 보고된 바가 없다.

본 연구에서는 *flip-chip* 접합공정이 적용된 *face-down packaging system*에서 굽힘응력에 의해 발생하는 응력분포를 조사하였고 중립축의 위치를 이동하여 소자층과 집중응력이 발생된 곳의 응력을 감소시킬 수 있는 방법을 조사하였다. 이를 위해, 여러층이 적층된 구조에서 유연기판의 재료 및 두께, 반도체 다이의 두께 등의 설계인자가 중립축에 미치는 영향을 조사하였다. 그리고 *face-down packaging system*에서 각 요소에 인가되는 응력분포를 조사하여 응력집중에 의한 파괴 모드를 분석하였다.

## 2. 유한요소해석을 위한 경계조건

굽힘응력을 받는 유연전자소자의 유한요소해석을 위해 4점 굽힘 시험(*4-point bending test*)의 경계 조건을 적용하였다. Fig. 1에서와 같이 유연기판 하부 (a) 지점에서는 모든 방향의 변위는 없으며( $U_x=U_y=U_z=0$ ), (b) 지점에서는 굽힘력이 인가되는 방향의 변위가 없는 조건을 인가하였다( $U_y=0$ ). 그리고 유연기판의 양쪽 끝지점인 (c)와 (d) 지점에서 유연기판에 굽힘 변형이 발생되도록 굽힘력을 인가하였다. 설계인자의 조건 변화에 따른 중립축 위치의

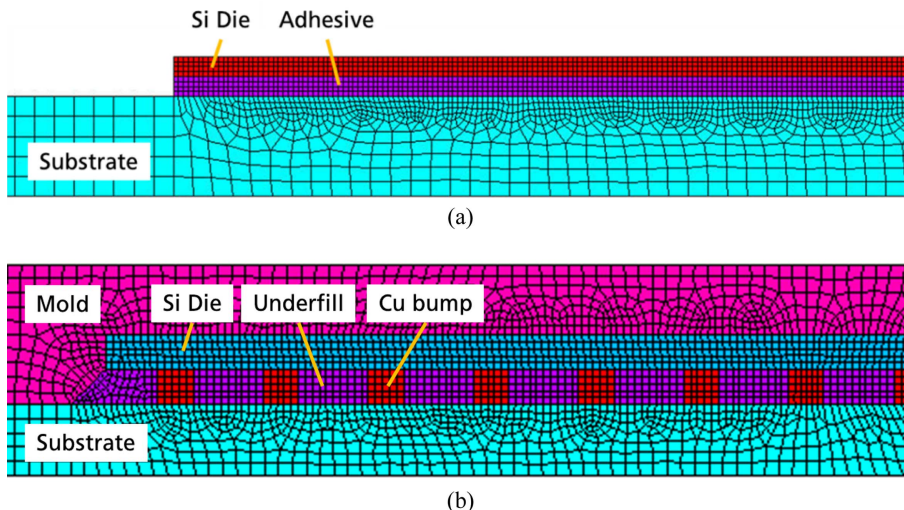


Fig. 2. The 2D FEM models: (a) Multilayer structure of Si die/adhesive/flexible substrate and (b) Face-down packaging system.

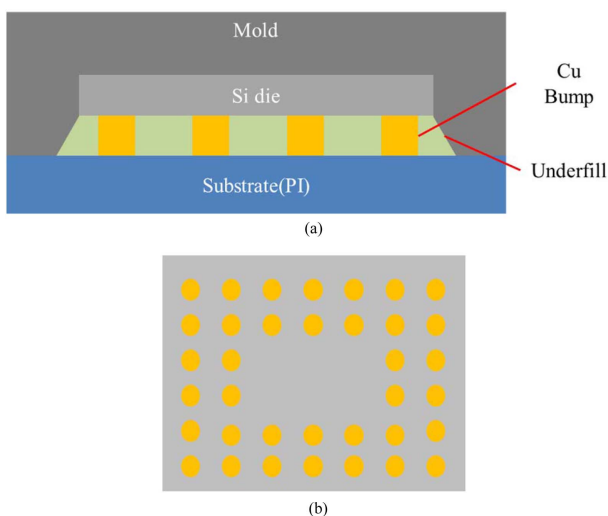
**Table 1.** Material properties for finite element analysis of flexible packaging system

Components	Materials	Young's modulus (GPa)	Poisson's ratio
Flexible substrate	Polyimide	2.8	0.34
	PDMS	0.02	0.49
	PC	3.9	0.28
Adhesive <sup>3</sup>		3.7	0.35
Die	Silicon	130	0.28
Underfill <sup>15</sup>		10.0	0.33
Bump	Cu	127	0.36
	Epoxy	8.0	0.30
Molding compound	Silicone polymer	$1.5 \times 10^{-6}$	0.30

**Table 2.** Design parameters for flexible packaging system

Component	Design parameter	
Substrate	Materials	PI, PDMS, PC
	Thickness (μm)	20, 50, 100
Adhesive	Thickness (μm)	20
Silicon die	Thickness (μm)	10, 20, 50
	Die size (mm)	5 × 5

변화를 분석하기 위해 2차원 형상의 모델을 사용하였고 face-down packaging system에서의 응력분포를 조사하기 위해서는 3차원 형상의 모델을 사용하였다. Fig. 2에서 중립축 위치 분석을 위해 사용된 2차원 형상 모델의 mesh를 나타내었다. 유연전자소자에 사용된 재료의 물성은 Table 1에서와 같고 탄성영역에서 거동하는 것을 고려하였고 온도에 따른 재료의 물성 변화는 고려하지 않았다. 그리고 유연기판의 바닥면 기준으로 굽힘반경 10 mm인



**Fig. 3.** The 3D FEM model of face-down flexible packaging system: (a) Cross-sectional structure and (b) Bump array.

상태에서 정적해석을 하였다. Fig. 2(b)에서와 같은 face-down 구조에서 Si die (크기 2 × 2 mm, 두께 50 μm)와 유연기판(Polyimide, 두께 100 μm)을 Cu bump (Dia. 50 μm, 높이 50 μm, pitch 150 μm, 수량 88개)로 연결하였다. Cu bump 사이는 underfill 재료로 채우고 최종적으로 전체를 epoxy molding compound (EMC, 두께 100 μm)로 패키징 하였다. 유연기판의 두께 및 소재, Si die의 두께를 설계 인자로 고려하였고 그 값을 Table 2에 나타내었다. Substrate 소재로는 polyimide (PI), polydimethylsiloxane (PDMS), polycarbonate (PC)를 고려하였다. Fig. 3은 face-down 구조에서 굽힘변형이 발생 했을 때 파괴모드를 조사하기 위해 고려한 3차원 형상의 모델이다. 구조와 치수는 2차원의 face-down 모델과 동일하다.

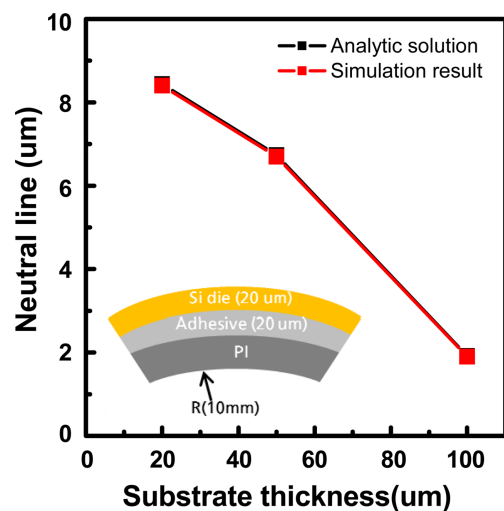
### 3. 결과 및 토의

유한요소해석을 이용한 계산결과의 신뢰성을 확인하기 위하여 단순 적층구조를 적용하여 수학적 계산결과와 비교하였다. 적층구조에서 굽힘 변형이 발생하지 않는 중립축의 위치는 식 (1)을 이용하여 계산할 수 있다.<sup>3)</sup>

$$z = \frac{\sum_{i=1}^n E_i d_i^2 + 2 \sum_{i=2}^n (E_i d_i \sum_{j=1}^{i-1} d_j)}{2 \sum_{i=1}^n E_i d_i} \quad (1)$$

여기서 z는 중립축의 위치, n은 적층 수, E는 탄성계수 그리고 d는 각 적층의 두께이다. Fig. 4과 같은 Si die/adhesive/PI substrate의 적층구조에서 유연기판의 두께가 20, 50, 100 μm 일 때 식 (1)을 이용하여 계산한 중립축의 위치는 Si die 하부면에서부터 각각 8.44, 6.74, 1.92 μm 이다. 동일한 조건에서 유한요소해석을 이용하여 계산한 중립축의 위치는 각각 8.4, 6.7, 1.9 μm으로 식 (1)로 계산한 결과와 최대 -0.04 μm 만큼 오차가 발생하여 차이가 매우 작은 것을 확인하였다.

굽힘응력을 받는 유연전자소자에서 설계인자가 중립축



**Fig. 4.** Position of neutral line as a function of flexible substrate thickness.

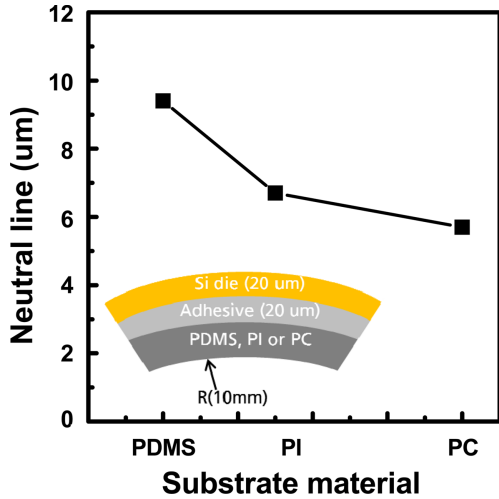


Fig. 5. Position of neutral line with different flexible substrate materials.

위치에 미치는 영향을 조사하였다. Fig. 4과 같이 PI 유연기판의 두께가 증가할수록 중립축의 위치는 Si die 하부 방향으로 이동하였다. 이 결과를 이용하면, 소자층이 Si die 하부 표면에 위치한 face-down packaging system에서 유연기판의 두께를 적절히 증가시키면 소자층에 인가된 응력이 감소할 것으로 예상된다. 또한, 소자층이 Si die 상부 표면에 위치한 face-up packaging system에서는 유연기판의 두께를 적절히 감소시키면 소자층에 인가된 응력을 감소시킬 수 있는 것으로 예상된다.

Fig. 5는 유연기판의 소재에 따른 중립축 위치의 변화를 조사한 결과이다. 유연기판의 탄성계수가 0.02 (PDMS), 2.8 (PI), 3.9 GPa (PC)로 증가할수록 중립축의 위치는 Si die 하부면에서부터 각각 9.4, 6.7, 5.7  $\mu\text{m}$ 로서 Si die 하부 방향으로 이동하였다. 하지만 탄성계수 변화에 의한 중립축 이동량이 3.7  $\mu\text{m}$ 로 크지 않아 유연기판의 소재를 이용하여 중립축의 위치를 제어 하는 것은 용이하지 않을 것으로 예상된다.

Fig. 6는 Si die의 두께에 따른 중립축 위치의 변화를 조사한 결과이다. Si die의 두께가 10, 20, 50  $\mu\text{m}$ 로 증가할수록 중립축의 위치는 Si die 하부면에서부터 각각 -0.1, 6.5, 23  $\mu\text{m}$ 로서 Si die 상부 방향으로 이동하였다. 따라서 Si die 두께가 얇을 수록 face-down packaging system에 유리하다. 하지만 10  $\mu\text{m}$  이하의 매우 얇은 Si die는 thin wafer의 가공 및 handing이 어렵고 불순물의 gettering이 어려울것으로 예상된다. 그리고 face-up packaging system의 경우 Si die의 두께가 두꺼워져도 중립축의 위치는 Si die 중심부에 위치하여 중립축의 위치를 Si die 상부면으로 이동시키기 어려울 것으로 예상된다. 따라서 face-up packaging system에서 Si die의 두께를 이용하여 중립축의 위치를 제어하는 방법은 한계가 있는 것으로 예상된다.

설계인자와 중립축의 위치와의 관계를 이용하여 flip-chip 접합공정이 고려된 face-down packaging system에서 소자층에 인가되는 응력을 감소시키기 위해 중립축의 위

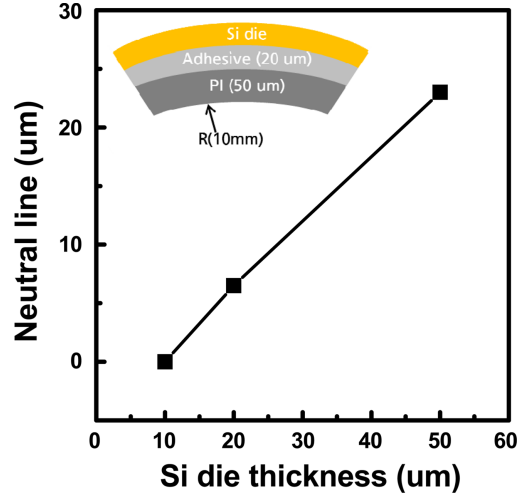


Fig. 6. Position of neutral line as a function of silicon die thickness.

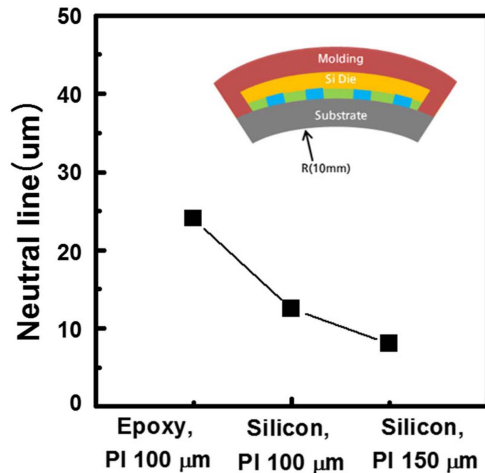


Fig. 7. Position of neutral line with different molding compound materials and PI substrate thicknesses in face-down packaging system.

치를 조절하였다. 굽힘변형이 인가되었을때 중립축의 위치가 Si die 두께 방향의 중심부에 형성되면 집적회로는 응력에 노출될 것이다. 따라서 집적회로에 미치는 응력을 감소시키기위해 molding compound의 탄성계수를 감소시키고 PI 유연기판의 두께를 증가시켰다. 그 결과 Fig. 7에서와 같이 molding compound의 탄성계수가 8.0 GPa인 epoxy 소재에서 탄성계수가 1.5 kPa인 연질의 실리콘 고분자 소재로 변경하면 중립축의 위치가 24  $\mu\text{m}$ 에서 12.5  $\mu\text{m}$ 로 이동하였고, 추가적으로 PI 유연기판의 두께를 100  $\mu\text{m}$ 에서 150  $\mu\text{m}$ 로 변경하면 중립축의 위치를 8  $\mu\text{m}$ 까지 이동시킬 수 있었다. 이상에서 설명한 것과 같이 유연전자소자를 구성하는 각 기능층들의 소재나 두께를 변경하면 중립축의 위치가 조절가능하다.

유연전자소자에 변형이 발생되면 가장 취약한 곳에서 응력이 집중되어 파괴가 발생 될 것이다. Face-down packaging system에서 굽힘 변형이 발생되었을때 파괴되는 곳을 조사하기 위해 각 요소에 발생하는 응력분포를 조사



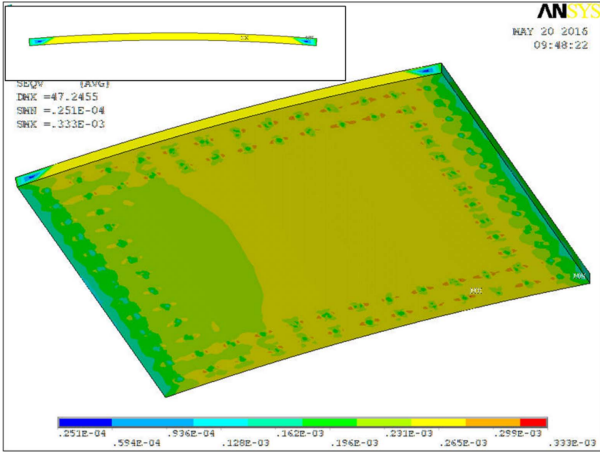


Fig. 8. Von Mises stress distribution in the Si die of face-down flexible packaging system.

하였다. 설계인자의 구조 및 조건은 2. 유한요소해석을 위한 경계조건에서 설명하였다. Fig. 8은 Si die에서 발생한 응력분포 결과이다. 굽힘 변형이 발생하면서 Si die의 하부면에서 발생된 변형이 Cu bump의 모서리 부분과 접합되는 곳에서 응력이 집중되어 silicon의 항복강도(700 MPa) 보다 작은 330 MPa의 최대 응력이 발생하였다. 그리고 Fig. 9은 Cu bump에서 발생한 응력분포를 나타내었다. Si die와 PI 유연기판이 변형되면서 접합되어 있는 Cu bump의 상부면과 하부면에서 응력이 집중되어 구리의 항복강도(117 MPa) 보다 4배 이상인 540 MPa의 최대응력이 발생하였다. 굽힘 변형이 반복된다면 Cu bump가 영구 변형 또는 파괴되거나 Si die 또는 PI 유연기판과 Cu bump의 접합부가 파괴 될 것으로 예상된다. 그리고 underfill에서의 최대응력은 underfill 하부면과 Cu bump 및 PI 유연기판의 접합부에 응력이 집중되어 130 MPa이 발생하였고, PI 유연기판에서의 최대응력은 기판의 하부면에서 발생하는 압축 방향의 변위에 의해 53 MPa이 발생하였다. 그리고 molding compound에서의 최대응력은 굽힘 시 상부에서 발생하는 인장 방향의 변위에 의해 94 MPa이 발생

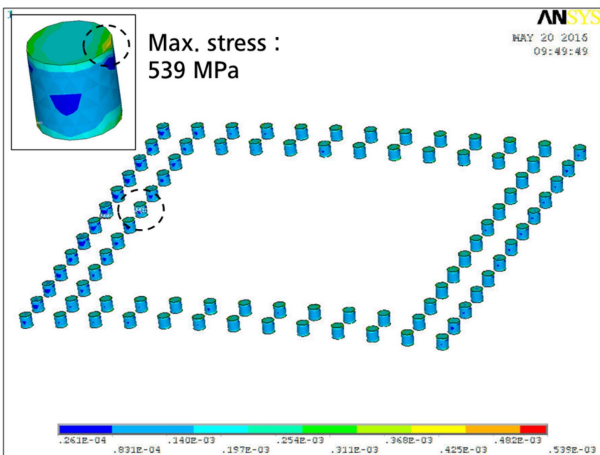


Fig. 9. Von Mises stress distribution in Cu bumps of face-down flexible packaging system.

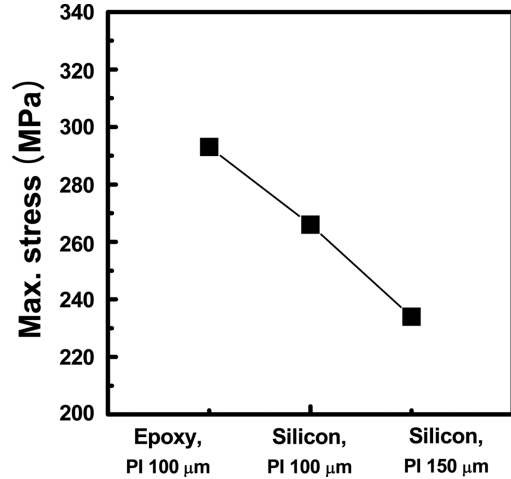


Fig. 10. Maximum stress of Cu bump in bending direction. Face-down flexible packaging systems with different molding compound materials and PI substrate thicknesses were considered.

하였다. Underfill, PI 기판 그리고 molding compound은 유연한 소재이기 때문에 응력이 파손시키는 수준은 아니다.

이상과 같이 3차원 형상의 face-down flexible packaging system에서 기계적으로 가장 취약한 곳은 Cu bump이다. Cu bump에 발생하는 응력을 감소시키는 방법을 조사하기 위해 Fig. 10에서와 같이 2차원 face-down 모델을 사용하여 중립축 위치의 조절방법과 Cu bump의 최대응력과의 관계를 관찰하였다. Molding compound의 소재와 PI 유연기판의 두께를 조절하여 중립축의 위치를 Si die 하부면 방향으로 이동 할수록 Cu bump에 인가되는 응력이 293 MPa에서 243 MPa로 감소되는 것을 알 수 있다. 따라서 face-down flexible packaging system에서 중립축의 위치를 Si die 하부 표면으로 이동시키면 소자에 인가되는 응력과 Cu bump에 인가되는 응력이 감소되어 유연전자소자의 기계적 및 전기적 신뢰성이 향상될 것으로 예상된다.

#### 4. 결 론

굽힘변형을 하는 유연전자소자의 신뢰성을 향상시키기 위해 flip-chip 접합공정이 적용된 face-down flexible packaging system에서 중립축의 위치와 파괴모드를 조사하였고 소자층과 집중응력이 발생한 곳의 응력을 감소시킬 수 있는 방법을 제시하였다. 이를 위해 유연기판의 두께 및 소재, Si die의 두께의 설계인자가 중립축의 위치에 미치는 영향을 조사하였다. 유연기판의 두께는 중립축의 위치를 조절하는데 유용한 설계인자이고 유연기판의 소재 및 Si die의 두께는 중립축의 위치를 조절하는데 한계가 있었다. 그리고 face-down flexible packaging system에서 중립축의 위치는 molding compound의 탄성계수를 감소시키고 PI 유연기판의 두께를 증가시키면 반도체 다이 하부로 이동하였다. 중립축의 위치를 반도체 다이 하부 표

면으로 이동시키면 이동시키면 소자에 인가되는 응력과 Cu bump에 인가되는 응력이 모두 감소되어 유연전자소자의 기계적 및 전기적 신뢰성이 향상될 것으로 예상된다.

### 감사의 글

본 연구는 산업통상지원부 산업핵심기술개발사업의 일환인 “3차원 이중 유연소자 Interconnection 시스템 기술 개발” 사업의 지원에 의한 것입니다.

### References

1. T. S. Kim, J. H. Kim, T. E. Kang, C. Y. Lee, H. B. Kang, M. K. Shin, C. Wang, B. Ma, U. Y. Jeong, T. S. Kim and B. J. Kim, “Flexible, Highly Efficient All-polymer Solar Cells”, *Nature Communications*, 6, 8547 (2015).
2. V. M. Marx, F. Toth, A. Wiesinger, J. Berger, C. Kirchlechner, M. J. Cordill, F. D. Fischer, F. G. Rammerstorfer and G. Dehm, “The Influence of a Brittle Cr Interlayer on the Deformation Behavior of Thin Cu Films on Flexible Substrates: Experiment and Model”, *Acta Materialia*, 89, 278 (2015).
3. S. Endler, H. Rempp, C. Harendt, and J. N. Burghartz, “Compensation of Externally Applied Mechanical Stress by Stacking of Ultra-Thin Chips”, *Proc. of 41<sup>st</sup> Euro. Solid-State Devi. Rese. Conf.*, 279 (2011).
4. X. J. Sun, C. C. Wang, J. Zhang, G. Liu, G. J. Zhang, X. D. Ding, G. P. Zhang and J. Sun, “Thickness Dependent Fatigue Life at Microcrack Nucleation for Metal Thin Films on Flexible Substrates”, *J. Appl. Phys.*, 41, 195404 (2008).
5. C. C. Lee, Y. S. Shih, C. S. Wu, C. H. Tsai, S. T. Yeh, Y. H. Peng and K. J. Chen, “Development of Robust Flexible OLED Encapsulations Using Simulated Estimations and Experimental Validations”, *J. Appl. Phys.*, 45, 27510 (2012).
6. N. Palavesam, C. Landesberger and C. Kutter, “Finite Element Analysis of Uniaxial Bending of Ultra Thin Silicon Dies Embedded in Flexible Foil Substrates”, *Proc. 11<sup>th</sup> Microelectronics and Electronics (PRIME) Conference, Glasgow*, 137, IEEE (2015).
7. B. J. Kim, H. A. S. Shin, I. S. Choi and Y. C. Joo, “Electrical Failure and Damage Analysis of Multi-Layer Metal Films on Flexible Substrate During Cyclic Bending Deformation”, *IPFA 18<sup>th</sup> IEEE Inter. Symp.*, 2725 (2011).
8. D. Wang, C. A. Volkert and O. Kraft, “Effect of Length Scale on Fatigue Life and Damage Formation in Thin Cu Films”, *Mater. Sci. Eng: A*, 493(1), 267 (2008).
9. S. M. Lee, J. Y. Kwon, D. S. Yoon, H. D. Cho, J. H. You, Y. T. Kang, D. H. Choi and W. B. Hwang, “Bendability Optimization of Flexible Optical Nanoelectronics Via Neutral Axis Engineering”, *Nano. Rese. Lett.*, 7, 256 (2012).
10. M. Sugano, S. Machiya, M. Sato, T. Koganezawa, K. Shikimachi, N. Hirano and S. Nagaya, “Bending Strain Analysis Considering a Shift of the Neutral Axis for YBCO Coated Conductors With and Without a Cu Stabilizing Layer”, *Supercond. Sci. Technol.*, 24, 075019 (2011).
11. D. A. van den Ende, H. J. van de Wiel, R. H. L. Kusters, A. Sridhar, J. F. M. Schram, M. Cauwe and J. van den Brand, “Bonding Bare Die LEDs on PET Foils for Lighting Applications Thermal Design Modeling and Bonding Experiments”, *Microelectron. Rel.*, 54, 2860 (2014).
12. J. van den Brand, J. de Baets, T. van Mol and A. Dietzel, “Systems-in-Foil-Devices, Fabrication Processes and Reliability Issues”, *Microelectron. Rel.*, 48, 1123 (2008).
13. J. Wolf, J. Kostelnik, K. Berschauer, A. Kugler, E. Lorenz, T. Gneiting, C. Harendt and Z. Yu, “Ultra-Thin Silicon Chips in Flexible Microsystems”, *ECWC13*, (2014).
14. S. Endler, S. Ferwana, H. Rempp, C. Harendt and J. N. Burghartz, “Two-Dimensional Flex Sensor Exploiting Stacked Ultrathin Chips”, *IEEE Elec. Devi. Lett.*, 33, 444 (2012).
15. F. Hou, X. Zhang, X. Guo, H. Xie, Y. Lu, L. Cao and L. Wan. “Thermo-mechanical reliability study for 3D package module based on flexible substrate”, *Proc. 14<sup>th</sup> International Conference on Electronic Packaging Technology (ICEPT)*, 1296, Dalian, IEEE (2013).
16. B. J. Kim, M. H. Jeong, S. H. Hwan, H. Y. Lee, S. W. Lee, K. D. Chun, Y. B. Park and Y. C. Joo, “Relationship Between Tensile Characteristics and Fatigue Failure by Folding or Bending in Cu Foil on Flexible Substrate”, *J. Microelectron. Packag. Soc.*, 18(1), 55 (2011).
17. B. J. Kim, “Reliability of Metal Electrode for Flexible Electronics”, *J. Microelectron. Packag. Soc.*, 20(4) 1 (2013).
18. S. Kim and T. S. Kim, “Adhesion Reliability Enhancement of Silicon/Epoxy/Polyimide Interfaces for Flexible Electronics”, *J. Microelectron. Packag. Soc.*, 19(3), 63 (2012).