

논문 2016-53-5-8

# 문턱전압 조절 이온주입에 따른 MCT (MOS Controlled Thyristor)의 스위칭 특성 연구 (Effects of $V_{th}$ adjustment ion implantation on Switching Characteristics of MCT(MOS Controlled Thyristor) )

박 건 식\*, 조 두 형\*\*, 원 종 일\*, 곽 창 섭\*\*\*

(Kun-Sik Park<sup>Ⓞ</sup>, Doohyung Cho, Jong-Il Won, and Changsub Kwak)

## 요 약

MCT (MOS Controlled Thyristor)의 전류 구동능력은 도통상태의 MCT를 턴-오프 시킬 수 있는 능력, 즉 off-FET의 성능에 의해 결정되고, MCT의 주된 응용분야인 펄스파워 분야에서는 턴-온 시의 피크전류( $I_{peak}$ )와 전류상승기울기(di/dt) 특성이 매우 중요하다. 이러한 요구사항을 만족시키기 위해서는 MCT의 on/off-FET 성능 조절이 중요하지만, 깊은 집합의 P-웰과 N-웰을 형성하기 위한 삼중 확산공정과 다수의 산화막 성장공정은 이온주입 불순물의 표면농도를 변화시키고 on/off-FET의 문턱전압( $V_{th}$ ) 조절을 어렵게 한다. 본 논문에서는 on/off-FET의  $V_{th}$ 를 개선하기 위한 채널영역 문턱전압 이온주입에 대하여 시뮬레이션을 진행하고 이를 토대로 제작한 MCT의 전기적 특성을 비교 평가하였다. 그 결과 문턱전압 이온주입을 진행한 MCT의 경우(활성영역=0.465mm<sup>2</sup>) 100A/cm<sup>2</sup> 전류밀도에서의 전압손실( $V_F$ )은 1.25V, 800V의 어노드 전압에서  $I_{peak}$  및 di/dt는 290A와 5.8kA/μs로 문턱전압 이온주입을 진행하지 않은 경우와 유사한 특성을 나타낸 반면, 100A/cm<sup>2</sup>의 구동전류에 대한 턴-오프 게이트전압은 -3.5V에서 -1.6V로 감소하여 MCT의 전류 구동능력을 향상시킴을 확인하였다.

## Abstract

Current driving capability of MCT (MOS Controlled Thyristor) is determined by turn-off capability of conducting current, that is off-FET performance of MCT. On the other hand, having a good turn-on characteristics, including high peak anode current ( $I_{peak}$ ) and rate of change of current (di/dt), is essential for pulsed power system which is one of major application field of MCTs. To satisfy above two requirements, careful control of on/off-FET performance is required. However, triple diffusion and several oxidation processes change surface doping profile and make it hard to control threshold voltage ( $V_{th}$ ) of on/off-FET. In this paper, we have demonstrated the effect of  $V_{th}$  adjustment ion implantation on the performance of MCT. The fabricated MCTs (active area = 0.465 mm<sup>2</sup>) show forward voltage drop ( $V_F$ ) of 1.25 V at 100 A/cm<sup>2</sup> and  $I_{peak}$  of 290 A and di/dt of 5.8 kA/μs at  $V_A = 800$  V. While these characteristics are unaltered by  $V_{th}$  adjustment ion implantation, the turn-off gate voltage is reduced from -3.5 V to -1.6 V for conducting current of 100 A/cm<sup>2</sup> when the  $V_{th}$  adjustment ion implantation is carried out. This demonstrates that the current driving capability is enhanced without degradation of forward conduction and turn-on switching characteristics.

**Keywords :** MOS Controlled Thyristor, MCT, Thyristor, Power device, Pulsed power system

\*정회원, 한국전자통신연구원, ICT소재부품연구소 (ICT Materials & Components Research Laboratory, Electronics and Telecommunications Research Institute)

\*\*학생회원, 서강대학교, 전자공학과 (Department of Electronic Engineering, Sogang University)

\*\*\* 정회원, (주)한화 (Hanwha Corporation)

Ⓞ Corresponding Author(E-mail : kunsik@etri.re.kr)

※ 이 논문은 2016년 (주)한화의 재원을 지원받아 수행된 연구 결과입니다.

Received ; February 2, 2016 Revised ; May 3, 2016

Accepted ; May 4, 2016

## I. 서 론

MCT(MOS controlled thyristor)는 MOSFET, BJT, IGBT 등의 다른 전력소자에 비하여 높은 전류 구동능력과 낮은 전압손실 특성을 가지며, 특히 펄스파워 시스템 분야에서 기존에 스위치로 사용되던 스파크 갭(spark gap)에 비해서 소형화, 경량화, 저 비용 및 고효율 특성으로 주목받고 있다<sup>[1~2]</sup>. MCT는 도통상태에서

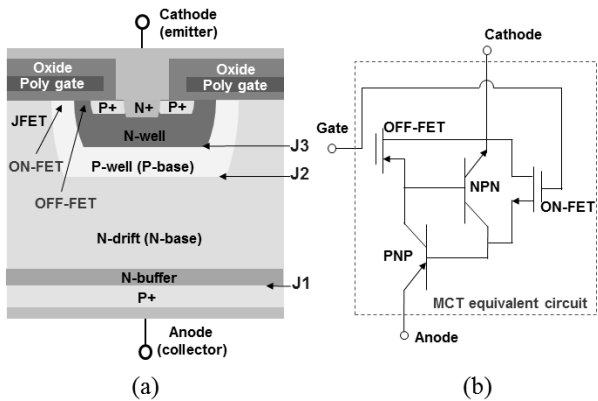


그림 1. MCT의 (a) 단면구조 모식도 및 (b) 등가회로  
Fig. 1. (a) Schematic cross-section and (b) equivalent circuit of MCT.

사이리스터 내부의 PNP BJT와 NPN BJT의 회생동작(regenerative action)에 의하여 게이트 전원을 단락시켜도 온-상태가 유지되기 때문에 턴-오프 성능이 소자의 전류 구동능력을 결정한다. 한편, 펄스파워 시스템의 경우 높은 전력밀도와 전송속도를 지닌 CES(capacitive energy storage)를 사용하여 순간적으로 높은 에너지를 즉각적으로 전송해야하기 때문에<sup>[2]</sup>, 전력손실을 최소화하기 위해서는 스위치 소자의 큰 피크전류( $I_{peak}$ )와 높은 전류상승기울기( $di/dt$ ) 특성을 요구한다.

MCT는 일반적인 사이리스터의 스위칭손실을 개선하기 위해 제안된 소자로 게이트 입력단에 MOS 구조를 적용하여 높은 입력 임피던스를 가지며, 전압으로 소자 제어가 가능하고, 높은  $di/dt$  특성을 얻을 수 있다<sup>[3]</sup>. 또한 도통상태의 메카니즘이 기존 사이리스터와 동일하기 때문에 높은 구동 전류용량과 낮은 온-상태 전압손실 등 우수한 전기적 특성을 나타낸다<sup>[4]</sup>.

그림 1에 일반적인 n형 MCT(n-MCT)의 소자구조 모식도와 등가회로를 나타내었다. MCT는 MOS에 의한 스위칭을 위해 게이트 입력단의 on-FET과 off-FET을 소자 내부에 형성시켜 동작을 제어한다. 또한 PNPN 사이리스터 구조를 구현하기 위해서는 삼중 확산공정 기술이 요구된다<sup>[5]</sup>. 즉, n형과 p형의 불순물 이온주입 후 고온의 장시간 확산공정으로 깊은 접합의 P-웰과 N-웰을 형성하며, P/N-웰의 doping profile은 항복전압, 순방향 전압손실, 턴-온 및 턴-오프 등의 전기적 특성에 큰 영향을 미친다<sup>[4-5]</sup>. 그러나 깊은 접합의 P/N-웰을 형성하기 위한 확산공정과 게이트산화막 등 다수의 산화막 성장공정은 이온주입 불순물의 표면농도를 변화시키고 on/off-FET의 문턱전압(threshold voltage,  $V_{th}$ ) 조절을 어렵게 한다.

본 논문에서는 MCT 제작의 확산과 산화공정에 의한 on/off-FET 채널영역 doping profile의 변화와 전기적 특성을 시뮬레이션으로 예측하고, on/off-FET의  $V_{th}$ 를 개선하기 위한 채널영역 문턱전압 이온주입 여부에 따른 전기적인 특성 변화를 분석하였다. 또한 시뮬레이션 결과를 바탕으로 MCT 소자를 제작하고 전기적 특성을 측정함으로써 문턱전압 이온주입에 따른 순방향전류와 턴-오프 전류 구동능력을 평가하였으며, 펄스파워용 소자의 주요 특성인  $I_{peak}$ 와  $di/dt$  특성을 비교 평가하였다.

## II. MCT의 동작 원리 및 시뮬레이션

### 1. MCT의 동작 원리

MCT의 소자구조는 IGBT와 유사하지만(그림 1(a)) n-MOSFET(on-FET) 이외에 p-MOSFET(off-FET)이 추가로 존재하고, 이를 위한 삼중 확산 구조를 가지는 것이 특징이다.

n-MCT의 턴-온(turn-on) 과정은 다음과 같다. 어노드에 (+)전압이 인가된 상태에서 게이트에 on-FET의  $V_{th}$  이상의 전압을 인가하면, 게이트 하부 P-웰 표면에 채널이 형성되어 on-FET이 턴-온된다. 채널을 통해 흐르는 전자 전류는 PNP BJT (P+/N-베이스/P-웰)의 베이스에 유입되어 P+/N-베이스 접합( $J_1$ )의 전위장벽을 낮추고 이미터(P+)에서 정공들이 유입되어 PNP 트랜지스터를 턴-온시킨다. PNP 트랜지스터의 정공전류는 NPN BJT(N-웰/P-베이스/N-드리프트)의 베이스에 유입되어 N-웰/P-베이스 접합( $J_3$ )의 전위장벽을 낮추고 이미터(N-웰)에서 전자들이 유입되어 NPN BJT를 턴-온시킨다. 이 전자전류는 다시 PNP BJT의 베이스에 유입되어 PNPN 사이리스터가 턴-온된다. 위에서 설명한 사이리스터의 턴-온 과정을 “회생동작(regenerative action)”이라고 한다.

MCT의 턴-오프(turn-off) 과정은 다음과 같다. MCT가 온-상태일 때 게이트에 off-FET의 문턱전압 이하의 음의 전압을 인가하면 off-FET이 턴-온되어 정공흐름의 다른 경로를 형성하여 P-베이스의 정공이 소거된다. 이로 인하여  $J_3$  접합의 전위장벽이 높아져 N-웰로부터의 전자주입이 멈추고 NPN BJT가 턴-오프되어 사이리스터의 회생동작이 멈추게 된다. N-베이스에 남아 있는 전자들은 재결합에 의하여 소멸됨으로써 MCT는 턴-오프된다.

결과적으로 on/off-FET의 동작이 MCT의 턴-온/턴-오프에 주된 영향을 미치며, 안정적인 동작을 위해서는

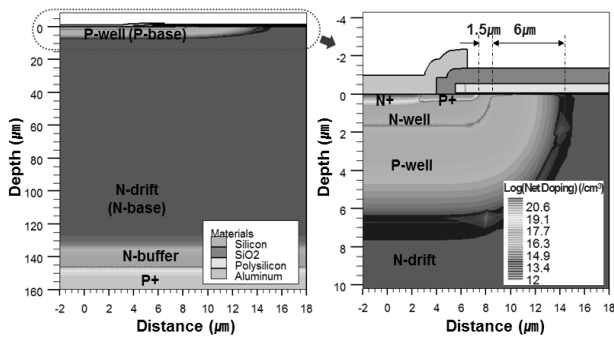


그림 2. MCT의 시뮬레이션 구조 및 2차원 doping profile (게이트산화막은 저온 증착공정으로 성장함)

Fig. 2. Overall view of simulated structure and detailed junction profile. The gate oxide was grown by low temperature deposition process.

PNPN 접합구조와 함께 on/off-FET에 대한 정밀한 소자 및 공정설계가 요구된다.

## 2. P/N-웰 형성 시뮬레이션

고전압의 MCT를 제작하기 위해서는 기판 또는 드리프트(N-drift) 영역의 조건 설정이 선행되어야 한다. 드리프트 영역의 농도와 두께는 소자의 항복전압을 결정하며, 순방향 저지상태에서 역방향 전압이 인가되는 J<sub>2</sub> 접합이 충분한 전압을 견딜 수 있어야 한다. 본 연구에서는 1400V MCT 제작을 위하여 P+/N-버퍼/N-드리프트/P-베이스 평판접합(planar junction)의 항복전압을 시뮬레이션 하였으며, 두께 10μm, 비저항 0.1Ω·cm의 N-버퍼층과 두께 130μm, 비저항 50Ω·cm의 N-드리프트 층을 선정하였다(평판접합 항복전압=1800V).

한편 MCT의 경우 P-웰과 N-웰의 접합깊이와 농도는 “reach through”에 의한 항복이 일어나지 않도록 충분한 값을 가져야 하며, P/N-웰의 표면 불순물농도는 각각 on/off-FET의 V<sub>th</sub>를 결정한다. 그림 2는 MCT의 P-웰과 N-웰 형성에 대한 공정 시뮬레이션 결과를 나타내었다. P+기판/N-버퍼/N-드리프트의 이중 에피층 위에 p형 불순물(붕소, B)을 이온주입한 후 1150°C에서 300분간 열처리하고, n형 불순물(인, P)을 이온주입한 후 1150°C에서 300분간 추가 열처리하여 6.7μm 깊이의 P-웰과 1.8μm 깊이의 N-웰을 형성하였다. 이때 on-FET의 채널 길이인 표면 P-웰의 길이는 6μm, off-FET의 채널 길이인 표면 N-웰의 길이는 1.5μm가 되도록 디자인을 조정하였다.

그림 3은 P-웰 및 N-웰을 형성하기 위한 B과 P의 이온주입 dose에 따른 항복전압 시뮬레이션 결과를 나

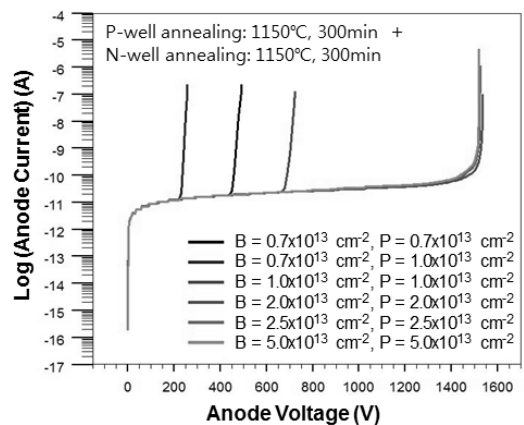


그림 3. P-웰/N-웰 이온주입 dose에 따른 순방향 항복 특성 시뮬레이션 결과

Fig. 3. Simulated results of forward breakdown characteristics for various dose of P-well/N-well ion implantation.

타낸 것이다. P-웰 및 N-웰의 dose가  $2.0 \times 10^{13} \text{cm}^{-2}$  이상인 경우 MCT의 순방향 항복전압은 모두 1500V의 값을 나타내지만,  $1.0 \times 10^{13} \text{cm}^{-2}$  이하의 dose에서는 항복전압이 급격히 감소함을 알 수 있다. 이는 낮은 P-웰 농도로 인한 reach-through 때문이며 소자의 안정적인 동작을 위해  $2.5 \times 10^{13} \text{cm}^{-2}$ 의 이온주입 dose가 적절할 것으로 판단된다. 한편, dose가 너무 높을 경우 PNPN 사이리스터의 전류이득(current gain)이 낮아져 MCT의 턴-온 및 순방향 전류특성이 나빠진다.

## 2. On/Off-FET의 문턱전압(V<sub>th</sub>) 최적화

MCT는 on-FET의 턴-온 후 사이리스터의 회생동작에 의해 구동된다. 또한 온-상태의 MCT는 off-FET의 동작으로 P-웰 내의 캐리어를 소거시켜 소자를 턴-오프시킨다. 따라서 on/off-FET의 V<sub>th</sub>가 0V에 근접할수록 턴-온/턴-오프의 시점을 앞당겨 MCT의 전류 구동능력을 향상시킬 수 있다. 그러나 P-웰을 확산시켜 on-FET를 형성한 위에 N-웰을 확산시켜 off-FET을 형성하는 확산공정으로 on-FET과 off-FET의 문턱전압을 모두 낮은 값으로 구현하는 것은 매우 까다롭다.

그림 4는 P-웰 표면(on-FET, nMOSFET)과 N-웰 표면(off-FET, pMOSFET) 농도에 따른 V<sub>th</sub> 계산 결과를 나타낸 것으로써, on-FET이 0.6V의 문턱전압을 갖기 위해서는 P-웰의 표면농도가  $1.2 \times 10^{16} \text{cm}^{-3}$ 의 값을 가져야함을 알 수 있다. 한편, N-웰은 P-웰 위에 형성되어야 하기 때문에 표면농도는 이보다 훨씬 높은 값을 가지게 된다. 예를 들어 확산공정을 잘 조절하여 N-웰의

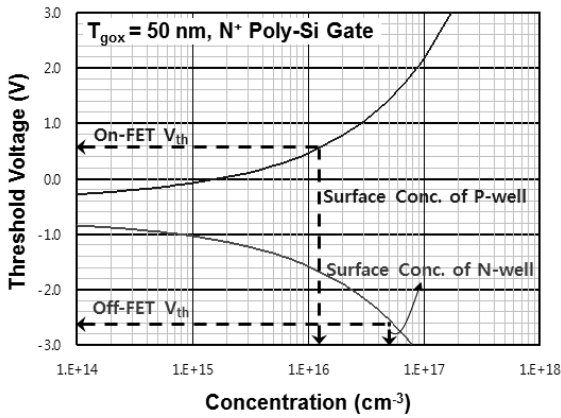


그림 4. P-웰과 N-웰 표면농도에 따른 문턱전압 변화  
 Fig. 4. Threshold voltage with surface doping concentration of P-well and N-well.

표면농도가  $5.0 \times 10^{16} \text{ cm}^{-3}$ 의 값을 가지더라도 off-FET의 문턱전압은 -2.6V의 큰 값을 가지게 된다. 또한 장시간의 고온 열처리와 다수의 산화막 성장공정은 P-웰 표면의 붕소(B)를 out-diffusion 시키고 N-웰 표면의 인(P)을 pile-up 시키기 때문에 문턱전압 조절을 더욱 어렵게 한다. 그러므로 P-웰과 N-웰의 표면농도와 on/off-FET의  $V_{th}$  조절을 위해서는 별도의 이온주입 공정(문턱전압 이온주입)을 진행하는 것이 효과적일 것으로 판단된다.

그림 5는 문턱전압 이온주입을 진행하지 않은 경우 MCT의 2차원(2-D) 접합 profile과 게이트 전압에 따른 on/off-FET의 전달특성(transfer characteristics) 시뮬레이션 결과이다. P-웰 표면의 B out-diffusion과 N-웰 표면의 P pile-up 현상이 심하게 일어나 off-FET의 채널길이가 길어지고 도핑농도는 높아진 반면, on-FET은 채널길이가 짧아지고 도핑농도는 낮아짐을 확인할 수 있다. 이는 on/off-FET의  $V_{th}$ 를 전체적으로 음의 값으로 이동시키고, 특히 off-FET의  $V_{th}$ 가 큰 음의 값을 가져 MCT의 턴-오프 성능이 나빠짐을 예측할 수 있다.

한편, 그림 6은 문턱전압 이온주입을 진행한 경우의 시뮬레이션 결과이다. 문턱전압 이온주입은 P-웰 표면의 B out-diffusion을 보상하기 위한 B 이온주입( $V_{th1}$ )과 N-웰 표면의 P pile-up을 보상하기 위한 추가적인 B 이온주입( $V_{th2}$ )을 각각  $1.0 \times 10^{12} \text{ cm}^{-2}$ 의 dose로 진행하였다. 이 경우 N-웰 표면의 off-FET의 채널길이가 짧아지고 농도는 낮아진 반면, on-FET은 채널길이가 길어지고 표면농도는 높아졌으며,  $V_{th}$ 가 전체적으로 양의 방향으로 이동하였음을 알 수 있다. 이러한 결과는 off-FET의 동작 시점을 앞당김으로써 MCT의 턴-오프 특성을 향상시켜 전류 구동능력을 향상시킬 것으로 판단된다.

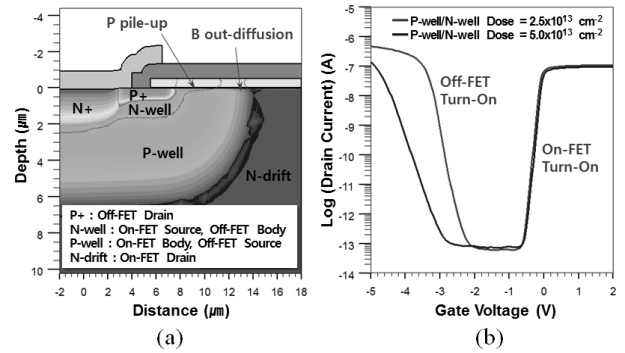


그림 5. 문턱전압 이온주입을 하지 않은 MCT의 (a) 2차원 접합 profile 및 (b) on/off-FET의 전달 특성 시뮬레이션 결과 (P+와 N+ 이온주입 후 열산화 공정으로 게이트산화막을 성장시킴)

Fig. 5. Simulated results of (a) 2-D junction profile and (b) transfer characteristics of MCT without the  $V_{th}$  implantation. Thermal gate oxide was grown after P+ and N+ ion implantation.

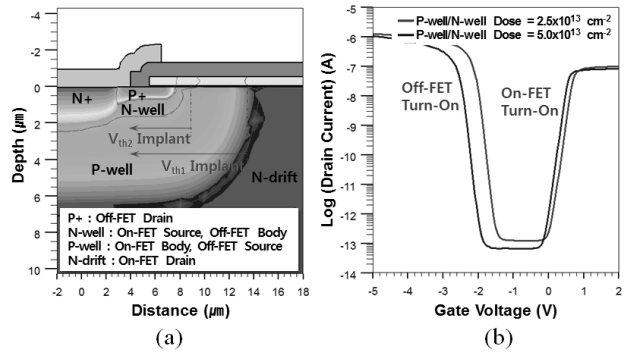


그림 6. 문턱전압 이온주입을 진행한 MCT의 (a) 2차원 접합 profile 및 (b) on/off-FET의 전달특성 시뮬레이션 결과

Fig. 6. Simulated results of (a) 2-D junction profile and (b) transfer characteristics of MCT that received the  $V_{th}$  ion implantation treatment.

### III. MCT 제작 및 특성 평가

#### 1. MCT 제작 공정

MCT 제작을 위한 공정순서는 다음과 같다(그림 7). P+기판/N-버퍼층/N-드리프트층으로 구성된 웨이퍼 위에 산화막을 성장시킨 후, P-웰을 형성하기 위한 이온주입과 확산공정을 진행한다. 다음 N-웰을 형성하기 위한 이온주입과 확산공정을 진행하고, 필드산화막(field oxide)를 성장시킨 후 활성영역(active region)을 정의한다. 활성영역 정의 후 on-FET과 off-FET의 문턱전압을 조절하기 위한  $V_{th1}$ ,  $V_{th2}$  이온주입과 캐소드 영역의 P+와 N+를 형성하기 위한 이온주입을 진행한다. 이때 문턱전압 이온주입을 진행하지 않은 소자를 같이 제작

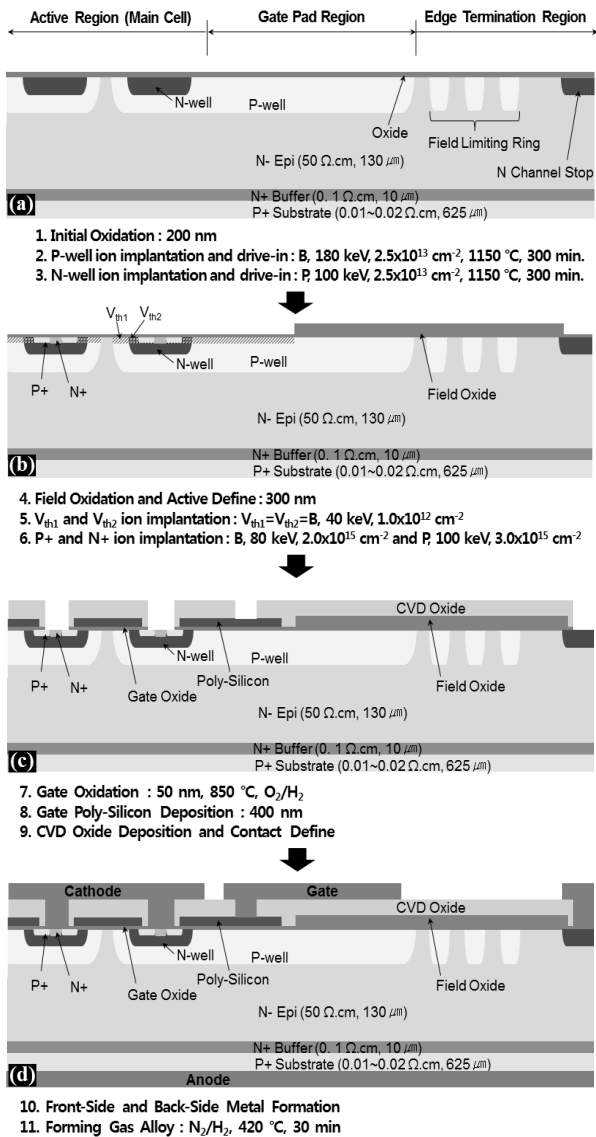


그림 7. MCT 제작을 위한 공정 흐름도 및 공정 조건  
Fig. 7. Schematic process flow and process conditions for fabricating the MCTs.

하여 특성을 비교 평가하였다. 이후 게이트산화막과 폴리실리콘을 성장시키고 게이트를 패터닝한 후 층간절연막으로 CVD 산화막을 증착한다. 마지막으로 게이트와 캐소드의 배선을 위한 컨택을 형성하고 금속을 증착한 후 패터닝하여 전극을 형성함으로써 소자 제작을 완료한다. 간략한 공정조건을 그림 7에 함께 나타내었다.

제작된 MCT의 소자 단면에 대한 SEM 이미지를 그림 8에 나타내었다. N-웰의 경우 시뮬레이션 결과와 유사하게  $\sim 2\mu\text{m}$ 의 접합깊이와,  $\sim 1.5\mu\text{m}$ 의 off-FET 채널길이를 확인할 수 있다. 한편 P-웰의 경우 doping 농도가 낮아 접합 경계가 관찰되지 않으며, P+, N+ 접합과 게이트, 컨택 및 메탈이 잘 형성되었음을 확인할 수 있다.

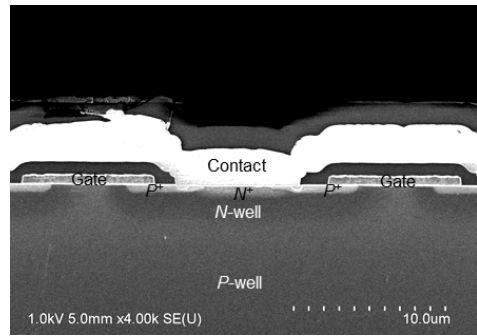


그림 8. 제작한 MCT 소자의 단면 SEM 이미지  
Fig. 8. Cross-sectional SEM image of the fabricated MCT.

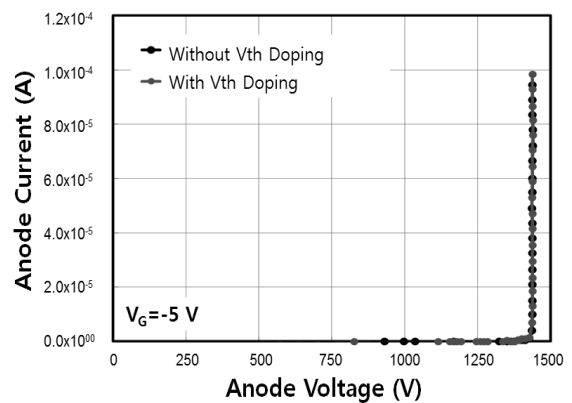


그림 9. 순방향 저지특성 측정 결과  
Fig. 9. Measured results of forward blocking characteristics.

## 2. DC 특성 분석

문턱전압 이온주입이 MCT의 특성에 미치는 영향을 평가하기 위하여 역방향 항복전압, 순방향 온-특성 및 게이트전압에 따른 온-오프 특성을 측정하였다.

그림 9에 게이트전압( $V_G$ )이  $-5\text{V}$ 일 때(오프 상태) MCT의 순방향 항복전압 측정결과를 나타내었으며 항복전압은  $\sim 1425\text{V}$ 의 값을 나타내었다. 항복전압은 다수의 FLR(field limiting ring)을 구성하는 P-웰의 농도와 깊이 및 각 링(ring)의 디자인 치수에 의하여 결정되며, 문턱전압 이온주입 여부에 따른 항복전압 차이는 관찰되지 않았다.

그림 10은  $V_G=5\text{V}$ 일 때 MCT의 순방향 온-특성을 측정한 결과이다. 문턱전압 이온주입의 진행 유무에 관계없이  $100\text{A}/\text{cm}^2$ 의 전류밀도에서 약  $1.25\text{V}$ 의 순방향 전압을 나타내어 두 소자간의 특성 차이는 발생하지 않았다. 그림 10 안에 삽입된 그래프는 턴-온되는 지점을 확대한 그래프이다.  $V_{th}$  이온주입을 실시한 경우 다소 높은 턴-온 특성을 나타내며, 이는 시뮬레이션에서 확인한 바와 같이 P-웰의 표면 도핑 농도가 높아져 on-FET의  $V_{th}$ 가 상승하였기 때문으로 생각된다. 그러

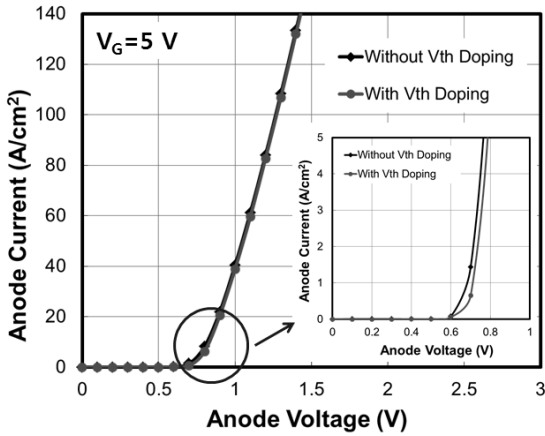


그림 10. MCT의 순방향 도통 특성  
Fig. 10. Forward conducting characteristics of the MCTs.

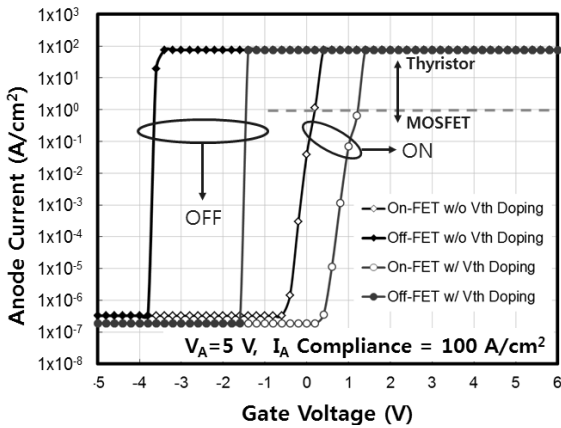


그림 11. 게이트전압 변화에 따른 MCT의 온-오프 특성 ( $V_G: -5V \rightarrow 5V \rightarrow -5V$ )  
Fig. 11. On-Off characteristics of the MCTs according to  $V_G$  sweep ( $V_G: -5V \rightarrow 5V \rightarrow -5V$ ).

나 소자의 정격전류 영역(예를 들어  $100A/cm^2$ )에서 전압 손실은 차이가 없으며, 이는 MCT의 on-FET은 내부 사이리스터를 턴-온 시키기 위한 전류를 공급하는 역할을 하고, MCT가 턴-온된 후 온-상태에서의 전기적 특성은 사이리스터에 의해 결정되기 때문으로 판단된다.

그림 11은 어노드에 5V의 전압을 인가한 상태에서 게이트 전압을  $-5V \rightarrow 5V \rightarrow -5V$ 로 스위프(sweep)하면서 어노드전류를 측정하여 MCT의 온-오프 특성을 관찰한 결과이다. 그림에서 보는 바와 같이 문턱전압 이온주입을 진행하지 않은 경우  $-0.6V$ 의 게이트 전압에서 on-FET이 턴-온되어  $\sim 1A/cm^2$ 의 전류( $V_G=0.2V$ ) 이상이 되면 앞에서 서술한 회생동작에 의해 사이리스터가 동작함을 확인할 수 있다. 반면, 문턱전압 이온주입을 진행한 경우 on-FET의 턴-온 게이트전압이  $0.6V$ 로 높아지고, 사이리스터의 동작에 의한 MCT의 턴-온 전압

역시  $1.2V$ 로 증가함을 알 수 있다. 그러나 그림 10에서 설명한 바와 같이 on-FET의  $V_{th}$ 와 MCT의 턴-온 게이트전압의 증가가 온-상태( $V_G=5V$ )에서 MCT의 전압손실에는 영향을 미치지 않는다.

한편 MCT가 턴-온된 후 게이트전압을 on-FET의  $V_{th}$  이하로 감소시켜도 MCT는 온-상태를 유지하고 있으며, 게이트전압을 off-FET의  $V_{th}$  이하로 더 감소시킬 경우 MCT가 턴-오프됨을 확인할 수 있다. MCT의 턴-오프 특성은 문턱전압 이온주입 진행 유무에 따라 큰 차이를 보이고 있다. 문턱전압 이온주입을 진행하지 않은 경우  $-3.8V$ 의 게이트전압에서 MCT가 턴-오프되지만, 이온주입을 진행한 경우  $-1.6V$ 에서 턴-오프되며, 이는 문턱전압 이온주입에 따른 off-FET의  $V_{th}$ 가 감소했기 때문이다. 사이리스터 계열의 소자인 MCT의 전류 구동능력은 도통상태의 전류를 턴-오프시킬 수 있는 능력에 의해 결정되기 때문에 문턱전압 이온주입을 진행한 경우 턴-오프 게이트전압이 작은 것은 MCT의 구동 전류능력을 향상시킴을 의미한다. 또한 전술한 바와 같이 문턱전압 이온주입이 on-FET의  $V_{th}$  증가에도 불구하고 정격전류에서의 순방향 전압손실에 영향을 주지 않고 MCT의 구동 전류능력을 향상시키는 것으로 판단된다.

### 3. 턴-온 스위칭 특성 분석

MCT의 주된 응용분야중 하나인 펄스파워 시스템에서 사용되는 고전압 스위치의 경우 게이트 펄스에 따른 턴-온 시의 피크 어노드전류( $I_{peak}$ )와 전류상승기울기인  $di/dt$  특성이 중요하다.

그림 12(a)는 턴-온 스위칭 특성에 대한 측정 시스템의 회로 모식도를 나타낸 것이다.  $800V$ 의 외부 전원을 인가하여 커패시터를 충전시킨 후  $-5V$ 에서  $5V$ 의 펄스를 MCT의 게이트에 인가하였으며 이때의 어노드전류 변화를 current sensing resistor를 이용하여 평가한다<sup>[6]</sup>. 그림 12(b)는 제작한 MCT(활성영역 면적= $0.465mm^2$ )의 턴-온 스위칭 특성을 평가한 결과이다.  $+5V$ 의 게이트 펄스가 인가된 후 약  $2.74ns$ 에서 MCT가 도통상태로 동작하며, 피크 어노드전류는 문턱전압 이온주입을 진행한 경우  $290A$ , 진행하지 않은 경우  $289A$ 로 거의 동일한 결과를 나타내었다. 또한 최대 전류의 10%까지 도달하는 시간은 두 경우 모두  $3ns$ 로 동일하였고, 50% 도달 시간은  $23ns$ 와  $24ns$ 로 문턱전압 이온주입을 진행한 MCT가 다소 빨랐다. 또한, MCT의 가장 중요한 특성중 하나인  $di/dt$ 는 문턱전압 이온주입을 진행한 경우

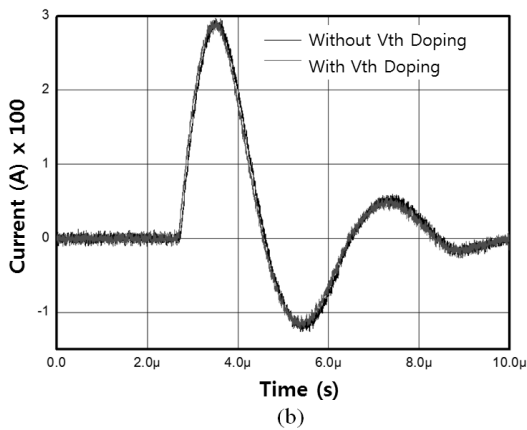
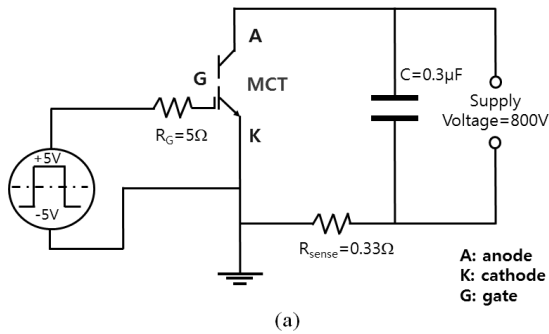


그림 12. (a) 턴-온 스위칭 특성 평가에 대한 회로 모식도 및 (b) MCT 소자의 턴-온 특성 측정 결과  
Fig. 12. (a) Schematic circuit for turn-on switching test and (b) measured results of turn-on waveform of the MCTs.

5.8kA/μs로 진행하지 않은 경우의 5.5kA/μs보다 다소 우수한 성능을 나타내었지만 이는 패키지와 샘플 배선 연결 등의 기생 임피던스에 의한 측정오차 범위 내의 값으로 판단된다.

#### IV. 결 론

본 논문에서는 1400V MCT 제작을 위한 시뮬레이션과 실험결과에 대해 분석하였으며, 특히 on-FET과 off-FET의 문턱전압 조절 이온주입의 영향에 대하여 분석하였다. 문턱전압 이온주입을 진행하지 않은 경우 고온의 확산공정과 다수의 산화막 성장공정에 의하여 불순물의 표면농도 변화를 야기하여, on-FET의  $V_{th}$ 가 음의 값을 가지고, off-FET은 -3.8V의 큰  $V_{th}$  값을 가짐을 확인하였다. 반면, 문턱전압 이온주입을 진행한 경우 on-FET의  $V_{th}$  및 MCT의 턴-온 게이트전압이 각각 0.6V와 1.2V의 값을 나타내었고, off-FET의 동작에 의한 MCT의 턴-오프 전압이 -1.6V로 크게 감소하여 MCT의 전류 구동능력을 향상시킴을 확인하였다. 또한

문턱전압 이온주입에 의한 on-FET의  $V_{th}$  증가에도 불구하고 온-상태의 전압손실과 펄스파워용 스위칭 소자의 주요특성인 턴-온 시의 피크 어노드전류( $I_{peak}$ ) 및 전류상승기울기( $di/dt$ )는 변화가 없어 MCT 소자의 전체적인 전기적 특성을 향상시키는 결과를 나타내었다.

#### REFERENCES

- [1] B. E. Fridman, A. A. Drozdov, V. G. Kuchinski, V. Th. Prokopenko, and V. V. Vesnin, "5 KV, 300 KJ Capacitive Energy Storage," *IEEE Pulsed Power Conference*, pp. 704-707, Monterey Conference Center Monterey, USA, Jul. 2005.
- [2] C. Fahrni, A. Rufer, F. Bordry, and JP. Burnet, "A novel 60 MW Pulsed Power System based on Capacitive Energy Storage for Particle Accelerators" *Proceeding of European Conference on Power Electronics and Applications*, pp. 1, Aalborg, Denmark, Sep. 2007.
- [3] S. Huang, G. A. J. Amaratunga, and F. Udrea, "A Novel Single Gate MOS Controlled Current Saturated Thyristor" *IEEE Electron Device Letters*, Vol. 22, No. 9, pp. 438-440, 2001.
- [4] Q. Huang, G. A. J. Amaratunga, E. M. Sankara Narayanan, and W. I. Milne, "Analysis of n-Channel MOS-Controlled Thyristors" *IEEE Electron Device Letters*, Vol. 38, No. 7, pp. 1612-1618, 1991.
- [5] W.-J. Chen, R.-Z. Sun, C.-F. Peng, and B. Zhang, "High dV/dt immunity MOS Controlled Thyristor using a Double Variable Lateral Doping Technique for Capacitor Discharge Applications" *Chinese Physics*, Vol. 23, No. 7, pp. 1-6, 2014.
- [6] Malay Trivedi, S. Pendharkar, and K. Shenai, "Switching Characteristics of MCT's and IGBT's in Power Converters" *IEEE Transactions On Electron Devices*, Vol. 43, No. 11, pp. 1994-2003, 1996.

저 자 소 개



**박 건 식**(정회원)  
 1991년 한국과학기술원 재료공학과 학사 졸업.  
 1996년 한국과학기술원 신소재공학과 석사 졸업.  
 2011년 한국과학기술원 신소재공학과 박사 졸업.

2000년~현재 한국전자통신연구원 책임연구원  
 <주관심분야: Si/SiC 반도체 소자, 전력 소자, 반도체 센서/디텍터>



**원 종 일**(정회원)  
 2008년 서경대학교 전자공학과 학사 졸업.  
 2010년 서경대학교 전자공학과 석사 졸업.  
 2011년~현재 한국전자통신연구원 선임연구원

<주관심분야: Si/SiC 전력반도체 소자, ESD 보호 회로>



**조 두 형**(학생회원)  
 2011년 단국대학교 전기전자공학과 학사 졸업.  
 2013년 서강대학교 전자공학과 석사 졸업.  
 2013년~현재 서강대학교 전자공학과 박사 재학 중.

<주관심분야: Si/SiC 반도체 소자, 전력 소자>



**곽 창 섭**(정회원)  
 2008년 경북대학교 전자전기컴퓨터 학부 학사 졸업.  
 2010년 경북대학교 전자전기컴퓨터 학부 석사 졸업.  
 2010년~현재 (주)한화 선임연구원

<주관심분야: 전력 소자, 아날로그 회로>