

## 論文

J. of The Korean Society for Aeronautical and Space Sciences 44(3), 266-273(2016)

DOI:http://dx.doi.org/10.5139/JKSAS.2016.44.3.266

ISSN 1225-1348(print), 2287-6871(online)

## 고속 비행체 명령수신기 신호처리 기법 연구

윤정국\*, 정원희\*\*, 김균희\*\*, 윤명환\*\*

Research of the Signal Processing techniques applied to the  
Command Link Receiver of High Speed Aircrafts

Jung-Kug Yun\*, Won-Hee Jung\*\*, Kyun-Hoe Kim\*\* and Myung-Han Yun\*\*

Agency for Defence Development\* ' \*\*

## ABSTRACT

In this paper, we propose the signal processing techniques for the command link receiver mounted to aircrafts flying at a high speed. In order to acquire the various information transmitted from ground through radio frequency links, the wide received signal range must be guaranteed as well as the carrier synchronization and symbol synchronization be performed correctly within short pulse sections. After the synchronization step, we should be able to achieve theoretical performance of the modulation and demodulation scheme applied as deciding bit and symbol at the time appointed. By test results, we make sure that the proposed signal processing techniques can be effectively applied command link receiver mounted to aircrafts.

## 초 록

본 논문에서는 빠른 속도로 이동하는 비행체에 장착되는 명령수신기의 신호처리 기법에 대하여 제안한다. 명령수신기는 비행하는 동안 지상으로부터 전달되는 각종정보를 RF 링크를 통하여 수신해야 하므로 넓은 수신신호세기 영역을 확보해야하며, 또한 반송파 동기화 및 심볼 동기화 과정이 짧은 펄스열 구간 내에서 정밀하게 수행되어야 한다. 동기화 과정을 수행 후에는 약속된 시점에 심볼 및 비트결정을 통해 데이터를 획득함으로써 적용된 변복조방식의 이론적인 성능을 달성할 수 있다. 시험결과를 통해 본 논문에서 다룬 신호처리 기법이 비행체의 명령수신기에 효과적으로 적용될 수 있음을 확인한다.

**Key Words :** Carrier synchronization(반송파 동기화), Symbol synchronization(심볼 동기화), Command link receiver(명령수신기)

## 1. 서 론

비행체가 비행 시 필요한 각종 정보를 지상으로  
로부터 전달받아야 할 경우 비행체 내부에 명령

수신기를 장착함으로써 무선링크를 통하여 전달  
받을 수 있다. 빠른 속도로 비행하는 비행체와의  
장거리 통신을 위하여 명령수신기 신호처리 기법  
은 빠른 비행으로 발생하는 도플러 윗셋을 제거

† Received : December 4, 2015      Revised : January 29, 2016      Accepted : February 24, 2016

\* Corresponding author, E-mail : logzzang@add.re.kr

하기 위한 주파수 동기화 및 비트 결정을 위한 심볼 동기화를 정확히 수행하여야 넓은 수신신호 세기 영역을 확보할 수 있다[1].

본 논문에서는 비행체와 지상간 장거리 통신을 위하여 지상에 수백 Watt급 펄스형 고출력증폭기를 사용하는 것을 전제로 하여 설계하였다. 펄스형 고출력증폭기는 내구성과 발열문제로 인하여 펄스길이와 Duty Cycle을 내부 사양으로 가지고 있다[2][3][4][5]. 따라서 본 논문에서도 송수신 프레임 길이와 Duty Cycle에 제한을 두었다.

본 논문의 구성은 다음과 같다. 2장에서는 명령수신기 설계 고려사항 및 송수신 프레임 구조에 대해서 언급하고, 3장에서는 명령수신기 신호처리 기법을 시뮬레이터를 통해 구현함으로써 명령수신기 신호처리 기법에 대하여 설명한다. 4장에서는 시험을 통해 명령수신기 신호처리 기법을 검증함으로써 적용타당성을 검토한다.

## II. 명령수신기 개요

### 2.1 명령수신기 설계 고려사항

비행체가 비행 시 필요한 각종 정보를 지상에서 전송하기 위해 반송파 주파수로 C밴드(4GHz~8GHz) 또는 X밴드(8GHz~12GHz)의 높은 주파수를 사용하고 비행체가 초음속으로 이동할 경우 도플러 옵셋(fd)이 10kHz이상 발생한다. 또한 비행 중에는 급격한 비행경로 변경 등으로 인하여 가속도가 크게 발생하는 구간에서 도플러 옵셋 변화량이 커질 수 있다. 따라서 반송파 동기 및 위상 동기를 요구하는 Coherent방식의 수신기를 구현하기 위해선 복잡도가 크게 증가하므로 Non-Coherent 복조가 가능한 변조 방식을 사용한다. Non-Coherent 복조가 가능한 대표적인 변조방식으로 FSK(Frequency Shift Keying) 방식이 있다. FSK 방식은 PSK(Phase Shift Keying) 방식에 비하여 주파수 효율이 좋지 못하고 Non-Coherent Binary FSK 방식의 경우 Coherent Binary PSK 방식에 비하여 비트오율  $10^{-6}$ 에서 AWGN 채널에서  $E_b/N_0$ 기준 약 4dB 성능이 좋지 못하므로 전력효율 및 주파수효율을 요구하는 현대의 상용 이동통신방식에서는 잘 사용하지 않는 방식이다[6]. 하지만, 특수 목적을 지닌 통신시스템에서는 수신기의 구조를 단순하게 구현할 수 있는 장점이 있으므로 여전히 많이 사용되고 있는 방식이다.

또한 이동통신처럼 사용자가 기지국과 10km

Table 1. Design Parameter

항목	Parameter
변조방식	4-ary FSK
심볼주기	$T_s$ (s)
주파수편이	$2/T_s$ (Hz)
복조방식	Non-Coherent 복조
최대허용 도플러 옵셋	35kHz (Hz)
송신프레임 펄스폭	$T_1$ (s) 이내
송신기 허용 Duty	5 (%) 이내
프레임 비트수	$2 \cdot (T_1/T_s - 16)$ (비트)
프레임 최소전송주기	$T_1 + T_2$ (s)

이내의 통신을 하고 기간망에서는 유선으로 전송되는 환경과 달리 비행체와 지상간의 통신에서는 수십km~수백km이상의 장거리통신을 요구하므로 송신기에서 수백 Watt이상의 펄스형 고출력증폭기가 많이 사용되는데, 이러한 펄스형 고출력증폭기의 경우 일반적으로 송신 가능한 최대 펄스폭 및 활용 Duty에 제약이 있으므로 프레임 길이와 전송주기에 제한을 두게 된다. 따라서 제한된 프레임 길이 내에 요구되는 데이터양을 전송하고 요구되는 비트오율성능을 만족시키기 위해선 주파수 효율이 좋지 않지만 비트오율 성능저하를 발생시키지 않고 변조지수를 높일 수 있는 FSK 방식이 효과적이라 할 수 있다.

Table 1은 명령수신기 설계 파라미터를 나타내고 있다. 본 논문에서 고려한 변조 방식은 4-ary FSK방식이며 복조방식은 Non-Coherent 복조이다. 심볼 주기는  $T_s$ (s)이며 주파수 편이는 직교편이(Orthogonal Spacing)를 위한 최소 주파수 편이가  $1/T_s$ (Hz)이지만 도플러 옵셋에 따른 영향을 완화하기  $2/T_s$ (Hz)를 적용하였다. 최대허용 도플러 옵셋은 반송파 주파수와 비행체의 최대속도를 반영하여 35kHz로 산출되었고, 비행체가 지상국과 멀어지는 방향으로 이동하는 것만을 고려하여 도플러 옵셋이 음수 값만 갖는 것으로 가정하였다. 그리고 송신 프레임 펄스폭은  $T_1$ (s)이고 송신기 허용 Duty는 5% 이내로 하였는데 지상국의 고출력증폭기의 사양에 따라 한정되는 값이다. 프레임 비트 수와 프레임 최소전송주기는 다음 절에서 산출된다.

### 2.2 송수신 프레임 구조

본 논문에서 가정하고 있는 지상시스템은 비행체와의 장거리 교신을 위하여 내부에 수백 Watt급 펄스형 고출력증폭기 사용을 전제로 하고 있다. 일반적으로 수백 Watt급 펄스형 고출력

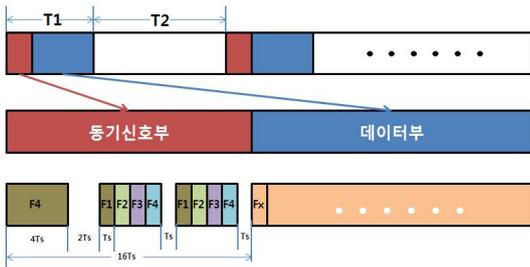


Fig. 1. Command Link Frame Structure

증폭기는 최대 펄스폭과 Duty를 사양으로 가지고 있다. 최대 펄스폭과 Duty 제약은 프레임설계시 우선적으로 고려해야 할 사항인데, 최대 펄스폭과 Duty에 따라 하나의 프레임에 구성할 수 있는 데이터양과 최대 전송률이 결정되기 때문이다. 최대 전송률은 다음의 식으로 정의된다.

$$\text{전송률} = \frac{1\text{프레임 데이터량}}{\text{최대 펄스폭}} * \text{Duty}$$

본 논문에서는 최대 펄스폭을 T1(s)로 제한하였고, 송신기 허용 Duty를 최대 5%로 제한하였다. 최대 펄스폭과 같은 T1(s) 신호를 송신하면 Duty 조건을 충족시키기 위하여 19\*T1(s)이상 송신을 중단하여야 한다. 따라서 FSK 심볼 주기를 Ts라 할 때, T1(s) 펄스 내에서 전송할 수 있는 FSK 심볼은 T1/Ts개이다.

Figure 1은 송수신 프레임 구조를 나타내고 있다. 송수신 프레임 구조는 동기신호부와 데이터부로 구성되어 있으며 동기신호부는 에너지 검출과 대략적인(Coarse) 타이밍 동기 및 반송파 동기를 위한 long pulse 신호와 정확한(fine) 타이밍 동기를 위한 sync pulse 신호로 구성되어 있다. long pulse 신호는 FSK 심볼 4개에 해당하는 펄스길이를 가지고 있고, Sync Pulse 신호는 4FSK 심볼 4개씩 2번 할당되어 있으며, 각각의 pulse에는 Fig. 1과 같이 신호처리 프로세싱을 위한 보호시간이 설정되어 총 16Ts 길이의 동기신호부를 할당하였다. 따라서 데이터부에 할당할 수 있는 심볼은 T1/Ts - 16 개이며, 본 논문에서는 변조지수가 2인 4-ary FSK 변조 방식을 사용하였으므로 하나의 프레임에서 보낼 수 있는 데이터량은 2\*(T1/Ts - 16)이고, 전송률은 다음과 같이 나타낼 수 있다.

$$\text{전송률} = 2 * (T1/Ts - 16) * \text{Duty} / T1$$

### III. 명령수신기 신호처리 기법

#### 3.1 신호처리 시뮬레이터 전체 블록도

본 논문에서는 MathWorks사의 Matlab & Simulink를 이용해 신호처리 시뮬레이터를 구현함으로써 명령수신기 신호처리 기법을 설계하고

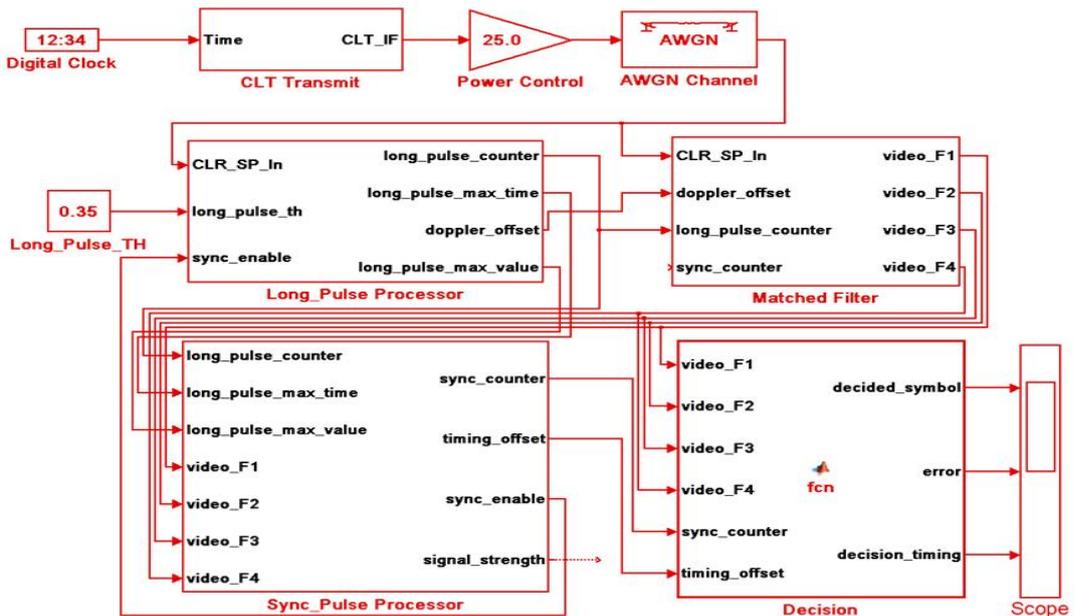


Fig. 2. Entire Block Diagram of Signal Processing Simulator

검증한다. 신호처리 시뮬레이터는 실제장비의 FPGA내에 VHDL로 구현하는 경우를 고려하여 탑재 신호처리 로직과 최대한 일치할 수 있도록 샘플기반으로 구현하였다. 신호처리 시뮬레이터는 실제 장비에서 발생할지도 모르는 오류를 사전에 최대한 배제시키고, 실제 장비 운용 중에 예상치 못한 환경상황으로 문제 발생 시 문제 상황을 모사함으로써 신호처리 기법을 견고하게 갱신할 수 있도록 한다. 시뮬레이터 전체적인 구성은 Fig. 2에서 보여주고 있다. 기능단위로 분류하기 위해 지상의 송신기 신호를 모사하기 위한 CLT(Command Link Transmitter) Transmit 블록과 명령수신기의 Long\_Pulse Processor 블록, Matched Filter 블록, Sync\_Pulse Processor 블록, 그리고 Decision 블록으로 구성하였다. 또한 채널 환경을 모사하기 위해 라이브러리로 제공하는 AWGN 블록도 포함되어 있다.

### 3.2 CLT Transmit 블록

Figure 3은 CLT Transmit 블록을 나타낸다. CLT Transmit 블록은 명령송신기 출력신호를 중간주파수부(IF: Intermediate Frequency) 신호로 모사하여 발생시키는 기능을 한다. 명령수신기 신호처리기기의 입력신호는 RF 주파수가 하향 변환된 중간주파수부 신호가 입력된다. 따라서 CLT Transmit 블록은 약속된 프레임 구조에 따라 동기신호와 데이터신호를 모사하기 위해 정해진 시간에 4FSK 심볼을 발생시킨다. Transmit Control 은 Sample Counter에 맞추어 정해진 주파수 값을 제어하도록 신호를 전달하며 Frequency Generation에서는 제어되는 신호에 따라 약속된 주파수를 전달한다. IF Sinewave Generation에서는 시간과 주파수를 전달받아 중간주파수부의 정현파 신호를 발생시키도록 동작한다. 동기신호부에서는 Fig. 1에서 나타난 것처럼 약속된 4FSK 심볼을 발생시키도록 제어하고 데이터 신호는 임의로 정해서 보낸다. 데이터부에 동기신호부와 일치된 패턴이 삽입되더라도 내부 Flag 신호를 통해 동기신호부 처리 단계인지

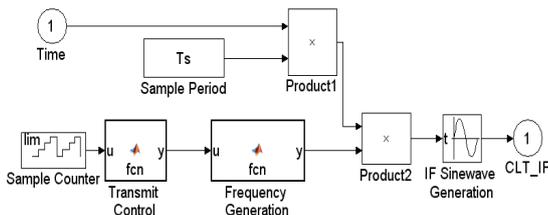


Fig. 3. CLT Transmit Block Diagram

데이터부 처리 단계인지를 알 수 있으므로 데이터부에서 임의의 신호를 보내도 신호처리 기법을 검증하기에 지장을 주지 않는다. CLT Transmit 블록은 하나의 프레임이 끝나면 계속적인 프레임 전송을 위해 Sample Counter가 초기화되어 계속적으로 프레임을 반복하여 생성한다.

### 3.3 Matched Filter 블록

Figure 4는 Matched Filter 블록을 나타낸다. Matched Filter 블록은 4FSK 심볼을 복조하기 위하여 4개의 주파수로 복조된 비디오 신호를 생성하는 기능을 한다. 하위블록으로는 4개의 주파수에 대하여 비디오 신호를 생성하는 Video Generator 블록을 가지고 있는데 Fig. 5에서 보여주고 있다. 내부에는 NCO (Numerica Controled Oscillator)를 구성하여 4FSK의 4개에 주파수에 해당되는 주파수 F1, F2, F3, F4를 생성한다. 또한 Long\_Pulse Processor를 통해 도플러 오프셋이 추정되면 추정된 도플러 오프셋 값을 전달받아 발진 주파수를 해당 도플러 오프셋만큼 조절한다. Long Pulse 처리 이후에는 생성된 주파

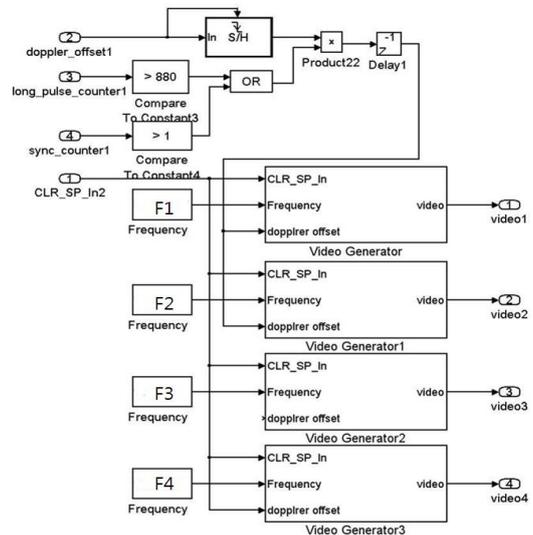


Fig. 4. Matched Filter Block Diagram

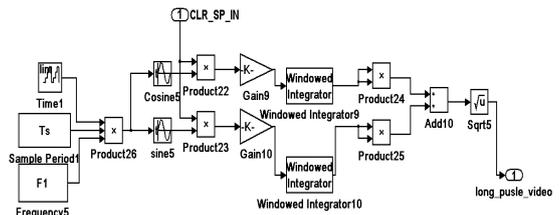


Fig. 5. Video Generator Block Diagram

수 F1, F2, F3, F4와 추정된 도플러 읍셋만큼 더해져 주파수 동기화된 정현파 신호를 입력시키고 Video Generator 블록을 통해 비디오 신호로 복조한다. Sync Pulse 이후에는 주파수 동기화된 비디오 신호를 Sync Pulse Processor 블록에 전달함으로써 정확한 심볼 동기를 수행 할 수 있게 된다.

### 3.4 Long\_Pulse Processor 블록

Figure 6은 Long\_Pulse Processor 블록을 나타낸다. Long\_Pulse Processor 블록은 Long Pulse 신호를 처리하여 대략적인 타이밍 동기를 획득하고, 도플러 읍셋을 추정하는 기능을 담당한다. 하위블록은 크게 3개로 구성되어 있으며 Long Pulse video 블록 8개, Long Pulse Detector 블록 8개, Frequency Estimation 블록 1개로 구성되어 있다. 하위 블록인 long\_pulse\_video 블록 구성은 Fig 5.의 Video Generator 블록에서 도플러 읍셋 추정을 위해 5kHz단위로 주파수 조절된 부분과 Windowed Integrator의 적분구간이 4배인 점을 제외하면 나머지 구성은 동일하다. 도플러 읍셋을 추정하기 위해 8개의 long\_pulse\_video 블록이 각각 내부에 5(kHz) 단위로 NCO를 구성하고 비디오 신호를 생성하여 Fig. 7에서

보여주고 있는 long\_pulse\_detect 블록에 전달한다. long\_pulse\_detect 블록은 각각 long\_pulse\_video 블록으로부터 입력된 비디오신호가 Long\_Pulse\_Th보다 클 경우 long\_pulse\_counter를 증가시키기 시작하며, LongPulseSearchTime(LPST) 동안 최대값과 최대값에 해당하는 위치를 갱신하여 Frequency Estimation 블록에 전달한다. Frequency Estimation 블록은 시뮬링크에서 제공하는 Matlab Function을 이용하여 소스코드로 작성되며 long\_pulse\_detector 15(kHz) 블록으로부터 long\_pulse\_counter 값을 넘겨받고 또한 long\_pulse\_video 값의 최대값을 넘겨받는다. 또한 long\_pulse\_detector 15kHz 블록을 제외한 7개의 long\_pulse\_detector 0(kHz) ~ 35(kHz) 블록으로부터 각각 long\_pulse\_video의 최대값을 넘겨받는다. Frequency Estimation 블록은 long\_pulse\_counter가 LPST\*1.1이 될 때 각 블록에서 넘겨받은 최대값 중에서 가장 큰 값을 추출하고 가장 큰 값이 추출된 long\_Pulse\_detect 블록을 통해 주파수 읍셋을 추정하여 중간주파수를 조절할 수 있도록 함으로써 주파수동기를 맞추게 하는 기능을 한다. long\_pulse\_counter가 LPST\*1.1 일 경우 최대값을 비교하는 이유는 8개의 블록

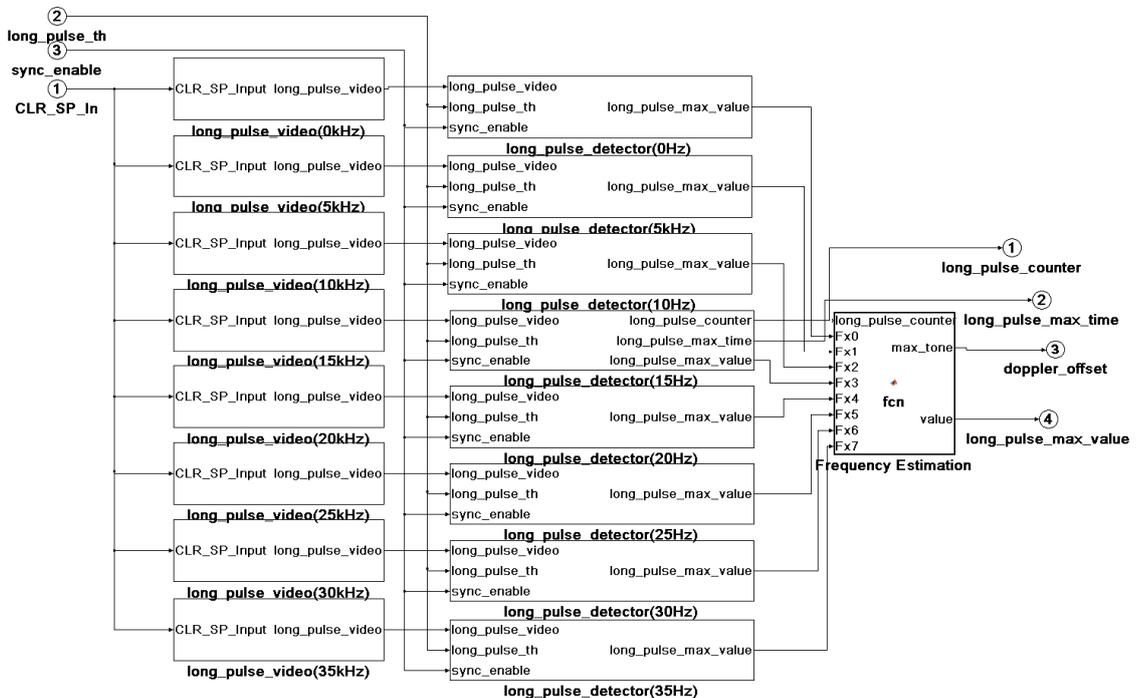


Fig. 6. Long\_Pulse Processor Block Diagram

들의 내부 카운터가 증가하는 시점이 다르고, 주 파수가 5(kHz)단위로 조정되어 있기 때문에 카운터가 증가하지 않는 블록이 생길 수 있다. 따라서 long\_pulse\_detector 15(kHz) 블록에서 발생된 카운터는 LPST동안 최대값을 찾지만, 나머지 블록들도 충분히 최대값을 찾으도록 하기 위해서 Frequency Estimation 블록에서는 LPST\*1.1 시점에서 최대값을 비교한다.

### 3.5 Sync\_Pulse Processor 블록

Figure 8은 Sync\_Pulse Processor 블록을 나타낸다. Sync Pulse Processor 블록은 Long\_Pulse Processor 블록으로부터 long\_pulse\_counter, long\_pulse\_max\_time, long\_pulse\_max\_value를 입력받는다. 그리고 Matched Filter 블록으로부터 도플러 옵셋이 보상된 video\_F1, video\_F2, Pulse의 지연되어 합해진 sync video 신호를 생

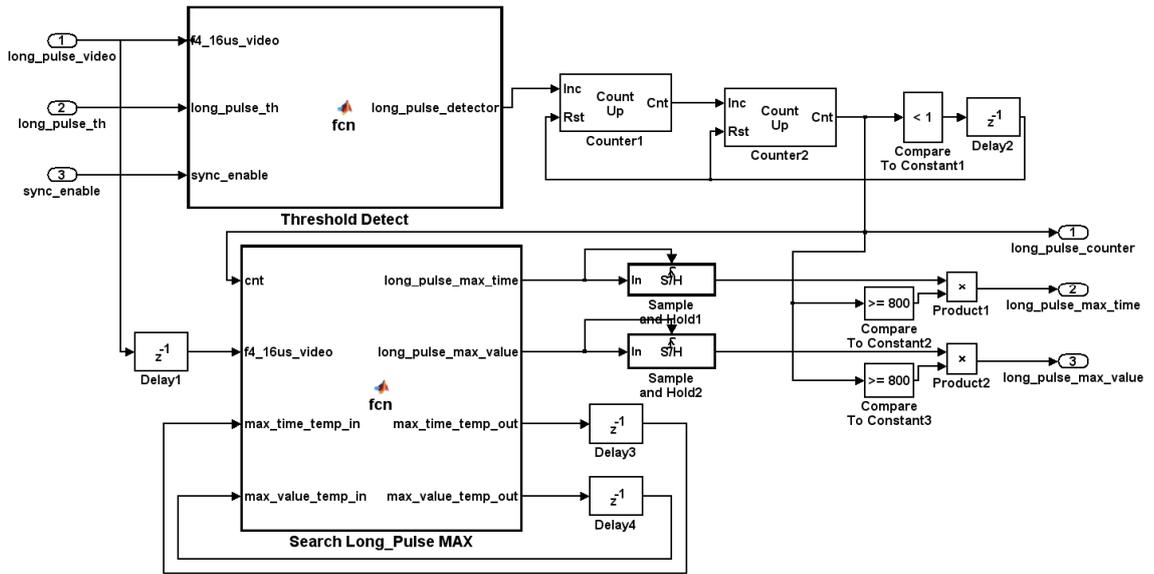


Fig. 7. long\_pulse\_detector Block Diagram

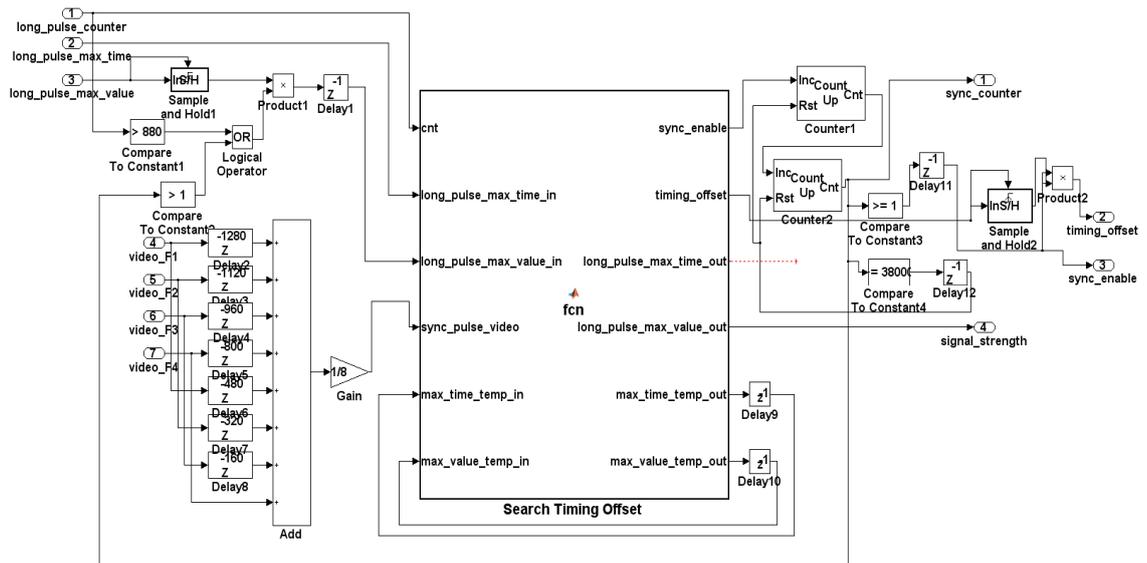


Fig. 8. Sync\_Pulse Processor Block Diagram

video\_F3, video\_F4를 입력받아 8개의 Sync 성한다. 그리고 Long Pulse Processor에서 획득된 Course 타이밍 동기기를 기준으로 Sync Pulse Search Time (SPST) 샘플동안 sync\_pulse\_video 신호의 최대값의 위치를 찾아 저장하고 이것을 타이밍 옵셋으로 Decision 블록에 전달함으로써 Fine 타이밍 동기기로 활용할 수 있게 한다. 또한 Sync Pulse에 획득된 신호크기로 유효성을 판별하며 유효한 경우에만 sync\_enable 신호를 High로 발생시켜 다음 단계로 진행할 수 있도록 한다.

### 3.6 Decision 블록

Decision 블록은 시뮬링크에서 제공하는 Matlab Function을 이용하여 기능을 구현한다. Decision 블록은 Matlab Function 한 개의 블록으로 구성되어 있다. Decision 블록은 Matched Filter 블록으로부터 도플러 옵셋이 보상된 주파수 F1, F2, F3, F4에 해당하는 비디오 신호 4개를 입력받는다. 또한 Sync Pulse Processor에서 생성된 sync\_counter와 정확한 심볼 동기를 위한 timing\_offset 값을 전달받는다. Decision블록은 sync\_counter와 timing\_offset 값을 이용하여 약속된 시점에 비디오 신호 4개의 크기를 비교하여 가장 큰 비디오신호에 해당하는 주파수로부터 4FSK 심볼을 결정한다. 또한 CLT transmit로부터 전송된 4FSK 심볼 정보를 입력받고 수신하여 획득된 4FSK 심볼 정보와 비교함으로써 심볼 오류의 유무를 판별하여 출력한다. 출력 값은 전송된 4FSK 심볼과 수신된 4FSK 심볼의 차이 값이다. 따라서 전송된 4FSK 심볼 값과 수신된 4FSK 심볼 값이 일치할 경우 '0'이 출력되며 오류가 발생 시에는 '0'이 아닌 값이 출력된다.

## IV. 신호처리 기법 성능시험 결과

본 논문에서 신호처리 기법 성능시험을 통해 검증하고자 하는 것은 빠른 비행으로 발생할 수 있는 도플러 옵셋 상황에서도 이론적인 4FSK 오류성능을 달성할 수 있도록 신호처리 기법을 설계함으로써 비행체의 명령수신기에 적용할 수 있는지 여부를 확인하는 것이다.

Table 2는 시뮬레이션 결과를 보여주고 있다. 시뮬레이션은 한 개의 프레임에 4FSK 심볼을 200개(400 bits)로 구성하였고, 프레임을 1000회 전송하였다. 도플러 옵셋은 0kHz, -15kHz, -35kHz로 변화를 주었다. 프레임 정상/오류 판정은 하나의 프레임 내에 15% 미만의 비트오류가 발생되면 정

상으로 판정하였고 15% 이상의 오류가 발생되면 프레임 오류로 판정하였다. 프레임 오류는 낮은 Eb/N0에서 동기신호 처리가 비정상적으로 수행되었을 때 연결오류 패턴으로 발생된다. 비트오류는 1000개의 프레임에서 발생한 비트 오류의 누적한 개수를 표에 기록하였다. Eb/N0 기준 8dB 까지 도플러 옵셋 값이 0kHz, -15kHz, -35kHz에서 프레임 오류는 발생하지 않았고, 비트 오류 개수는 비슷한 개수를 나타내고 있다. 이것은 Long-Pulse Processor에서 도플러 옵셋 값이 정확하게 추정되었음을 의미한다. Eb/N0 기준 6dB에서는 프레임 오류가 발생되었고, 도플러 옵셋 값이 증가함에 따라 프레임 오류 가능성 또한 증가하는 경향을 보였다. 낮은 Eb/N0에서는 Long-Pulse Processor에서 도플러 옵셋의 정확한 추정이 어렵고, Sync\_Pulse Processor에서 심볼 동기화가 정확하게 수행되지 않으므로 프레임 오류가 발생

Table 2. Simulation Results

항목		결과 프레임 1000회 전송 (1프레임 = 400비트)	
Eb/N0 (dB)	fd (kHz)	프레임 오류개수	비트 오류개수
12,20,30	0	0	0
	-15	0	0
	-35	0	0
11	0	0	1
	-15	0	2
	-35	0	1
10	0	0	18
	-15	0	17
	-35	0	22
8	0	0	846
	-15	0	869
	-35	0	851
6	0	4	8909
	-15	5	9105
	-35	7	9391

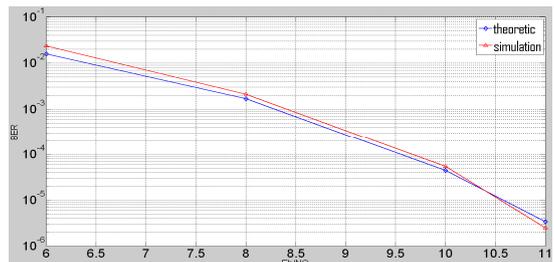


Fig. 9. BER performance(theoretic vs. simulation)

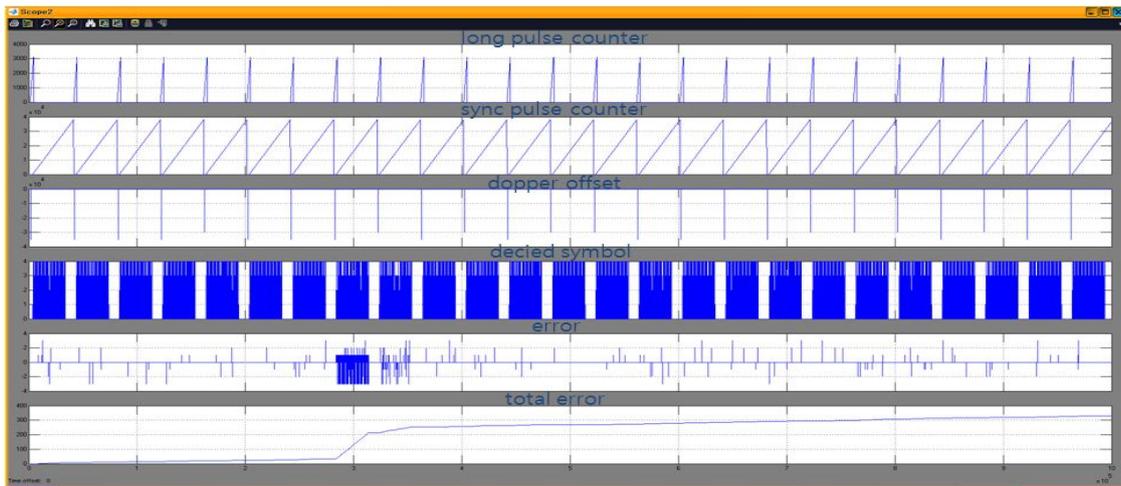


Fig. 10. simulation waveform( $E_b/N_0 = 6\text{dB}$ , doppler offset =  $-35\text{kHz}$ , 25 frames)

된다.

Figure 9에서 시뮬레이션 주요신호의 파형을 나타내었다.  $E_b/N_0 = 6\text{dB}$ 이고, Doppler Offset =  $-35\text{kHz}$  에서의 25개 프레임의 주요 신호 파형이다. 8번째와 9번째에서 프레임 오류가 발생되었으며, 나머지 프레임에서는 비트오류만 발생되었음을 확인할 수 있다.

Figure 10은 이론치와 시뮬레이션의 BER 성능 비교결과를 보여주고 있다. 이론치는 완벽한 주파수 동기 및 심볼동기를 가정하였고, 도플러 오프셋이  $-35\text{kHz}$ 일 경우의 시뮬레이션 결과와 비교하였다. Fig. 10에 따르면 이론치와 시뮬레이션은 BER 기준  $10^{-2}$ 에서 약  $0.5\text{dB}$ 의 성능차이를 보이고,  $10^{-3}$ 에서는 약  $0.3\text{dB}$ 의 성능차이를 보이는 것으로 확인되었으며  $E_b/N_0$ 값이 증가함에 따라 그 격차는 줄어드는 것으로 확인되었다.

### V. 결 론

본 논문에서는 비행체용 명령수신기 신호처리 기법을 Matlab & Simulink를 활용하여 설계하였다. Long\_Pulse Processor 블록에서 비행으로 인하여 발생하는 도플러 오프셋을 추정하고 Matched Filter 블록에 전달함으로써 반송파 동기화를 수행하였다. 반송파 동기후에는 Sync\_Pulse Processor에서 심볼 동기화를 수행함으로써 Decision 블록

에서 4FSK 심볼을 정확한 시점에 결정할 수 있도록 구현하였다. 성능시험 결과에서 보듯이 빠른 비행으로 발생될 수 있는 도플러 오프셋 상황에서도 이론치에 가까운 성능을 보이는 것을 확인하였다. 본 논문에서 제시한 신호처리 기법은 비행체의 명령수신기에 적용할 수 있으며, 추후 명령수신기의 FPGA내에 VHDL로 구현 시 개발비용 감소 및 개발시간 단축의 효과를 낼 수 있다.

### References

- 1) Umberto Mengali and Aldo N.D'Andrea, "synchronization techniques for digital receivers", springer science+business media, LLC
- 2) William, B. W., "Power Electronics", 2<sup>nd</sup> Edition, McGraw-Hill, Inc. NewYork.
- 3) Franco Sechi, Marina Bujatti, Solid-State Microwave High-Power Amplifiers. Norwood, MA: Artech House, 2009.
- 4) Mike Golio and Janet Golio, "The RF and Microwave Handbook", 2<sup>nd</sup> Edition, CRC Press.
- 5) Applied System Engineering, Inc.  
[http://www.applsys.com/pulse\\_twt.html](http://www.applsys.com/pulse_twt.html)
- 6) BERNARD SKLAR, "Digital Communications", Prentice Hall, section 7,