

PCB 패드의 곡률에 따른 신호 전달 특성 분석

Analysis of the Signal Transmission Characteristics with Curvature of PCB Pads

최민경*, 김창균*, 이성수*
Minkyong Choi*, Changgyun Kim*, Seongsoo Lee*

Abstract

When the integration density and operating frequency increase in the electronic circuits, it is important to improve the signal transmission characteristics. In this paper, the signal transmission characteristics of the printed circuit boards are analyzed with the curvature of the pads. From the simulation results, signal transmission characteristics are improved when pad curvature increases. Pad curvature more effects on signal transmission characteristics when the thickness of the transmission line and the length of the transmission decrease.

요약

전자 회로의 집적도와 동작 주파수가 증가함에 따라 신호 전달 특성을 향상시키는 것이 중요하다. 본 논문에서는 인쇄 회로 기판에서 패드의 곡률 변화에 따른 신호 전달 특성을 분석하였다. 시뮬레이션 결과, 곡률이 커질수록 신호 전달 특성은 개선되었고, 전송선로의 두께가 얇을수록 곡률 변화에 더 적은 영향을 받으며, 길이가 짧을수록 곡률 변화에 더 큰 영향을 받는 것을 확인할 수 있었다.

Key words: PCB, Transmission line, Pad, Signal integrity, Scattering parameter

1. 서론

오늘날 전자 기술의 발달로 고주파 신호의 사용이 증가하고 회로의 집적도가 높아졌다. 이에 따라 전자 부품들을 연결하는 인쇄 회로 기판(Printed Circuit Boards, PCB)의 전송선로에서 저주파수 대역을 사용할 때는 문제가 되지 않았던 기생 소자로 인한 노이즈와 신호 손실이 나타난다[1]-[4].

PCB에서는 여러 부품을 장착하기 위해 표면

실장 (Surface Mounting Device, SMD)을 많이 사용하는데, SMD로 장착된 부품과 PCB의 전송선을 이어주기 위하여 패드(Pad)가 사용된다. 이때 전송선과 패드의 크기 차이로 인하여 임피던스 불연속성이 일어나 신호 손실 및 반사가 일어나게 되어 신호 무결성(Signal Integrity)에 영향을 미치게 된다[5]-[7]. 본 논문에서는 PCB에서 전송선의 두께와 길이, 패드의 곡률 변화에 따라 신호 전달 특성이 어떻게 달라지는지 전자기적 시뮬레이션을 통해 알아본다.

* School of Electronic Engineering, Soongsil University

★ Corresponding author (e-mail: sslee@ssu.ac.kr, tel: 02-820-0692)

※ Acknowledgment

"This research was supported by Industrial Core Technology Development Program (10049095) funded by the Ministry of Trade, Industry & Energy, Korea."

Manuscript received Dec. 13, 2016; accepted Dec. 26, 2016

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

II. 전송선로 모델링

PCB에서 전송선과 SMD를 연결하기 위해서는 각각의 부품 크기에 맞는 패드를 제작하여 납 등으로 전송선과 SMD를 이어준다. 이때 패드와 전송선은 같은 물질로 되어있지만 크기 차이로 인해 임피던스의 불연속이 발생하고 이로 인해 회로에서 사용되는 전압이 낮아지면서 결과적으로 전송 신호의 손실이 일어나게 된다.

일반적으로 PCB 설계 시에는 패드를 납땀할 때 신뢰성 향상을 위해 일률적으로 패드 모서리에 약 20% 정도의 곡률을 주고 있다. 그러나 이 곡률 수치는 부품이 부착될 때의 기계적 신뢰성에 최적화된 값일 뿐 전송 신호의 손실과는 무관하다. 따라서 패드의 곡률을 결정할 때 기계적 신뢰성과 더불어 전송 신호의 손실도 고려하는 것이 바람직하다.

본 논문에서는 패드의 곡률 변화가 신호 전달 특성에 어떠한 영향을 주는지 확인하기 위해 전송선의 두께와 길이, 패드의 곡률을 변화시켜가면서 전송 신호의 손실을 의미하는 파라미터인 S 파라미터 (Scattering Parameter)의 변화를 살펴 보았다.

그림 1은 시뮬레이션에 사용된 PCB의 적층 구조이다. 각각의 디자인은 실제 PCB 제작에 많이 쓰이는 4층 기판으로 설정하였다. A 타입에 사용된 전송선로의 두께는 0.1mm, 높이는 0.018mm로 설정하였고, 전송선로와 pad, ground층은 구리, 그 외 나머지 판은 FR4-epoxy로 설정하였다. B 타입에 사용된 전송선로의 두께는 0.3mm, 높이는 0.018mm로 설정하였고 각 층의 두께를 제외하고는 A 타입과 똑같이 설계하였다. A, B 타입 모두 각 층의 두께는 50Ω 특성 임피던스 정합을 위해 식 (1)-(4)을 활용해 결정하였다[8].

$$Z_0 = \frac{\eta_0}{2\pi\sqrt{2}\sqrt{E_r+1}} \times \ln(1+4(\frac{h}{w_{eff}}) \times (X_1 + X_2)) \quad (1)$$

$$W_{eff} = W + (\frac{t}{\pi}) \cdot \ln \frac{4e}{\sqrt{(\frac{t}{h})^2 + (\frac{t}{W\pi+1.1t\pi})^2}} \cdot \frac{E_r+1}{2 \cdot E_r} \quad (2)$$

$$X_1 = 4(\frac{14E_r+8}{11E_r})(\frac{h}{W_{eff}}) \quad (3)$$

$$X_2 = \sqrt{16 \cdot (\frac{h}{W_{eff}})^2 \cdot (\frac{14E_r+8}{11E_r})^2 + (\frac{E_r+1}{2E_r})} \cdot \pi^2 \quad (4)$$



Fig. 1. Structures of PCB stack

그림 1. PCB 적층 구조

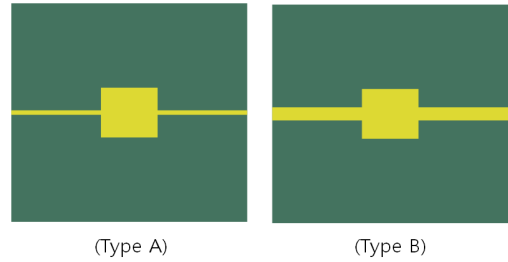


Fig. 2. Layouts of Transmission lines and pads

그림 2. 전송선로 및 패드 레이아웃

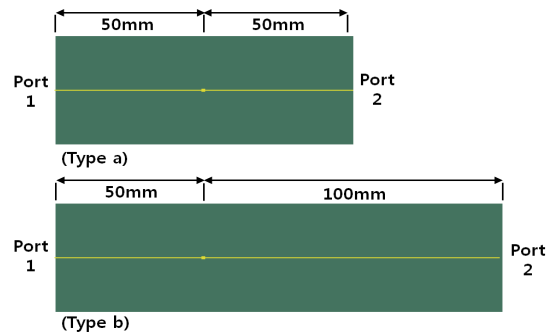


Fig. 3. Layouts of PCB

그림 3. PCB 레이아웃

- 여기에서
- t : 전송선로의 높이
 - h : 유전체 높이
 - w : 전송선로의 너비
 - E_r : 유전체의 유전상수

시뮬레이션에서 사용된 패드는 그림 2와 같이 가로 1.2mm, 세로 1.14mm로 실제 회로 설계에서 많이 사용되는 SMD ceramic 2012 capacitor의 추천 규격을 사용하였다. 가로 길이를 기준으로 패드의 각 4면 모서리 곡률을 A 타입의 경우 10%, 20%, 30%, 40%, 45%로 변화시켰으며 곡률이 45%인 경우 전송선로와 맞닿는 위치에서부터 패드의 곡선이 시작되므로 이 이상 곡률을 줄 수 없다. B 타입의 경우 10%, 20%, 30%, 37%로 변화를 주었으며, 전송선로의 두께가 A 타입에 비해 상대적으로 두꺼워서 37% 이상으로 곡률을 줄 수 없다.

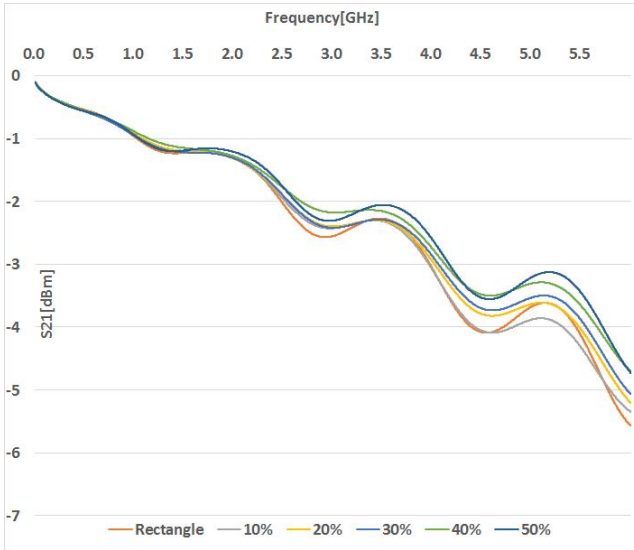


Fig. 4. S21 simulation results (type A-a)
 그림 4. S21의 시뮬레이션 결과 (A-a 타입)

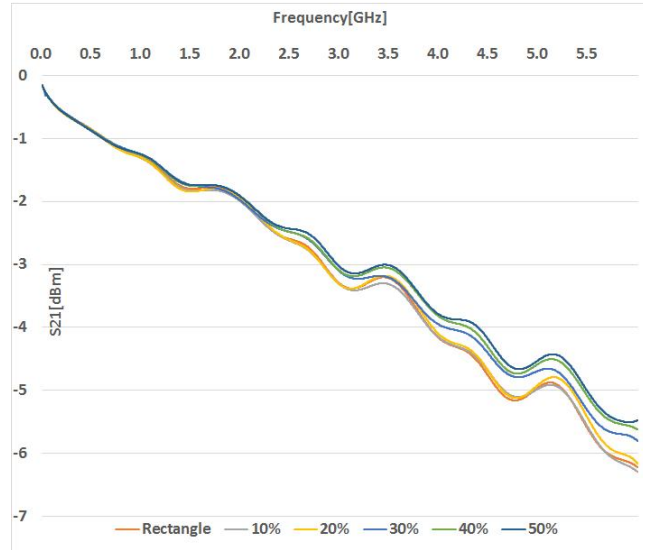


Fig. 5. S21 simulation results (type A-b)
 그림 5. S21의 시뮬레이션 결과 (A-b 타입)

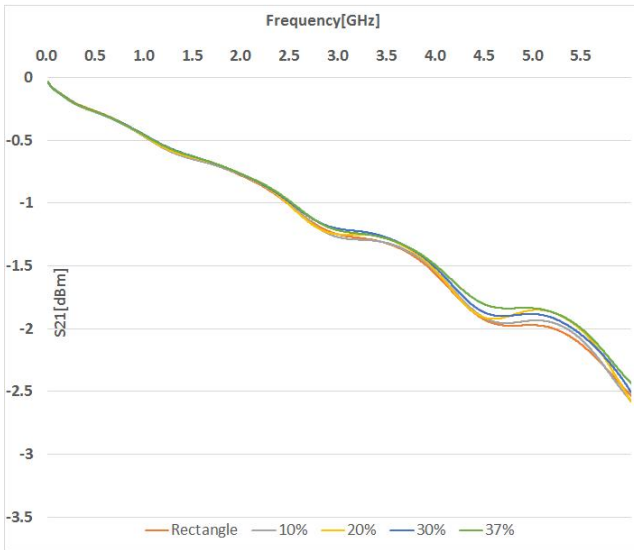


Fig. 6. S21 simulation results (type B-a)
 그림 6. S21의 시뮬레이션 결과 (B-a 타입)

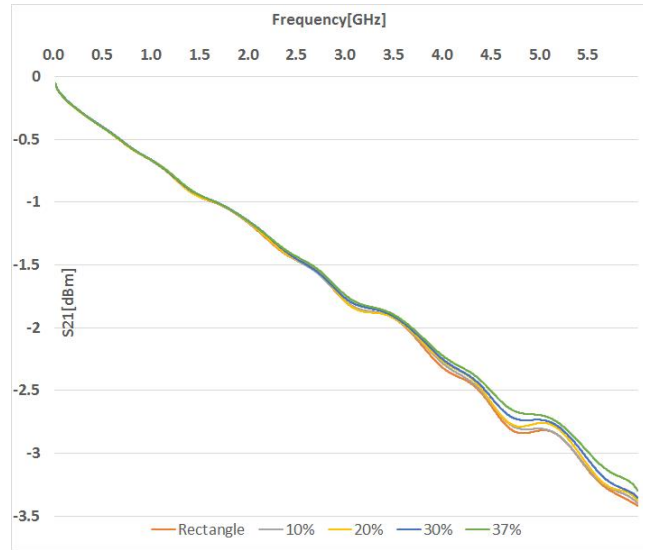


Fig. 7. S21 simulation results (type B-b)
 그림 7. S21의 시뮬레이션 결과 (B-b 타입)

실제 회로를 모사하기 위해 그림 3과 같이 패드 양쪽으로 전송선로를 추가하였다. 또한 전송선로의 길이에 따라 곡률의 변화가 신호 전달에 얼마나 영향을 끼치는 지 알아보기 위해 A, B 타입 각각에 대해 그림 3과 같이 a, b 타입으로 전송선로의 길이를 다르게 하여 총 4가지 (A-a, A-b, B-a, B-b)를 시뮬레이션하였다. a는 전송선로(50mm)-패드-전송선로(50mm)로, b는 전송선로(50mm)-패드-전송선로(100mm) 순으로 배치하였다. 양쪽 전송선로의 끝은 각각 포트 1, 2로 설정하여 시뮬레이션하였다.

III. 전송선로 시뮬레이션

시뮬레이션에 사용된 주파수는 100MHz부터 6GHz이다. 각 타입에서 PCB 양쪽 끝을 port 1, 2로 지정하여 S 파라미터를 시뮬레이션하였다. 신호 전달 특성을 보기 위하여 포트 1에서 포트 2로의 전달 특성인 S21을 중점적으로 분석하였다. S21 파라미터는 포트 1에서 포트 2로 신호가 어느 정도 잘 전달되는지를 의미하며, 높을수록 신호가 잘 전달된다는 것을 의미한다.

그림 4, 5는 타입 A에 대해 길이가 Analysis of the Signal Transmission Characteristics with Curvature of PCB Pads 다른 A-a, A-b를 시뮬레이션한 결과이며, 주파수를 변화시키며 S21 파라미터를 시뮬레이션하였다. A-a, A-b 모두 1 GHz 이하 영역에서는 곡률 변화에 따른 S21의 차이가 거의 없지만 1 GHz를 넘어서면서 점점 차이가 나고 고주파로 갈수록 더 큰 차이를 보이고 있다. 곡률이 커질수록 신호 전달 특성이 좋아지는 것을 볼 수 있다. A-a에서는 최대 약 1 dBm의 차이를 보였고, A-b에서는 최대 약 0.8 dBm의 차이를 보였다.

그림 6, 7은 타입 B에 대해 길이가 다른 B-a, B-b를 시뮬레이션한 결과이며, 주파수를 변화시키며 S21 파라미터를 시뮬레이션하였다. 타입 A와 비슷한 경향을 보이며, B-a에서는 최대 약 0.5 dBm, B-b에서는 최대 약 0.4 dBm의 차이를 보였다.

IV. 결론

본 논문에서는 패드의 곡률, 전송선로의 두께, 길이 변화에 따른 신호 전달 특성을 시뮬레이션하여 분석하였다. 저주파 영역에서는 거의 변화가 없었지만 고주파에선 곡률이 높을수록 신호 전달 특성이 좋아지는 것을 볼 수 있었다. 또한 전송선로의 두께가 두꺼워질수록 곡률의 변화가 신호 전달 특성에 적은 영향을 끼치는 것을 볼 수 있었고, 전송선로의 길이가 짧을수록 곡률의 변화에 더 큰 영향을 받는 것을 확인 할 수 있었다.

고주파 신호 사용이 증가함에 따라 신호 손실 문제가 커졌지만 간단한 방법으로 신호 전달 특성을 개선할 수 있음을 확인했다. 하지만 납과 패드 사이의 신뢰성 보장과 함께 패드의 최적 크기를 고려한 곡률에 따른 신호 전달 특성을 연구할 필요가 있으며, 실제 PCB를 제작 측정하여 시뮬레이션 결과와 비교할 필요가 있다.

References

[1] P. Lagasse and J. Van Bladel, "Square and

Rectangular Waveguides with Rounded Corners," *IEEE Transactions on Microwave Theory and Techniques*, vol. 20, no.5, pp.331-337, 1972.

[2] Mark Montrose, *EMC and the Printed Circuit board*, Wiley, 2006

[3] Henry Ott, *Electromagnetic Compatibility Engineering*, Wiley, 2009

[4] C. Huang, J. Willis, and T. Schmitt, "Fine-Line Printed Circuit Board for High-Performance Computer Design," *Proceedings of IEEE International Conference on Computer Design on VLSI in Computer & Processors*, pp. 468-471, 1991.

[5] H. Kim, J. Heo, K. Jeong, and S. Hwang, "Effects of PCB Ground Plane and Case on Internal WLAN Patch Antenna," *j.inst.Korean.electr.electron.eng*, vol. 11, no. 4, pp. 252-256, 2007.

[6] C. Lee and K. Koo, "Memory Controller Architecture with Adaptive Interconnection Delay Estimation for High Speed Memory," *j.inst.Korean.electr.electron.eng*, vol. 17, no. 2, pp. 168-175, 2013.

[7] J. Choi, S. Shin and K. Min, "Practical Implementation of Memristor Emulator Circuit on Printed Circuit Board," *j.inst.Korean.electr.electron.eng*, vol. 17, no. 3, pp. 324-331, 2013.

[8] EEWeb, "Microstrip Impedance," <https://www.eeweb.com/toolbox/microstrip-impedance/>