

## 바이오센서용 CMOS 이미지 센서를 위한 DC-DC Converter 설계

박헌\*, 하판봉\*, 김영희\*\*

### Design of a DC-DC Converter for CMOS Image Sensors in Bio-sensor Chips

Heon Heon\*, Pan-Bong Ha\*, Young-Hee Kim\*\*

**요약** 본 논문은 바이오센서 칩에 사용하기 위해 3.3V CMOS 이미지 센서용 DC-DC 변환기 회로를 제안하였다. DC-DC 변환기 회로는 픽셀의 ON 전압인 PCP 전압과 OFF 전압인 NCP 전압으로 사용된다. 제안된 PCP 회로는 리플 전압이 45.35mV인 VPP (=5V) 양전하펌프 전압을 전압 레귤레이터를 이용하여 리플전압이 1.33mV 이내인 PCP 전압을 얻었다. 그리고 제안된 NCP 회로는 리플 전압이 62.8mV VNN (=−2V) 음전하펌프 전압을 전압 레귤레이터를 이용하여 리플전압을 0.05mV 이내로 설계하였다.

**Abstract** A DC-DC converter for CMOS image sensors in bio-sensor chips is proposed. The DC-DC converter generates a PCP voltage, that is an on voltage of a pixel, and an NCP voltage, that is an off voltage of a pixel. The PCP voltage with a ripple voltage of within 1.33V is obtained from a positive charge pump of VPP (=5V) with a ripple voltage of 45.35 by using a regulator. Also, the NCP voltage with a ripple voltage of 0.05mV is obtained from a negative charge pump of VNN (=−2V) with a ripple voltage of 62.8 by using a regulator.

**Key Words** : bio-sensor, CMOS image sensor, DC-DC converter, pixel, voltage regulator

#### 1. 서론

CMOS 이미지센서는 CMOS를 이용한 고체 촬상 소자이다[1]. CMOS 이미지 센서는 스마트폰, 태블릿 PC, 의료용 기기, 자동차 등 다양한 분야에서 수요가 급증하고 있다[2]. 또한 최근들어 바이오센서 분야에서도 많이 연구되고 있다[3].

그림 1은 CMOS 이미지 센서에 사용되는 3T CMOS 능동 픽셀 (active pixel)의 회로도를 보여 준다. 픽셀은 빛을 받아들여 전하 (charge)로 변환해주는 역할을 하는 포토 다이오드 (photo diode), 픽셀의 센싱 노드를 VDD로 리셋 (reset)시키는 리

셋 트랜지스터 (RX), 열 어드레스 (column address)의 디코딩에 의해 픽셀을 선택해주는 selection 트랜지스터 (SX)와 픽셀이 선택되었을 때 픽셀의 센싱 노드 전압을 내보내는 source follower 트랜지스터 (SF)로 구성되어 있다. CMOS 이미지 센서에서 A/D 변환기의 해상도 (resolution)를 개선하는 방법 중의 하나는 CMOS 능동 픽셀에서 리셋 트랜지스터의 게이트인 RESET 신호의 구동전압을 VRESET 보다 높은 전압을 인가하여 리셋 트랜지스터의 리셋 트랜지스터의 문턱전압 손실 (threshold voltage loss)를

This research is financially supported by Changwon National University in 2015~2016.

\*Department of Electronic Engineering, Changwon National University

\*\*Corresponding Author : Department of Electronic Engineering, Changwon National University (youngkim@changwon.ac.kr)

Received November 23, 2016

Revised December 05, 2016

Accepted December 07, 2016



하는 NCP 전압 레귤레이터가 있다. 그림 2의 전압분배기 (voltage divider)는 VREF (=1.2V) 입력 기준전압을 이용하여 PCP 회로와 NCP 회로에 필요한 기준전류 (reference current)와 기준전압 (reference voltage)를 공급해준다.

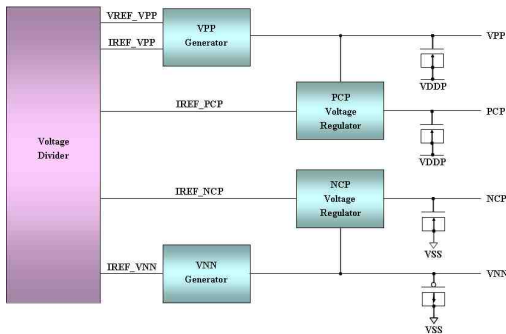


그림 2. 설계된 DC-DC 변환기의 블록도.  
Fig. 2. Block diagram of the designed DC-DC converter.

그림 3은 그림 2에 보여지는 VPP 발생기 회로의 블록도를 보여주고 있다. VPP 발생기 회로는 2단 cross-coupled 전하 펌프, 클럭 발생기 회로, 링 발진기 (ring oscillator)와 레벨 검출기 (level detector)로 구성되어 있다[6]. VPP 전압이 목표전압보다 낮은 경우에 VPP 레벨 검출기의 출력신호인 OSC\_ENb가 Low로 되어 양전하 펌핑에 의하여 VPP 전압은 올라가게 된다. VPP 전압이 목표 전압 이상이 되면 OSC\_ENb 신호가 High가 되어 전하펌프가 동작을 멈추는 부궤환 방식으로 VPP 전압은 목표전압인 5V를 유지한다. 레벨 감지기의 기준 전압인 VREF\_VPP (=0.714V)는 그림 4에서 보는데와 같이 그림 4의 전압 분배기를 이용하여 만들어진다.

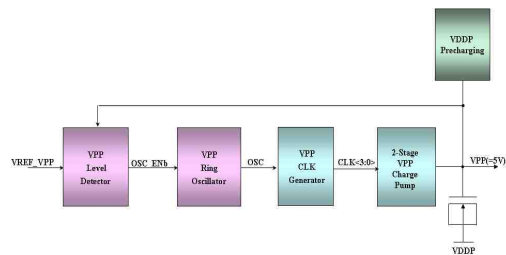


그림 3. VPP 발생기 회로 블록도.  
Fig. 3. Block diagram of a VPP generator.

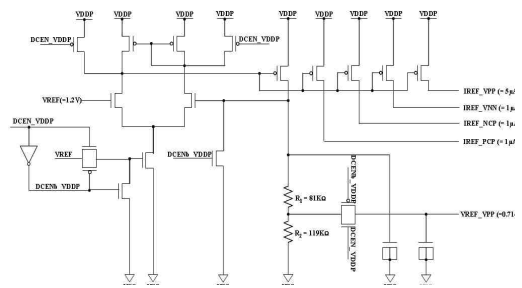


그림 4. 전압 분배기 회로도.  
Fig. 4. Voltage divider circuit.

그림 5는 제안된 PCP 전압 레귤레이터 회로도를 보여주고 있다. R (=500KΩ)에 I를 흘려주면 PCP의 기준전압인 VREF\_PCP는  $VDDP + I \cdot R$ 의 전압이 걸리게 된다. PCP의 전압을 조정해주는 디지털 코드 D\_PCP[3:0]가 1H가 setting되면 I는 1.4μA가 흘러서  $VDDP = 3.3V$ 인 경우 VREF\_PCP는 4V가 된다. 그림 5의 차동증폭기 회로는 VREF\_PCP 전압과 레귤레이션된 PCP 전압을 비교하여 PCP 전압이 VREF\_PCP 전압과 같아지도록 만든다.

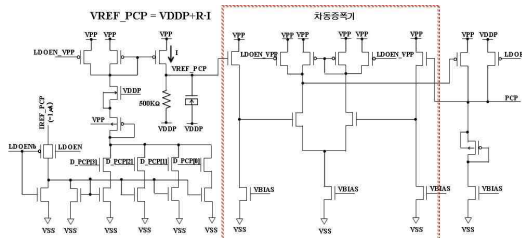


그림 5. 제안된 PCP voltage regulator 회로도.  
Fig. 5. The proposed PCP voltage regulator.

그림 6은 그림 2에 보여지는 VNN 발생기 회로의 블록도를 보여주고 있다. VNN 발생기 회로는 5단 Dickson 전하 펌프, 클럭 발생기 회로, 링 발진기와 VNN 레벨 검출기로 구성되어 있다[6]. VNN 전하펌프는 cross-coupled VNN 전하펌프[7] 대신 설계가 간단한 Dickson 전하펌프를 이용하였다. VNN 전압이 목표전압보다 낮은 경우에 VNN 레벨 검출기의 출력신호인 OSC\_ENb가 Low로 되어 음전하 (negative charge) 펌핑에 의하여 VNN

전압은 음전압으로 내려가게 된다. VNN 전압이 목표 전압 이하가 되면 OSC\_ENb 신호가 High가 되어 전하펌프가 동작을 멈추는 부궤환 방식으로 VNN 전압은 목표전압인 -2V를 유지한다.

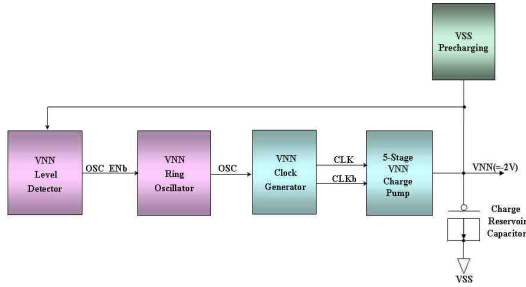


그림 6. VNN 발생기 회로 블록도.  
Fig. 6. Block diagram of a VNN generator.

그림 7은 제안된 NCP 전압 레귤레이터 회로도를 보여주고 있다. R (=200KΩ)에 I를 흘려주면 NCP의 기준전압인 VREF\_NCP는 NCP+I·R의 전압이 걸리게 된다. NCP의 전압을 조정해주는 디지털 코드 D\_NCP[3:0]가 5H로 setting 되면 I는 2.5μA가 흘러서 정상상태인 경우 VREF\_NCP는

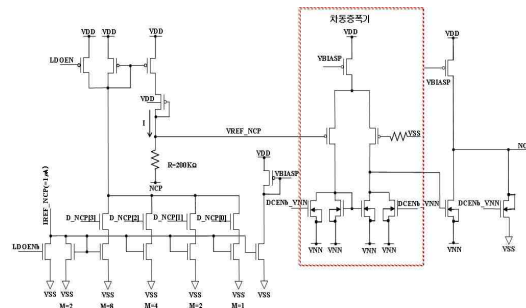


그림 7. 제안된 NCP voltage regulator 회로도.  
Fig. 7. The proposed NCP voltage regulator.  
0V가 되면서 NCP는 자동적으로 -0.5V를 공급하게 된다. 그림 7의 자동증폭기 회로는 VREF\_NCP 전압과 VSS (=0V) 전압을 비교하여 VREF\_NCP 전압이 VSS 전압과 같아지도록 만든다. 이렇게 되면 NCP 전압은 -0.5V로 레귤레이션 된다.

그림 8은 동부하이텍 110 CIS 공정으로 설계된 CMOS 이미지 센서용 DC-DC 변환기의 레이아웃 이미지를 보여주고 있으며, 레이아웃 사이즈는 251.093μm × 130.675μm이다.

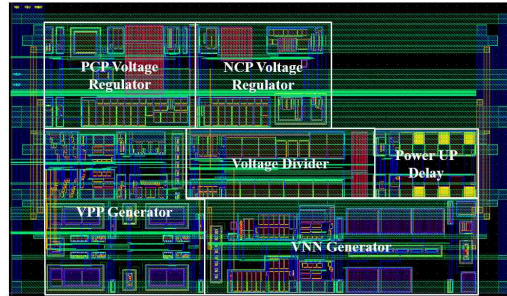


그림 8. DC-DC 변환기의 레이아웃 이미지.  
Fig. 8. Layout image of the proposed DC-DC converter.

### 3. 모의실험 결과

표 2는 동부하이텍 0.11μm CIS 공정으로 설계된 CMOS 이미지 센서용 DC-DC 변환기의 출력전압인 VPP, PCP, VNN, NCP에 대한 모델 파라미터, 온도 변동을 고려한 모의실험 결과이다. 모의실험 결과 VPP, PCP, VNN, NCP 전압은 목표전압인 5V, 4V, -2V, -0.5V가 출력되는 것을 볼 수 있다.

표 2. 모델 파라미터, 온도 변동에 대한 DC-DC 변환기 출력 전압 모의실험 결과.  
Table 2. Simulation results of output voltages according to model parameters and temperature variations.

	SS			SF			TT			FS			FT		
	0℃	25℃	65℃	0℃	25℃	65℃	0℃	25℃	65℃	0℃	25℃	65℃	0℃	25℃	65℃
VPP	4.99V	4.98V	4.96V	4.94V	4.94V	4.93V	4.93V	4.94V	4.94V	4.96V	4.96V	4.97V	4.97V	4.97V	4.97V
PCP	4.01V	4.01V	4.01V	4.04V	4.04V	4.04V	4.04V	4.02V	4.04V	4.02V	4.02V	4.04V	4.06V	4.06V	4.06V
NCP	-0.48V	-0.47V	-0.47V	-0.52V	-0.52V	-0.52V	-0.51V	-0.51V	-0.51V	-0.50V	-0.50V	-0.51V	-0.54V	-0.54V	-0.54V
VNN	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V	-2.00V

표 3은 DC-DC 변환기의 출력전압인 VPP, PCP, VNN, NCP에 대한 모델 파라미터, 온도 변동을 고려한 리플전압 모의실험 결과이다. SS 모델 파라미터, 0℃ 모의실험 조건에서 VPP와 VNN의 리플 전압은 45.35mV와 62.8mV로 리플전압의 목표전압인 10mV를 넘어가지만 전압 레귤레이터를 거친 PCP와 NCP의 리플전압은 1.33mV와 0.05mV로 스펙을 만족한다. 표 4는 모델 파라미터, 온도 변

동에 대한 DC-DC 변환기 출력 전압의 power-up 모의실험 결과로 SS 모델 파라미터, 65°C에서 NCP의 power-up 시간은 222.63μs이다. 한편 VDD와 VDDP의 소모전류는 각각 4.64μA, 208.3μA이다.

표 3. 모델 파라미터, 온도 변동에 대한 DC-DC 변환기 출력 전압의 리플전압 모의실험 결과.

Table 3. Simulation results of ripple voltages in the output voltage according to model parameters and temperature variations.

	SS			SF			TT			FS			FT		
	0°C	25°C	65°C	0°C	25°C	65°C	0°C	25°C	65°C	0°C	25°C	65°C	0°C	25°C	65°C
VPP	46.35mV	33.23mV	28.89mV	16.86mV	13.46mV	9.74mV	6.66mV	6.65mV	6.65mV	6.26mV	6.26mV	6.16mV	3.47mV	3.29mV	3.46mV
PCP	1.33mV	0.61mV	0.16mV	0.22mV	0.65mV	0.62mV	0.08mV	0.07mV	0.06mV	0.05mV	0.07mV	0.06mV	0.01mV	0.01mV	0.05mV
NCP	0.85mV	0.83mV	0.82mV	0.82mV	0.82mV	0.82mV	0.82mV	0.82mV	0.82mV	0.82mV	0.82mV	0.82mV	0.82mV	0.82mV	0.82mV
VNN	62.88mV	46.62mV	38.32mV	36.36mV	36.56mV	36.09mV	28.08mV	28.36mV	28.36mV	29.55mV	28.86mV	28.86mV	31.81mV	31.76mV	28.86mV

표 4. 모델 파라미터, 온도 변동에 대한 DC-DC 변환기 출력 전압의 power-up 시간 모의실험 결과.

Table 4. Simulation results of power-up times in the output voltage according to model parameters and temperature variations.

	SS			SF			TT			FS			FT		
	0°C	25°C	65°C	0°C	25°C	65°C	0°C	25°C	65°C	0°C	25°C	65°C	0°C	25°C	65°C
VPP	90.79μs	55.56μs	57.93μs	38.81μs	45.51μs	46.97μs	41.30μs	47.03μs	53.49μs	47.42μs	50.83μs	55.15μs	46.46μs	45.38μs	59.30μs
PCP	64.81μs	30.37μs	70.97μs	55.38μs	30.74μs	75.02μs	61.50μs	59.22μs	72.32μs	70.16μs	70.17μs	78.67μs	69.08μs	64.08μs	81.67μs
NCP	178.92μs	197.35μs	222.63μs	137.49μs	149.21μs	165.19μs	136.97μs	148.61μs	167.47μs	139.16μs	152.93μs	170.77μs	117.04μs	126.84μs	144.70μs
VNN	180.12μs	199.31μs	219.18μs	136.10μs	146.48μs	165.08μs	133.75μs	145.37μs	163.11μs	135.88μs	147.53μs	165.34μs	111.71μs	121.47μs	139.23μs

### 4. 결론

CMOS 이미지 센서에서 A/D 변환기의 해상도를 개선하는 방법 중의 하나는 CMOS 능동 픽셀에서 리셋 트랜지스터의 게이트인 RESET 신호의 구동전압을 VRESET 보다 높은 전압을 인가하는 것이다. 그리고 integration time동안 OFF 상태에 있는 RX 트랜지스터의 차단 누설 전류를 줄이는 방법으로 음 전압 (negative voltage)으로 구동하는 것이다.

본 논문에서는 3.3V의 CMOS 이미지 센서에서 픽셀의 RESET 신호의 ON 전압인 PCP와 OFF 전압인 NCP 전압 회로를 설계하였다. 제안된 PCP 회로는 리플 전압이 45.35mV인 VPP (=5V) 전압을

전압 레귤레이터를 이용하여 리플전압이 1.33mV 이내인 PCP 전압을 얻었다. 그리고 제안된 NCP 회로는 리플 전압이 62.8mV인 VNN (=−2V) 전압을 전압 레귤레이터를 이용하여 리플전압이 0.05mV 이내로 설계하였다.

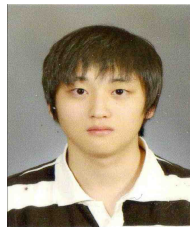
### REFERENCES

- [1] <https://ko.wikipedia.org/wiki>.
- [2] <http://www.semi.org/ko/node/13671>.
- [3] [www.mdpi.com/1996-1944/4/1/84/pdf](http://www.mdpi.com/1996-1944/4/1/84/pdf).
- [4] S. H. Yu "A study on the improvement of dynamic range in low-voltage CMOS image sensor", Ph. D. Dissertation, Changwon National University Electronic Engineering, Dec. 2003
- [5] J. H. Jang et al. "Design of a DC-DC converter for intra-oral CMOS x-ray image sensor", J. Korea Inst. Inf. Commun. Eng., vol. 16, no. 10, pp. 2237-2246, Dec. 2012.
- [6] K. I. Kim et al., "Design of logic process based 256bit EEPROM IP for RFID Tag Chips and Its measurements", *Journal of KIMIC*, vol. 14, no. 8, pp. 1868-1876, Aug. 2010.
- [7] D. Y. Cui et al., "Design of a 64b Multi-Time Programmable Memory IP for PMICs", *Journal of KIMIC*, vol. 9, no. 4, pp. 419-427, Aug. 2016.

### 저자약력

박 현(Heon-Park)

[정회원]



- 2010년 8월 : 경상대학교 전자공학과 (공학사)
- 2014년 2월 : 창원대학교 전자공학과 (공학석사)
- 2014년 3월 ~ 현재 : 창원대학교 전자공학과 (공학박사)

<관심분야>

Non-Volatile memory 설계

**하 판 봉(Pan-Bong Ha)**

[정회원]



- 1981년 2월 : 부산대학교 전기 공학과 (공학사)
- 1983년 2월 : 서울대학교 전자 공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자 공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야>

임베디드 시스템, SoC 설계

**김 영 희(Young-Hee Kim)**

[종신회원]



- 1989년 2월 : 경북대학교 전자 공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야>

CMOS Image Sensor 설계, 메모리 IP 설계, SoC 설계