

파워 스위치 구조를 결합한 비동기 회로 설계

(Asynchronous Circuit Design Combined with Power Switch Structure)

김 경 기^{1)*}
(Kyung Ki Kim)

요 약 본 논문은 동기회로에서 누설 전류를 줄이기 위해서 사용되는 파워 스위치 구조를 결합한 새로운 구조의 저전력 비동기 회로 설계 방법을 제안하고자 한다. Static 방식, Semi-static 방식과 같은 기존의 지연 무관방식의 비동기 방식과 비교해서 다소 속도의 손해는 있지만, 파워 스위치에 의해서 데이터가 없는 상태에서는 누설 전력을 줄일 수 있고, 전체 사이즈가 작아짐으로써 데이터가 입력되는 순간의 스위칭 전력도 줄일 수 있는 장점이 있다. 따라서, 제안된 방법은 속도보다 저전력을 기본으로 하는 사물인터넷 시스템에서 요구되는 저전력 설계 방법이 될 것이다. 본 논문에서는 새로운 방식의 비동기 회로를 사용하여 4x4곱셈기를 0.11um 공정으로 설계하고, 기존의 비동기 방식의 곱셈기와 스피드, 누설 전류, 스위칭 파워, 회로 크기 등을 비교하였다.

핵심주제어 : 비동기 회로, 파워 스위치 구조, 저전력 설계

Abstract This paper proposes an ultra-low power design methodology for asynchronous circuits which combines with power switch structure used for reducing leakage current in the synchronous circuits. Compared to existing delay-insensitive asynchronous circuits such as static NCL and semi-static NCL, the proposed methodology provides the leakage power reduction in the NULL mode due to the high V_{th} of the power switches and the switching power reduction at the switching moment due to the smaller area even though it has a reasonable speed penalty. Therefore, it will become a low power design methodology required for IoT system design placing more value on power than speed. In this paper, the proposed methodology has been evaluated by a 4x4 multiplier designed using 0.11 um CMOS technology, and the simulation results have been compared to the conventional asynchronous circuits in terms of circuit delay, area, switching power and leakage power.

Key Words : Asynchronous circuit, Power Switch Structure, Low Power Design

1. 서 론

사물 인터넷 (IoT) 시스템에 대한 관심이 증가

* Corresponding Author : kkkim@daegu.ac.kr

† 이 논문은 2014년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 2014R1A1A2058980).

Manuscript received February 17, 2016 / revised February 23, 2016 / accepted February 25, 2016

1) 대구대학교 전자전기공학부, 제1저자, 교신저자

하면서, 회로의 성능보다는 에너지 없는 일의 수행과 주어진 일에 대해서 가능한 최소한의 전력을 소비하는 디바이스 설계에 대한 요구가 증가하고 있다. 하지만, 공정이 미세화 될수록 공급전압은 계속적으로 낮아지면서 기존 동기회로에서는 PVT (process, voltage, temperature) 변이로 인해서 로직의 성능과 기능을 유지하기 위하여

어렵게 되었고, 클럭 스큐(skew)와 지터(jitter)와 같은 타이밍 문제들이 심각하게 발생하게 되었다. 또, 동기 회로에서 클럭 스위칭에 따른 전력이 급격히 증가하게 된다 [1-3].

따라서 최근에는 낮은 전압에서 여러 가지 변이에 영향을 받지 않고 클럭을 가지지 않는 비동기 회로 설계 방식 중의 타이밍 분석이 요구되지 않고, 설계가 간단한 지연 무관 (DI: delay insensitive) 방식을 새롭게 개발되었다. 개발된 DI 방식의 비동기 회로 설계 방법 중에 Null Convention Logic (NCL)에 관한 연구들이 많이 되고 있다. NCL은 타이밍 제한만을 용이하게 하는 다른 DI 모델들과는 다르게 타이밍과 전력을 모두 고려한 최적화된 설계를 할 수 있으며, 27개의 기본적인 셀만으로 비동기 회로를 구현할 수 있는 장점을 가지고 있다. 뿐만 아니라, 게이트 레벨과 회로 레벨에서의 회로 구현이 가능하고, 기존의 검증 틀을 그대로 사용할 수 있는 이점이 있다. 뿐만 아니라, NCL 회로는 DATA(즉, data representation)와 NULL (즉, control representation) 사이에서 단순로운 천이들을 고수하며, 지연 둔감(delay-insensitivity)을 얻기 위해 dual-rail과 quad-rail 시그널링 방법을 사용한다. 이로 인해서 설계의 복잡성이 상당히 줄어들 수 있고, NCL 회로들은 장애 허용(fault-tolerance)의 특징을 가진다 [4-7]. 이러한 NCL 회로의 이점에도 불구하고, 기존의 NCL 게이트는 최적화가 되지 않았기 때문에 전력 소모에 대한 완전한 해결책을 제시하지 못하고 있다. 더구나 공정이 미세화 될수록 트랜지스터의 문턱 전압 압은 그에 비례해서 낮아져야 하고 그에 따라 누설 전력은 기하급수적으로 증가하기 때문에 비동기 회로에서 데이터 없는 구간에서의 누설 전류 억제 방법이 반드시 고려되어 져야한다.

동기 회로에서는 이런 누설 전류를 감소시키기 위해서 트랜지스터 사이징(sizing), 트랜지스터 스택킹(stackng), 듀얼/멀티 문턱 전압 셀(cell), 바디 바이어싱(body biasing), 동적 전압 스케일링(scaling), 파워 스위칭 등의 방법들을 사용하여 줄일 수 있다. 그 중에서 파워 게이팅(power gating: PG)은 동작 모드(active mode)에서는 고성능을 유지하면서도, 휴면 모드(sleep mode)에서

는 회로의 누설 전류를 감소시키는 가장 효과적인 방법으로 알려져 있다 [8][9].

파워 게이팅 구조는 Fig. 1에서 처럼 파워 스위치로 불리는 높은 문턱 전압을 가지는 헤더(header: 회로와 VDD 사이에 삽입됨)와 푸터/footer: 회로와 GND 사이에 삽입됨)로 구성된다. NMOS 푸터의 경우 같은 구동력에 대해 PMOS 헤더 보다 더 작은 크기를 가질 수 있음에도 불구하고, 셀 기반 설계에서 이중 우물 공정(twin-well process)과 셀 라이브러리의 리모델링(remodeling)을 요구함으로써 일반적으로는 헤더 기반의 파워 게이팅 구조가 많이 사용된다 [10].

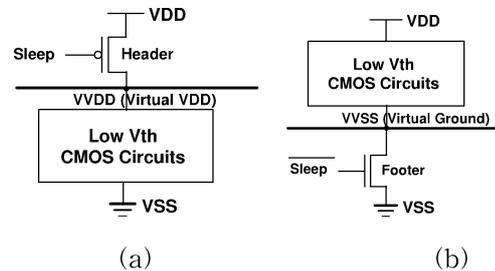


Fig. 1 A Header-based power switch structure: (a) Header-based PG, (b) Footer-based PG.

따라서 본 논문에서는 동기 회로에서 사용되는 파워 스위칭 방법을 결합한 새로운 방식의 저전력 NCL 비동기 회로를 제안하고자 한다. 기존의 NCL 게이트 셀 라이브러리와는 다르게 회로의 전력을 모두 고려한 최적화된 새로운 NCL 게이트를 제안하고, 제안된 NCL 게이트 라이브러리를 기반으로 새로운 고성능 저전력 곱셈기를 0.11um 공정을 사용해서 설계하고 구현하였다. 구현된 곱셈기의 실험 결과는 기존의 NCL 비동기 방식 회로들과 성능, 전력, 크기에 관해서 비교하였다.

본 논문의 구성은 다음과 같다. 2 장에서는 기본적인 연구 배경 대해서 설명한다. 3 장에서는 제안된 NCL 게이트 구조에 대해서 기술하고, 시뮬레이션 결과는 4 장에서 보여준다. 마지막으로 5 장에서 결론을 맺는다.

2. 연구배경

2.1 Null Convention Logic

NCL 설계 방식은 클럭이 존재하지 않는 비 동기 설계에서 지연무관 (delay-insensitive: DI) 설계 방식에 속한다. NCL 회로는 self-timed 논리이므로 최악의 경우의 경로지연 분석과 제어신호의 지연을 맞추는 것을 요구하지 않는다. DATA와 DATA 사이에 NULL 신호가 포함되어 동작하는데, 이 때문에 null convention logic이라 불리게 명명되었다. NCL 회로의 장점은 전역 클럭이 없고, 노이즈에 강하며, 낮은 전자파 간섭을 가지고, 저전력을 가질 수 있는 장점이 있다.

NCL 회로의 신호(signal)는 이중 회선 인코딩 (dual rail encoding) 방법을 이용한 Dual-rail-logic을 사용한다. Dual-rail-logic 신호 D는 two wire (D^0 , D^1)로 구성되어 있다. 신호의 상태는 {DATA0, DATA1, NULL}로 표시한다. 여기서 DATA0 상태는 ($D^0=1$, $D^1=0$), DATA1 상태는 ($D^0=0$, $D^1=1$), NULL 상태는 ($D^0=0$, $D^1=0$)을 나타낸다. NULL 상태는 D의 값이 아직 이용 가능하지 않은 상태임을 표현한다.

Dual-rail-logic은 상호 배타적인 특성을 가지고 있으므로 동시에 ($D^0=1$, $D^1=1$)을 나타낼 수 없다. 따라서, 두 개의 와이어(wire)가 ($D^0=1$, $D^1=1$)일 때의 상태는 illegal state로 나타낸다. 표 1은 Dual-rail logic의 상태를 정리한 것이다.

Table 1 Dual Rail Encoding.

Delay Model	Device	Wire
Bounded Delay (BD)	bounded	bounded
Delay Insensitive (DI)	unbounded	unbounded

NCL 회로의 설계는 27개의 NCL 게이트를 바탕으로 설계한다. 이 27개의 NCL 게이트는 자주 사용되는 boolean function을 기준으로 설계되었다. 모든 NCL 게이트는 히스테리시스(hysteresis) 특성에 따른 상태유지(state-holding) 상태를 가진다. NCL 게이트의 심볼 표현은 Fig. 2와 같이 나타내고 TH_mn 게이트라고 부른다. 여기서, n은

입력의 개수, m은 문턱(threshold) 값을 말한다. 문턱은 입력 n이 있을 때 최소 m개의 입력이 변경되기 전까지 출력에 이전의 상태를 유지하도록 한다. 다른 표현으로 무게 가중치 문턱 (weighted threshold) 게이트로 불리우며, 가중치는 하나의 신호가 앞에서 설명한 문턱 값을 계산할 때 몇 개의 역할을 하는지를 나타낸다. 예로써 Fig. 3의 TH₃4w₂ 게이트는 입력 n=4이고, threshold=3, weighted threshold=2이다. 즉, 입력 4개 중에 최소 3개의 신호가 변해야 출력이 바뀌며, 그 중 신호 A는 두 개의 신호 역할을 한다는 것을 나타낸다. 게이트에 출력을 나타내려면 입력 B, C, D가 가해지거나, 입력 A와 다른 한 신호가 가해지게 되어야 한다. 그 외에는 이전의 상태를 유지하는 히스테리시스 상태 유지 특성이 나타난다 [5].

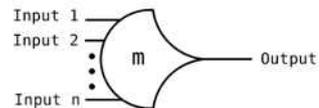


Fig. 2 TH_mn threshold gate

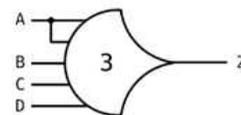
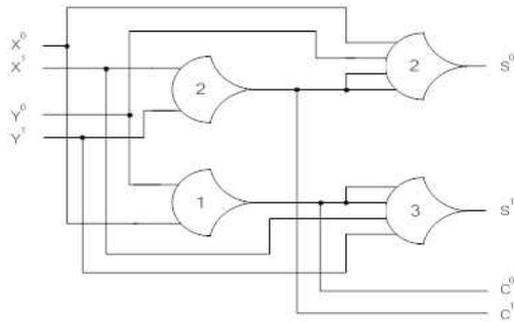


Fig. 3 TH₃4w₂ threshold gate
($Z=AB+AD+BCD$)

NCL 조합회로의 설계 과정은 기존의 k-맵을 통한 boolean 회로 설계와 유사하다. 다만, 조합회로의 논리식 표현에서 일반적으로 True(1)만 사용되는데, NCL 회로에서는 True(1), False (0) 모두 필요하다. True(1)은 DATA1로, False (0)은 DATA0으로 각각 표현된다. Fig. 4는 NCL 회로로 구성된 한 가지 예로써 반가산기(half-adder)을 보여주고 있다.



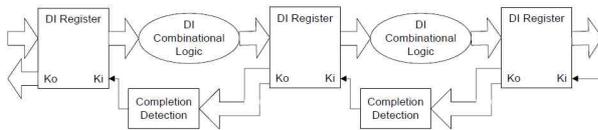
(a)

X	Y	S	C
DATA0	DATA0	DATA0	DATA0
DATA0	DATA1	DATA1	DATA0
DATA1	DATA0	DATA1	DATA0
DATA1	DATA1	DATA0	DATA1

(b)

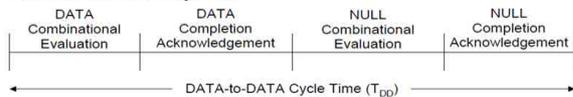
Fig. 4 NCL half-adder: (a) Circuit, (b) NCL truth table

NCL 시스템의 전체적인 구조는 Fig. 5 (a)에서와 같이 입출력 NCL 레지스터, NCL 회로, NCL completion 회로를 구성되어 있다. NCL 레지스터의 역할은 DATA 또는 NULL 신호를 completion 회로에서 입력되는 request 신호에 의해서 DATA 또는 NULL 신호를 NCL 회로로 전달하는 것이며, NCL completion은 뒷단의 NCL 레지스터에서 DATA 또는 NULL의 request 신호가 있는지를 체크해서 앞단으로 전달하는 역할을 한다. 입력 파형들은 전역 클럭이 아니라, 로컬 핸드셰이킹 (handshaking)과



(a)

• NULL/DATA cycle:



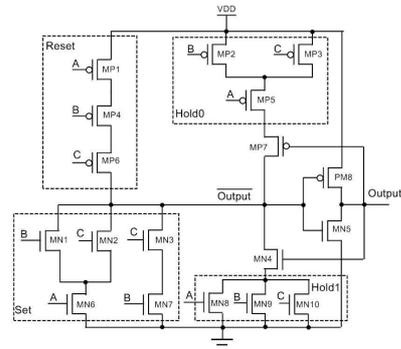
(b)

Fig. 5 (a) NCL system structure, (b) DATA/NULL cycle

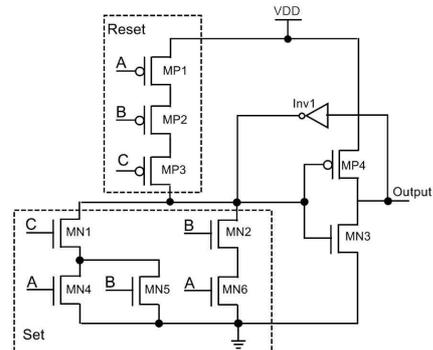
completion 검출에 의해서 제어된다. Fig. 5(b)는 NCL 시스템 구조에서 DATA/NULL 사이클을 보여주고 있다

2.2 기존의 NCL 회로 설계

기존에 존재하는 NCL 게이트는 크게 3가지로 나눌 수 있다. Fig. 6은 TH23 게이트를 Static, Semi-static의 구조로 나타내고 있다. Static 구조는 다른 종류에 비하여 복잡한 구조를 가진다. 앞단에 있는 PMOS의 직렬구조와 NMOS 병렬 구조는 진리 값을 만족시키는 동작을 한다. 뒷단의 Z의 신호를 이용한 신호들은 이전의 값을 유지하는 Hold 역할을 한다. Semi-static의 구조는 복잡한 Static의 구조를 단순화 하고, Hold 역할을 하는 부분을 사이즈가 작은 인버터를 사용하여 유지 하는 구조 이다. Static의 구조는 가장 안정적인 동작을 할 수 있는 방법 다른 NCL에 비하면 회로가 복잡하고 사용하는 Cell들의



(a)



(b)

Fig. 6 CMOS implementation of (a) Static TH23, (b) Semi-static TH23

사이즈가 크다. 또한 큰 사이즈로 인하여 전력소모가 높다는 단점이 있다. Semi-static는 기존 Static cell의 구조를 이용하여 줄인 구조이다. 앞서 설명한 바와 동일하게 Static의 구조를 절반만 사용한 구조로써 Static의 사이즈에 비해 줄어든다. 하지만 줄어든 사이즈로 인하여 높은 전력과 지연시간이 높다는 단점을 가진다. Static과 Semi-static 구조 모두 누설 전류를 줄이기 위한 방법은 전혀 고려하지 않았다 [11-13].

3. 누설 전류와 사이즈를 고려한 새로운 DI 방식의 비동기회로 설계

제안된 NCL 게이트 구조는 데이터가 없는 NULL 상태에서 누설 전류를 최대한 줄이기 위해서 기존의 동기식 방식에서 사용하였던 파워 스위치 구조를 NCL 시스템에도 적용한다. 파워 스위치는 동작모드 (Active Mode)에서는 고성능을 유지하면서도, 휴면모드 (Sleep Mode)에서는 회로의 누설 전류를 감소시키는 가장 효과적인 방법으로 알려져 있다. Fig. 7 (a)는 파워 스위치로 불리는 높은 문턱 전압을 가지는 헤더(header)를 가지는 NCL 시스템의 파워 게이팅 구조를 가지는 TH34 회로이다. Fig. 7 (a)에서 회로는 문턱 문턱 전압을 가지는 PMOS PM1을 파워 스위치 헤더로 사용하고 있으며, 그 외 MOSFET들은 모두 낮은 문턱 전압을 가진다. 그리고 회로의 구조는 크게 set를 나타내는

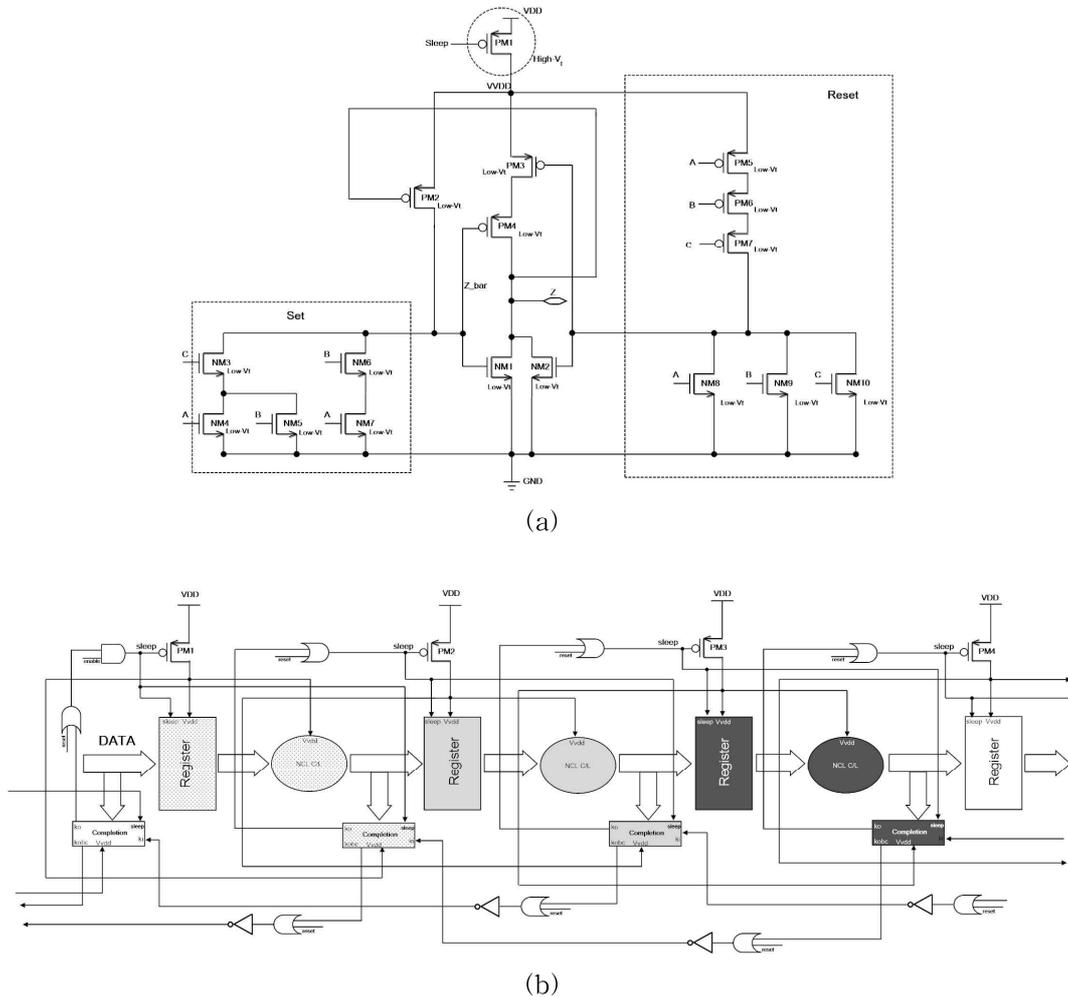


Fig. 7 Proposed low power NCL design methodology (a) TH34 circuit, (b) System structure

NMOS 들과 reset를 나타내는 PMOS들과 NMOS 들과 구성된다. set 블록에서 NMOS는 static 이나 semi-static 구조와 사이즈가 일치하지만, reset 블록에서 직렬 연결의 PMOS와 병렬 연결의 NMOS는 모두 최소 사이즈를 사용한다. 그러므로 기존 방식의 NCL 보다 사이즈가 크게 줄게 된다.

약한 피드백 PMOS PM2에 의해서 발생하는 출력 값의 느린 천이 시간과 소모 전력 증가를 극복하기 위해서 NCL 게이트 출력 단에 NOR 게이트를 사용해서 set 네트워크와 reset 네트워크로 인해서 상태 값이 변경되었을 때 하나의 노드가 아니라, 두 개의 노드들의 상태 값에 의해서 출력이 빠른 응답 속도로 상태가 천이될 수 있다. 제안된 NCL 게이트 구조의 동작은 크게 3가지로 구분되면, 구체적인 동작은 아래와 같다.

- 1) NULL 입력이 들어오는 경우: 입력은 모두 Low 상태 값이며, reset 네트워크에 의해서 출력 역시 Low 상태 값을 가진다.
- 2) 함수를 만족하는 Data 입력이 들어오는 경우: TH23의 경우 $AB+BC+AC$ 를 만족하는 입력이 들어오는 경우이며, set 네트워크와 reset 네트워크의 상호 작용으로 출력이 High 상태 값을 가진다.
- 3) 함수를 만족하지 않는 Data 입력이 들어오는 경우: TH23의 경우 $AB+BC+AC$ 를 만족하지 않는 입력이 들어오는 경우이며, 피드백 인버터와 NOR 게이트에 의해서 출력 값은 이전의 상태를 계속 유지하게 된다.

제안된 저전력 NCL 회로 설계 방법을 기본 27개 셀에 적용한 새로운 시스템 구조는 Fig. 7 (b)이다. 시스템 구조에서 같은 색깔의 NCL 레지스터 (register) 블록, NCL 로직 블록, Completion 블록이 하나의 파워 스위치에 연결되어 공통의 가상 VDD (VVDD)를 공유하게 된다. 각 파워 스위치는 뒤 단의 completion 블록의 출력 신호와 레지스터 입력에 데이터의 도착에 의해서 ON 상태가 되거나 OFF 상태가 된다. 즉, 데이터가 도착하고, 다음 단에서 받을 준비가 되었다는 신호가 completion 블록에서 오면 3개

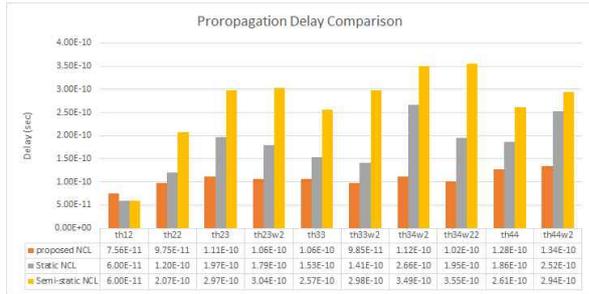
의 블록 (레지스터, NCL 로직, completion)이 ON 상태가 되고, 현재의 데이터가 다음 단으로 지나가게 되면, 현재 3개의 블록은 기존의 NCL에서 NULL 상태에 해당하는 휴면 모드로 들어가게 되고, 전체 누설 전류가 파워 스위치에 의해서 감소하게 된다. 즉, 전체 시스템이 DATA-NULL 흐름이 아니라, DATA-Sleep의 흐름으로 진행하게 된다. 시스템 구조상 DATA가 다음 단에 도착했다는 Ack 신호에 해당하는 completion 출력신호가 기존 NCL 시스템 구조처럼 바로 다음 단이 아니라, 데이터를 안전하게 다음 단에 전달하기 위해서 현재 단에서 2번째 뒤의 completion 출력 신호에서 발생하기 때문에 기존 NULL 시스템 구조보다는 다소 지연이 늘어날 수 있다. 하지만, 파워 스위치에 의한 휴면 상태가 매번 반복 되므로 전체 전력을 크게 줄일 수 있다.

4. 실험

제안된 저전력 NCL 회로들은 0.11um 공정으로 Cadence와 Hspice CAD 툴을 사용해서 설계 및 구현되었다. 구현된 비동기 방식의 곱셈기의 지연, 스위칭 전력, 누설 전력, 사이즈에 의해서 기존의 NCL 게이트들과 비교되었다. Fig. 8은 지연, 전력 감소부분을 기존의 NCL 게이트와 비교하기 위하여 측정된 결과이며, NCL의 27개의 모든 게이트 셀의 비교가 아닌 곱셈기에 사용하는 10개의 기본 게이트들의 전력을 측정하였다. 측정 결과에서 알 수 있듯이 새로운 NCL은 기존 NCL 게이트 중에서 가장 적은 전력과 지연을 가지는 static 게이트 구조보다 전력과 지연에서 모두 감소한 것을 확인할 수 있었다. 특히, 누설 전력은 100배 이상 줄어드는 것을 확인할 수 있었다.

Fig. 9는 제안된 저전력 NCL 비동기회로 설계 방식을 적용한 NCL 4x4 곱셈기의 블록도를 보여주고 있다. 설계된 곱셈기는 8개의 register, 8개의 completion회로, 7개의 반가산기, 7개의 전가산기, 그리고, 크기를 줄이기 위해서 곱셈의 마지막 비트에 특별히 설계된 가산기인 GEN_S7로 구성되

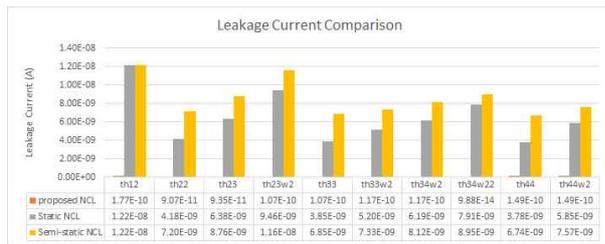
었다. 구성된 곱셈기는 기존의 static, semi-static, 그리고 제안된 NCL 게이트를 각각 사용해서 구현되었으며, 측정 결과는 Fig. 10과 같다.



(a)



(b)



(c)

Fig. 8 Comparison of the simulation results with the conventional NCL cell (a) Propagation delay, (b) Switching Power, (c) Leakage current

Fig. 10에서 알 수 있듯이 실험 결과는 제안된 NCL 구조가 기존의 NCL 구조들보다 전력에서는 Static NCL 곱셈기에 비해서 4배 가까이 감소를 보였고, 전파 지연에서는 Static NCL 곱셈기에 비해서 2배 이상의 증가를 보여주었다. 예측한대로 제안된 NCL 구조는 completion 신호가 두 개의

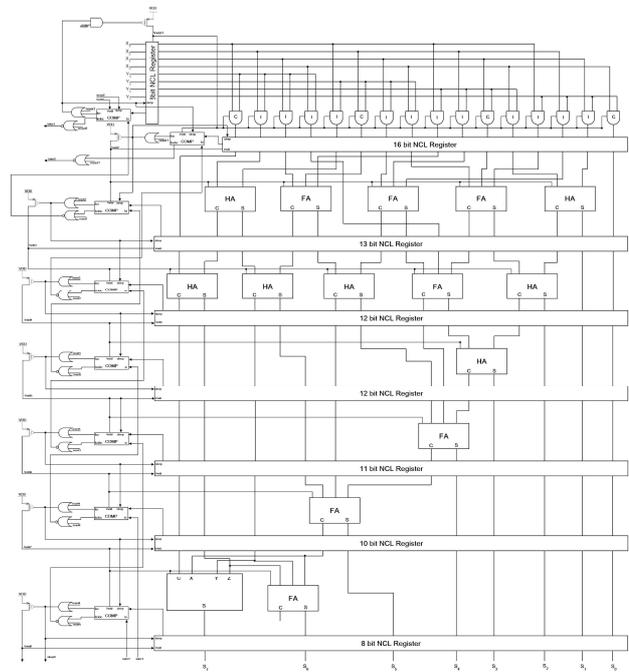
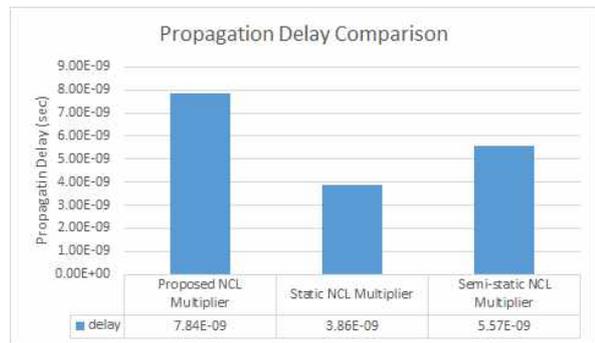


Fig. 9 Proposed NCL 4x4 multiplier



(a)



(b)

Fig. 10 Simulation Results using the 4x4 multiplier (a) Propagation delay, (b) Average Power Consumption

레지스터를 지나야 발생되기 때문에 기존의 NCL 구조보다 지연은 늘어나지만, 전체 전력을 크게 감소함을 확인하였다.

마지막으로 곱셈기의 사이즈(MOSFT 사이즈의 합)는 각각 제안된 NCL 방식의 곱셈기가 989um, static 방식의 곱셈기가 3481um, 그리고 semi-static 방식의 곱셈기가 2872um 로써, 제안된 방식의 NCL 곱셈기가 거의 3 배정도의 크기 감소를 보여주었다.

5. 결 론

본 논문에서는 기존 NCL 비동기회로 설계 방식에서의 전력 소모를 줄이기 위해서 트랜지스터 레벨에서 설계된 새로운 저전력 NCL 설계를 제안하였다. 제안된 NCL 설계 방식은 다소의 지연 증가라는 단점이 있기는 하지만, 전력 모두에서 기존의 NCL 게이트 구조들보다 향상된 결과를 보여주었기 때문에 저전력 암호화 프로세서와 생체 신호를 검출하는 바이오메디컬 시스템과 같은 저전력 고신뢰도를 요구하는 IoT 시스템에서 기존의 동기방식으로 설계된 MCU를 제안된 비동기 회로로 대체함으로써 시스템에서의 전력을 최대한 낮추면서도 주변 환경에 영향을 받지 않는 고신뢰도의 시스템을 설계할 수 있을 것으로 기대된다.

References

- [1] J. Pangjun & S.S. Sapatnekar, "Low-power Clock Distribution Using Multiple Voltages and Reduced Swings," IEEE Trans. on VLSI Systems, Vol 10, pp. 309-318, 2002.
- [2] Huajun Chi, Sangman Kim, and Jusung Park, "Mixed Dual-rail Data Encoding Method Proposal and Verification for Low Power Asynchronous System Design," Journal of IEEK, Vol 51, No.7, pp. 66-102, 2014.
- [3] Myeong-Hoon Oh, "Design of QDI Model Based Encoder/Decoder Circuits for Low Delay-Power Product Data Transfers in GALS Systems," Journal of IEEK (SD), Vol 43, No.1, pp. 27-37, 2006.
- [4] P. A. Beerel, R. O. Ozdag and M. Ferretti, "A Designer's Guide to Asynchronous VLSI", Cambridge University Press, 2010.
- [5] Scott C. Smith, Jia Di, "Designing Asynchronous Circuits using NULL Convention Logic (NCL)," Morgan & Claypool Publishers, 2009.
- [6] F. A. Parsan, W. K. Al-Assadi, S. C. Smith, "Gate Mapping Automation for Asynchronous NULL Convention Logic Circuits," IEEE Trans. on VLSI Systems, Vol 22, Issue 1, pp.99-112, Jan. 2014.
- [7] Kyung Ki Kim, "Design and Implementation of low power ALU based on NCL (Null Convention Logic)," Journal of the Korea Industrial Information System Society , Vol 18, No.5, pp. 59-65, 2013.
- [8] K. Shi and D. Howard, "Challenges in sleep transistor design and implementation in low-power designs," in Proc. IEEE Design Automation Conf., pp. 113-116, July 2006.
- [9] M. Anis, S. Areibi and M. Elmasry, "Design and optimization of multi-threshold CMOS (MTCMOS) circuits," IEEE Tran. on CAD of Integrated Circuits and Systems, Vol. 22, No. 10, pp. 1324-1242, Oct. 2003.
- [10] H. W. Lee, H. J. Lee, J. K. Woo, W. Y. Shin, S. Kim, "Power-gating structure with virtual power-rail monitoring mechanism," Journal of Semiconductor Technology and Science, Vol 8 No.2, pp. 110-181, June 2008.
- [11] Kyung Ki Kim, "Delay Insensitive Asynchronous Circuit Design Based on

New High-Speed NCL Cells,” Journal of the Korea Industrial Information System Society , Vol 19, No.6, pp. 1-6, 2014.

[12] Wook Hun Hong, Kyung Ki Kim, “Design of Ultra Low-Voltage NCL Circuits in Nanoscale MOSFET Technology,” Journal of the Korea Industrial Information System Society , Vol 17, No.4, pp. 17-23, 2012.

[13] F. A. Parsan and S. C. Smith, “CMOS Implementation of Static Threshold Gates with Hysteresis: A New Approach,” IEEE MWSCAS, pp.394-397, Aug. 2012.



김 경 기 (Kyung Ki Kim)

- 정회원
- 1995년 8월 영남대 전자공학과 공학사
- 1997년 8월 영남대 전자공학과 공학석사
- 2008년 1월 (미) Northeastern University 전기 전자공학과 공학박사
- 2008년 2월 ~ 2009년 1월 (미) SUN Microsystems 연구원 (Technical Staff)
- 2009년 1월 ~ 2010년 2월 (미) Illinois Institute of Technology 연구원
- 2010년 3월 ~ 현재 대구대학교 정보통신대학 전자전기공학부 조교수
- 관심분야 : SoC 설계, Microprocessor, High performance and low power design methodology, Nanotechnology.