

기동 전류를 개선한 수직 PNP 트랜지스터의 특성에 관한 연구

(A Study on the Characteristics of the Vertical PNP
transistor that improves the starting current)

이 정 환^{1)*}
(Jung-Hwan Lee)

요 약 본 논문에서는 기생 트랜지스터를 억제하여 대기 전류를 낮춰 기동전류를 개선한 수직 PNP 트랜지스터의 특성을 소개한다. 기생 효과를 억제하기 위해, 회로 변경 없이 "DN+ 링크"를 사용하여 기생 PNP 트랜지스터를 억제 시킨 수직 PNP 트랜지스터를 설계하였으며, 표준 IC 프로세서를 이용한 LDO 레귤레이터를 제작했다. 제작된 기생 PNP 트랜지스터의 hFE 가 기존의 18에서 0.9로 감소하였다. 개선된 "DN+ 링크" 구조 수직 PNP 트랜지스터로 제작된 LDO 레귤레이터의 기동 전류는 기존의 기동 전류 90mA 에서 32mA 로 감소되었다. 이로 인해 대기상태에서 저 소비전력을 구현한 LDO 레귤레이터를 개발하였다.

핵심주제어 : 기생 PNP 트랜지스터, 수직 PNP 트랜지스터, 대기 전류, 기동 전류

Abstract In this paper, we introduce the characteristics of a vertical PNP transistor that improves start current by decreasing quiescent current with suppressing the parasitic transistor. In order to suppress the parasitic effect, we designed a vertical PNP transistor which suppresses parasitic PNP transistor by using the "DN+ links" without changing the circuit and made a LDO regulator using a standard IC processor. HFE of the fabricated parasitic PNP transistor decreased from conventional 18 to 0.9. Starting current of the LDO regulator made of the vertical PNP transistor using the improved "DN+ linked" structure is reduced from the conventional starting current of 90mA to 32mA. As the result, we developed a LDO regulator which consumes lower power in the standby state.

Key Words : parasitic PNP transistor, vertical PNP transistor, quiescent current, start current

1. 서 론

집적회로 기술의 발달과 더불어 휴대용 기기의 수요 증가로 인해 한정된 배터리를 이용하여 기기의 동작 시간과 안정된 동작 환경을 제공해야

하기 때문에 전력 관련 칩 설계에 대한 중요성이 강조되고 있다. LDO는 선형 레귤레이터 (Regulator)로서 잡음이 작고 안정된 출력을 제공하기 때문에 잡음에 민감한 회로에 적합하다. 현재까지 가장 널리 쓰이고 있는 레귤레이터로는 NPN 다링톤(Darlington) 구조를 사용하는 표준 레귤레이터라 볼 수 있다. 그러나 레귤레이터의 성능 향상을 위해서 전압강하가 작아야 하며 (Low Drop Out voltage), 적은 전력소모 특성을

* Corresponding Author : virtuepapa@kmu.ac.kr
Manuscript received January 18, 2016 / revised February 04, 2016 / accepted February 19, 2016

1) 계명대학교 전자공학과, 제1저자

가져야 한다[1,2].

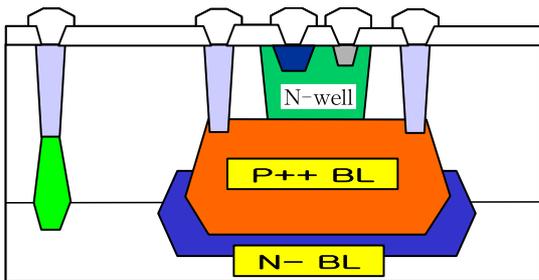
이에 적합한 수직 PNP 트랜지스터(V-PNP TR)는 높은 전류 용량 때문에 레귤레이터 IC에서 패스 트랜지스터로 널리 사용되고 있다. 또한 낮은 강하 출력 전압 레귤레이터는 일반적으로 높은 캐리어 농도로 도핑된 넓은 하부 컬렉터로 인한 낮은 포화 전압 특성의 V-PNP TR을 사용한다[3].

본 논문에서는 V-PNP TR의 기생 효과와 방지 방법의 원인과 결과를 연구하였다. 그 결과, 수직 PNP 트랜지스터의 새로운 구조를 갖는 LDO 레귤레이터의 기동 전류 값을 감소시키고자 설계를 하여 개선하고자 한다.

2. 설 계

V-PNP TR의 제조 공정은 트랜지스터의 다른 유형보다 복잡하다. V-PNP TR은 P형 기판으로부터 절연되어야 하며, 넓은 하부 컬렉터 영역은 금속 배선을 위한 P형 확산층을 통해 N형 에피층의 표면에 연결되어 있기 때문이다.

N형 매입 층은 P형 기판으로부터 V-PNP TR과의 격리를 위해 필요하다. Fig. 1은 V-PNP TR의 수직 구조를 보여준다.



<그림 1> 수직 PNP 트랜지스터의 수직 구조
<Fig. 1> The vertical structure of the Vertical PNP transistor.

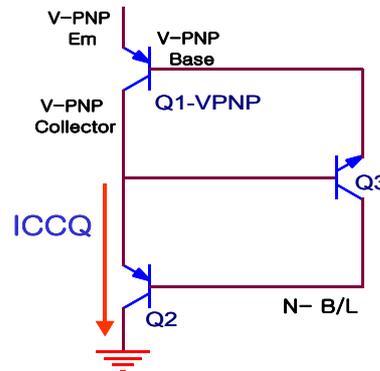
추가된 N형 매입층은 기생 용량, 기생 트랜지스터 등과 같이 소자의 특성에 심각한 영향을 미친다. 특히 LDO 레귤레이터의 대기 전류(quiescent current, ICCQ)는 기생 트랜지스터의

영향을 받으며, LDO의 기동 전류(start current) 값이 더 커지게 된다. 그러나 LDO 레귤레이터의 낮은 스위칭 속도 때문에 이러한 기생 용량을 무시하고 있다[4].

Fig. 2는 V-PNP TR의 기생 트랜지스터를 보여준다. 두개의 기생 트랜지스터 Q2와 Q3가 있다. Q1은 포화 모드에서의 PNP 트랜지스터이다.

Q2는 P형 하부 컬렉터와 P형 기판 사이의 기생 PNP 트랜지스터이다. Q2의 특성은 N형 매입층인 베이스 폭과 농도에 따라 달라진다[5,6].

Q3은 N-well과 N형 매입층 사이의 NPN 트랜지스터이다. Q3의 베이스는 V-PNP TR 고농도 하부 컬렉터이며, 그 농도는 N-well보다 더 높은 농도이다. V-PNP 바닥 컬렉터의 깊이인 Q3의 베이스 폭은 수 μm 정도로 넓으며, 농도가 높기 때문에 Q3 트랜지스터의 에미터 전류 이득은 매우 낮아 무시할 수 있다.



<그림 2> 수직 PNP 트랜지스터의 기생 트랜지스터

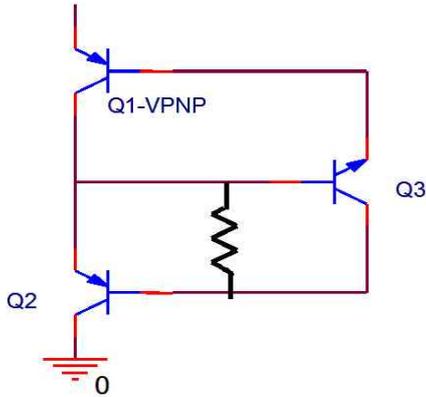
<Fig. 2> The parasitic transistors of the Vertical PNP transistor.

이 등가 회로에서 기생 트랜지스터 Q2의 h_{FE} 를 줄일 경우, 대기 전류(ICCQ)를 줄일 수 있다는 것을 알 수 있다.

이 논문의 아이디어는 Q2의 에미터와 베이스 사이를 짧게 하여 Q2의 h_{FE} 를 줄이려는 것이다. 그리고 그때 Q2는 작동하지 않는다. 그래서 대기 전류를 흘리는 것이 불가능하게 된다.

Q2의 에미터와 베이스를 짧게 하기 위해 우리

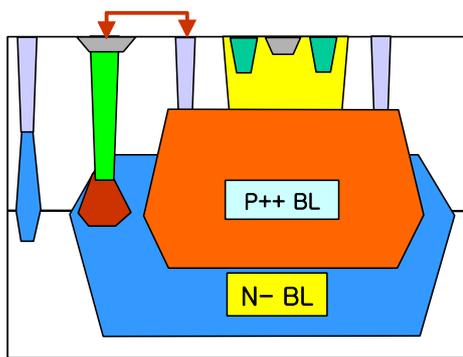
는 DN+ 층을 사용했다. 그것을 “DN+ 링크”라고 부른다. Fig. 3은 Q2의 에미터와 베이스 사이에 DN+ 링크를 만든 것을 보여준다.



<그림 3> Q2의 에미터와 베이스 사이의 DN+ Link
 <Fig. 3> The DN+ link between the Emitter and the Base of Q2.

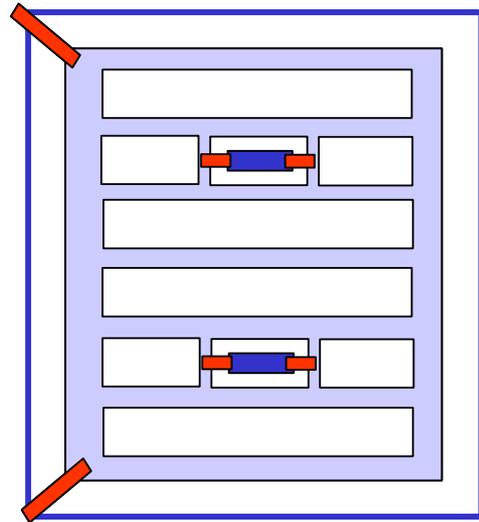
Fig. 4는 Q2의 에미터와 베이스 사이의 DN+ 링크의 수직 구조를 보여준다. DN+ 층을 확산하고 V-PNP TR의 컬렉터에 금속을 사용하여 연결하였다.

그러나 저항이 없이 Q2의 에미터와 베이스를 짧게하는 것은 불가능하다. 그래서 패턴 설계에서 고농도 DN+를 사용하여 DN+ 링크 저항을 극복했다.



<그림 4> Q2의 에미터와 베이스 사이의 DN+ 링크의 수직 구조
 <Fig. 4> The vertical structure of the DN+ link between the Emitter and the Base of Q2.

Fig. 5는 DN+ 층 및 V-PNP TR의 컬렉터와의 연결 지점을 보여준다. V-PNP TR 주위의 DN+ 링과 V-PNP TR의 컬렉터와의 사이에 2 점을 연결했다. 그리고 우리는 V-PNP TR의 컬렉터를 연결하는 V-PNP TR의 2개의 DN+ 섬(island)을 만들었다.



<그림 5> 수직 PNP 트랜지스터의 DN+ link 설계
 <Fig. 5> The DN+ link layer of the Vertical PNP transistor.

3. 실험

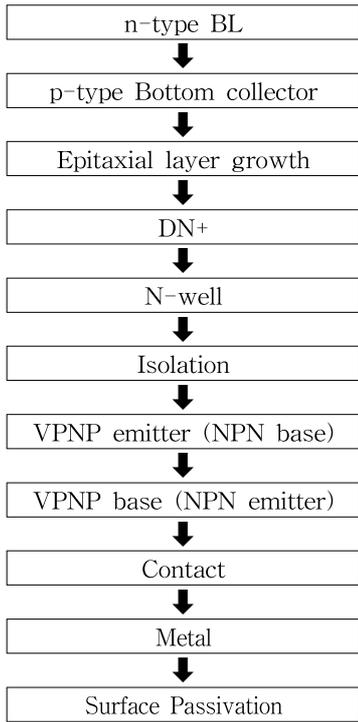
V-PNP TR의 제조 공정은 격리를 위해 고농도로 도핑된 P형의 하부 층과 N형 매입층의 존재로 인해 종래의 바이폴라 공정과는 다르다. V-PNP TR의 에미터는 공정 중에서 베이스III 단계에서 만들어지며, V-PNP TR의 베이스 컨택(contact)은 NPN 트랜지스터의 에미터 단계에서 만들어진다.

N-well은 더 낮은 농도인 약 $1E15/cm^2$ 정도의 에피택셜층 때문에 컬렉터 전류 성능 감소를 방지하기 위해 V-PNP TR에서 적절한 베이스 농도의 형성에 사용되어진다. 그리고 기생 트랜지스터를 억제하기 위한 DN+ 층을 채택했다.

Fig. 6은 IC 표준 공정에서 V-PNP TR의 fab 제조 공정의 개략도를 나타내었다. DN+와

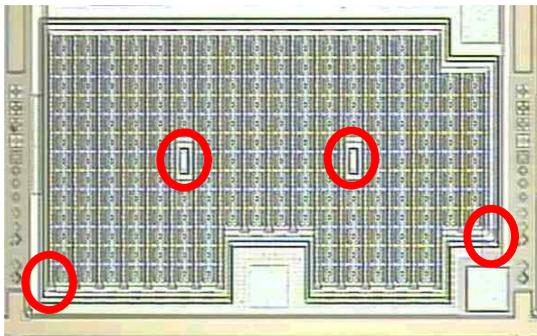
N-well을 추가하여 공정 설계를 하였다.

Fig. 7은 패턴 설계를 하여 제조 공정을 거친 DN+ 링크가 있는 V-PNP TR의 사진이다. 원으로 표시된 부분이 DN+ 영역이며 링크를 위해 금속 배선으로 연결하였다.



<그림 6> 수직 PNP 트랜지스터의 fab 공정 개략도

<Fig. 6> The schematic fabrication process of the Vertical PNP transistors

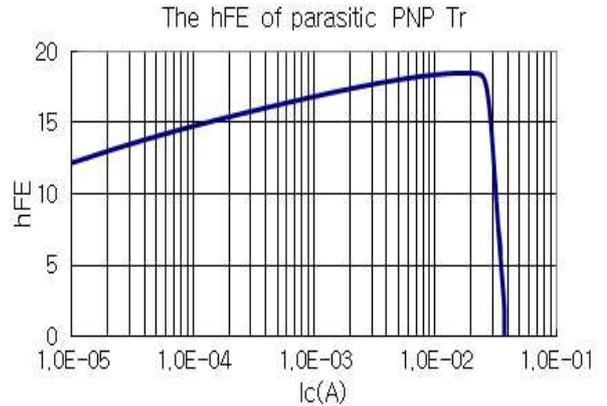


<그림 7> DN+ 링크와 수직 PNP 트랜지스터의 사진

<Fig. 7> The picture of the Vertical PNP transistor with DN+ link.

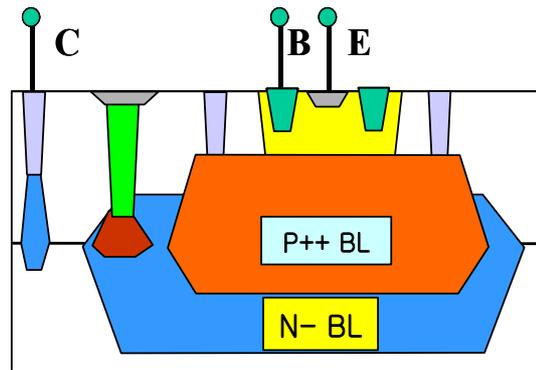
4. 결과 및 논의

Fig. 8은 종래의 공정으로 제작된 기생 PNP 트랜지스터 h_{FE} 를 보여준다. 최대 h_{FE} 는 약 18이었으며, 이 기생 PNP 트랜지스터의 h_{FE} 를 작게 하는 것이 목표이다.



<그림 8> 수직 PNP 트랜지스터의 h_{FE} - I_c 특성
<Fig. 8> The h_{FE} - I_c characteristics of the parasitic PNP transistor

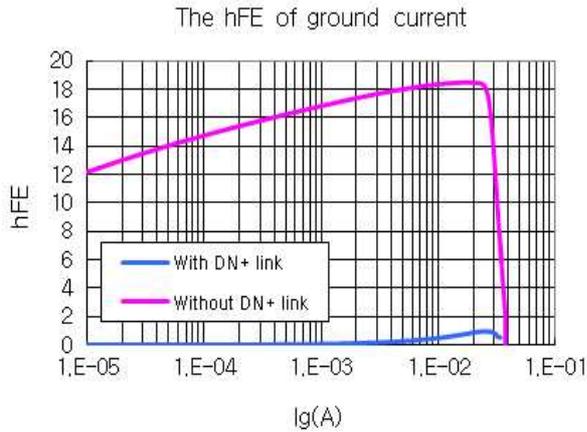
Fig. 9는 수직 PNP 트랜지스터의 접지 전류를 측정하는 방법이다. DN+ 링크된 기생 PNP 트랜지스터의 h_{FE} 를 측정하는 것은 구조상 가능하지 않다. 그래서 접지 전류를 도입해서 측정했다.



<그림 9> 수직 PNP 트랜지스터의 접지 전류
<Fig. 9> The ground current of the Vertical PNP transistor.

Fig. 10은 DN+ 링크 유무에 따른 기생 PNP 트랜지스터의 접지 전류 대 h_{FE} 를 나타내고 있

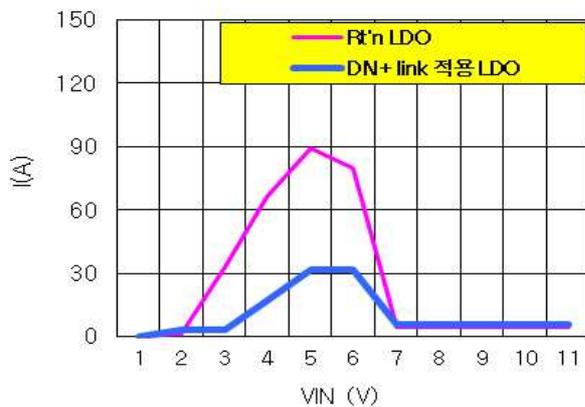
다. 이 결과를 통해 종래의 h_{FE} 가 약 18 에서 DN+ 링크를 사용하여 h_{FE} 가 0.9로 1/20 배로 감소되는 것을 알 수 있다.



<그림 10> DN+ 링크 유무에 따른 기생 PNP 트랜지스터의 접지 전류 대 h_{FE}

<Fig. 10> The h_{FE} vs. ground current of the parasitic PNP transistor with DN+ link & without DN+ link.

Fig. 11은 DN+ 링크와 종래의 LDO 레귤레이터의 기동 전류 특성을 비교하였다. 기존 제품의 LDO 레귤레이터 기동 전류는 약 90mA 이었으며, 개선된 DN+ 링크 적용 V-PNP TR로 만든 LDO 레귤레이터는 기동 전류가 32mA 로 약 1/3 배 감소하였다. 회로를 변경하지 않고 패턴 설계와 공정 설계 변경으로 얻을 수 있었다.



<그림 11> DN+ 링크와 기존 LDO의 기동 전류
<Fig. 11> The start current of LDO with DN+ link and Rt'n product.

5. 결론

본 논문에서는 V-PNP TR의 기생 효과에 대해 연구하였으며, Cadence Virtuoso로 Pattern 설계를 하였으며, Cadence Spectre로 소자 설계를 하였다. 표준 공정에 DN+ 공정을 추가하여 LDO 레귤레이터를 제작하여 V-PNP TR의 기생 h_{FE} 특성과 LDO 레귤레이터의 기동 전류를 HP4156으로 측정하였다.

기생 PNP 트랜지스터의 에미터와 베이스를 DN+ 링크를 통해 제작하여 측정한 결과 LDO 레귤레이터의 기생 PNP 트랜지스터 h_{FE} 의 값이 18에서 0.9로 약 1/20 배로 감소하였으며, 이로 인해 LDO 레귤레이터의 기동 전류가 90mA 에서 32mA 로 약 1/3 배 감소되었다. 이로 인해 대기 상태에서 저 소비전력 구현한 LDO 레귤레이터를 얻게 되었다.

본 연구에서는 DN+ 링크를 중앙 부분에 2개 배치하여 설계하였으며, 향후 DN+ 링크 배치의 최적화를 통해 더 낮은 기동전류를 얻을 수 있도록 하고자 한다.

References

- [1] H. H. Cho, Y. S. Koo, "Capless LDO Regulator with over-current protection circuit", IEEK Conference, pp. 1217-1220, June 2014.
- [2] T. S. Park, Y. S. Koo, "A study on the design of high performance Regulator IC using Bi-CDMOS", IEEK Conference, pp. 417-422, May 2005.
- [3] D. D. TANG, "Heavy Doping Effects in p-n-p Bipolar Transistors", IEEE Transactions on Electron Devices, Vol. ED-27, No. 3, March 1980.
- [4] Sang Hyeon Park, "Low Quiescent Current Output-Capacitorless LDO Regulator With PSR Enhancer" ITC-CSCC pp. 1032-1034. 2015.
- [5] S. Chou, "An investigation of lateral

transistors-D.C. characteristics", Solid-State Electronics, pp. 811, 1971.

[6] J D. Last, D. W. Lucas and G. W. Sumerling, "A numerical analysis of the d.c. performance of small geometry lateral transistors", Solid-State Electronics, pp. 1111, 1974.



이 정 환 (Jung-Hwan Lee)

- 정회원
- 영남대학교 전자공학과 공학사
- 영남대학교 전자공학과 공학석사
- 영남대학교 전자공학과 공학박사
- 계명대학교 공과대학 전자공학과 조교수
- 관심분야 : 반도체 공정, 고속트랜지스터, 집적회로 설계