

# V-대역을 위한 완전 집적된 CMOS 이단 전력증폭기 집적회로 설계

## Design of Two-Stage Fully-Integrated CMOS Power Amplifier for V-Band Applications

김현준 · 조수호\* · 오성재 · 임원섭 · 김지훈\*\* · 양영구

Hyunjun Kim · Sooho Cho\* · Sungjae Oh · Wonseob Lim · Jihoon Kim\* · Youngoo Yang

### 요 약

본 논문에서는 TSMC 65 nm CMOS 공정을 이용하여 V-대역 이단 전력증폭기를 설계 및 제작하였다. 수동소자를 사용한 간단한 구조의 정합회로를 구성하였고, 입력과 출력 정합회로를 모두 집적하였다. Pre-distortion 기법을 통해 전력 이득을 보상에 줌으로써 전력증폭기의 선형성을 향상시켰다. 제작된 전력증폭기는 58.8 GHz의 동작 주파수와 1 V의 동작 전압에서 10.4 dB의 전력 이득, 9.7 dBm의 출력 전력 및 20.8 %의 효율 특성을 나타내었다.

### Abstract

This paper presents a V-band two-stage power amplifier integrated circuit using TSMC 65 nm CMOS process. The simple input, output, and inter-stage matching networks based on passive components are integrated. By compensating for power gain characteristics using a pre-distortion technique, the linearity of the power amplifier was improved. The implemented two-stage power amplifier showed a power gain of 10.4 dB, a saturated output power of 9.7 dBm, and an efficiency of 20.8 % with a supply voltage of 1 V at the frequency band of 58.8 GHz.

Key words: Power Amplifier Integrated Circuit, CMOS Power Amplifier, V-Band, Mm-Wave, Pre-Distortion

### I. 서 론

지금까지 대부분의 RF 전력증폭기는 높은 선형성과 고효율의 특성을 갖는 화합물 반도체를 이용해 설계되었다. 하지만 화합물 반도체는 집적도가 낮고 가격이 비싼 단점을 가지고 있다. 최근 들어 CMOS 공정 기술이 발달함에 따라 채널 길이가 축소되고, 낮은 가격과 높은 집적도의 장점을 이유로 차세대 이동통신 기술인 5G와 이후

의 통신 표준에 적합한 mm-wave 대역에서도 CMOS 공정을 이용한 전력증폭기에 대한 연구가 활발히 진행되고 있다<sup>[1]-[6]</sup>.

무선 통신 시스템에서 전력증폭기는 송신부에 끝단에 위치하며, 필요한 출력 전력뿐만 아니라, 충분한 선형성과 넓은 대역폭 및 충분한 전력이득을 가져야 한다. 하지만 CMOS 공정은 낮은 가격과 높은 집적성의 장점 외에 낮은 항복전압, 큰 기생성분 효과, 큰 기관의 손실 등으로

「본 연구는 삼성전자의 연구비 지원으로 수행되었음.」

성균관대학교 정보통신대학(School of Information and Communication Engineering, Sungkyunkwan University)

\*(주)한화시스템(Hanwha Systems Co., Ltd.)

\*\* (주)삼성전자(Samsung Electronics Co., Ltd.)

· Manuscript received October 25, 2016 ; Revised December 13, 2016 ; Accepted December 21, 2016. (ID No. 20161025-110)

· Corresponding Author: Youngoo Yang (e-mail: yang09@skku.edu)

인해 전력증폭기의 설계와 제작에 있어 많은 어려움이 따른다.

본 논문에서는 TSMC 65 nm CMOS 공정을 이용하여 이단으로 구성된 V-대역 전력증폭기를 설계 및 제작하였다. 전력증폭기는 보조 전력증폭단과 주 전력증폭단을 포함한 이단으로 구성하여 높은 전력 이득을 얻을 수 있도록 설계하였다. Pre-distortion(PD) 기법을 통하여 전력 이득을 보상해줌으로써 전력증폭기의 선형성을 향상시켰다. 또한, Momentum 시뮬레이션을 통하여 수동 소자의 기생 inductance와 기생 capacitance에 의한 효과를 정합회로에 반영함으로써 설계의 정확성을 높였다.

## II. 회로 설계

그림 1은 본 논문에서 설계한 V-대역 CMOS 이단 전력증폭기의 전체 회로도이다. 전력증폭기는 보조 전력 증폭단과 주 전력 증폭단, 선형성을 향상시키기 위한 선형화 회로 그리고 수동소자를 이용한 정합회로로 구성되어 있다. 보조 전력 증폭단과 주 전력 증폭단은 single-ended 공통 소스(common-source) 구조를 채택하였다. 1 V의 낮은 공급전압에서 캐스코드 구조보다 상대적으로 높은 효율과 선형성을 갖도록 하고, 이단 구조를 통해 높은 전력 이득을 얻을 수 있도록 설계를 진행했다. 또한, 집적화된 모든 정합회로는 Keysight사의 ADS(Advanced Design System) Momentum을 이용한 EM 시뮬레이션을 통해 회로 내부의 기생성분에 의한 효과를 반영하여 입출력 및 중간 단 정합을 최적화 하였다.

전력 증폭기 설계를 진행함에 있어 효율, 전력 이득, 출력 전력 등 여러 가지 성능들이 고려되어야 하며, 이는 소자 크기의 영향을 크게 받는다. 소자의 크기가 커질수록 높은 출력 전력을 얻을 수 있으며, 이는 게이트의 핑거 개

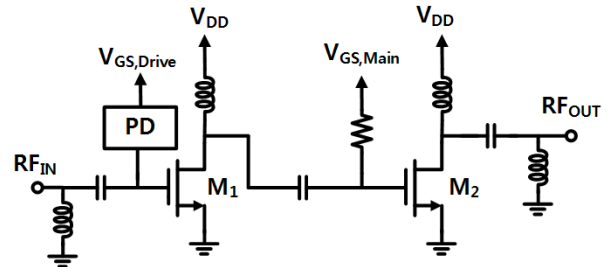


그림 1. 제안된 V-대역 이단 전력증폭기의 전체 회로도  
Fig. 1. Overall schematic diagram of the proposed V-band two-stage power amplifier.

수와 단일 소자의 핑거 폭을 조절하여 결정하여야 한다. 핑거의 수가 많을수록 기생성분이 늘어나고, 핑거수를 줄이기 위해 단일 소자의 핑거 폭을 크게 하면 게이트의 저항이 늘어나게 된다. 게이트 저항은 소자의 손실로 반영되어 전력 이득을 낮게 한다. 따라서 이러한 트레이드-오프를 고려한 소자 크기의 적절한 선택이 필수적이다<sup>[7],[8]</sup>. 본 설계에서는 각 전력 증폭단의 소자  $M_1$ 과  $M_2$ 의 크기 따른 source- 및 load-pull 시뮬레이션을 통해 최적화를 진행하였다. 주 전력 증폭단의 크기 따른 주요 성능을 비교하여 표 1에 나타내었다. 시뮬레이션은 동작 주파수 60 GHz에서 정지 전류를 20 mA로 고정하여 진행하였으며, 소자의 크기가 커질수록 전력이득이 작아지고, 출력 전력이 커지는 것을 알 수 있다. 이를 고려하여 각 전력 증폭단의 소자  $M_1$ 과  $M_2$  각각 46.0  $\mu\text{m}$ 와 76.8  $\mu\text{m}$ 의 게이트 폭으로 선택하여 설계를 진행하였다.

전력 증폭기의 전력이득은 출력 전력이 높아질수록 포화되어 점점 작아지게 된다. 이 때, 낮은 입력 전력에서 일정한 손실을 주고, 높은 입력 전력에서는 상대적으로 낮은 손실을 줌으로써 전력 증폭기에서 발생하는 전력 이득의 선형적 영역을 확장시킬 수 있으며, 이를 PD 기

표 1. 주 전력 증폭단 소자 크기에 따른 시뮬레이션 결과

Table 1. Simulated performance of power-stage according to device size.

크기 <sup>†</sup> (m)	3.2 $\mu\text{m}\times 8\times 2$	3.2 $\mu\text{m}\times 10\times 2$	3.2 $\mu\text{m}\times 12\times 2$	3.2 $\mu\text{m}\times 14\times 2$
주파수(GHz)	60			
전력이득(dB)	9.73	9.03	8.33	7.95
P1 dB(dBm)	7.08	7.59	7.74	8.16

<sup>†</sup> 크기: 핑거 폭×핑거 개수×단위 소자 개수

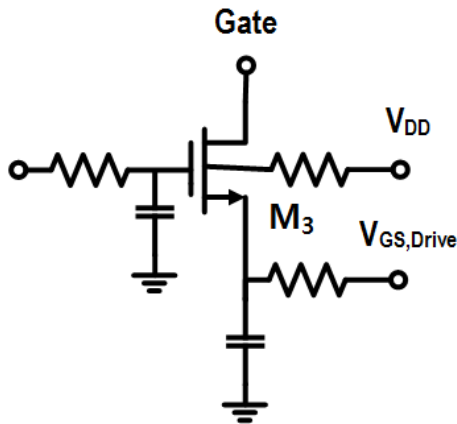


그림 2. 제안된 이단 전력 증폭기에 적용된 PD 회로  
Fig. 2. PD circuit for the proposed two-stage power amplifier.

법이라고 한다. 이를 통해서 전력 증폭기의 전력 이득에 손실을 발생시키고, 상대적으로 선형성을 향상시킬 수 있게 된다<sup>[9]~[11]</sup>. 그림 2는 본 회로에 적용한 PD 회로이다. PD에 사용되는 소자  $M_3$ 의 크기에 따라서 전력 이득과 선형성 사이에서 트레이드-오프가 발생하게 된다. 소자의 크기가 클수록 전력 이득의 손실이 커지고, 선형성의 향상도 커지게 된다. 본 설계에서는 PD를 적용하지 않았을 때와 적용했을 때, 소자의 크기에 따른 성능 비교를 통해 크기를 최적화하였고, 이를 표 2에 나타내었다. 결과적으로 PD 소자의 크기는 핑거 길이 60 nm, 핑거 폭 0.6  $\mu\text{m}$ , 2개의 핑거로 설계를 진행하였다. 그림 3은 two-tone 시뮬레이션을 통해 PD의 적용 유무에 따른 선형성

표 2. PD 소자 크기에 따른 시뮬레이션 결과  
Table 2. Simulated performance according to the device size of PD.

핑거 길이	핑거개수	핑거폭	60 GHz	
			Gain(dB)	$P_{in}$ (dBm)
w/o PD			13.86	0.72
60 nm	1	0.6 $\mu\text{m}$	13.78	2.07
		1.2 $\mu\text{m}$	13.35	2.11
	2	0.6 $\mu\text{m}$	13.47	2.23
		1.2 $\mu\text{m}$	12.74	3.08
120 nm	1	0.6 $\mu\text{m}$	13.93	2.32
		1.2 $\mu\text{m}$	13.61	2.22
	2	0.6 $\mu\text{m}$	13.72	2.19
		1.2 $\mu\text{m}$	13.16	2.54

의 변화를 나타낸 그림이다. PD를 적용했을 때 출력 전력에 따른 IMD3(3rd-order Intermodulation Distortion)가 더 낮아지면서 전력 증폭기의 선형성이 향상되는 것을 알 수 있다.

그림 4는 설계된 V-대역 CMOS 이단 전력 증폭기의 시뮬레이션 결과를 나타낸다. PD 기법을 적용함에 따라 동작 주파수 60 GHz에서 전력이득은 13.7 dB에서 13.5 dB로 0.2 dB가 감소하였지만, P1 dB는 5.8 dBm에서 7.5 dBm으로 1.7 dB가 증가한 결과를 얻을 수 있었으며, 9.4

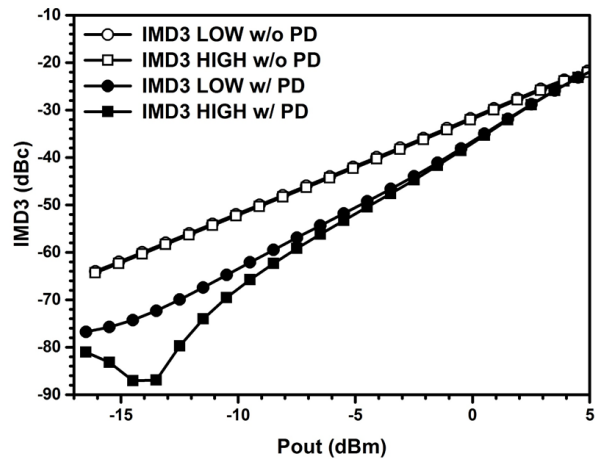


그림 3. PD의 유무에 따른 선형성 변화  
Fig. 3. Linearity performance with and without the PD.

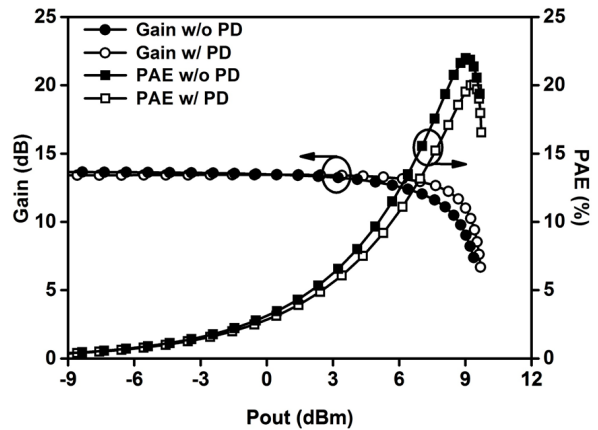


그림 4. 설계된 이단 전력증폭기의 PD 유무에 따른 시뮬레이션 결과  
Fig. 4. Simulated performances of the designed two-stage power amplifier with and without the PD.

dBm의 피크 출력 전력, 21 %의 피크 효율을 보였다. 또한, 그림 3을 통해 IMD3 가 -30 dBc를 만족할 때의 출력 전력( $P_{lin}$ )은 2.23 dBm임을 알 수 있다.

### III. 제작 및 측정

그림 5는 TSMC 65 nm CMOS 공정을 이용하여 제작된 V-대역 이단 전력증폭기의 사진을 나타낸다. 전체 회로 크기는  $0.38 \times 0.67 \text{ mm}^2$ 이다. 1 V의 동작 전압을 인가하였으며, 보조 전력 증폭단이 8 mA, 주 전력 증폭단이 22 mA의 정지전류를 갖는 조건에서 측정되었다. 임피던스 정합회로의 커패시터는 높은 Q를 얻기 위하여 interdigital 커패시터를 사용하여 임피던스를 정합하였다. 전력 증폭기의 설계는 60 GHz에서 진행하였으나, 측정은 약간 낮은 58.8 GHz에서 진행하였다. 정합회로의 기생성분을 예측 할 때 약간의 오차가 생긴 것으로 판단된다.

그림 6은 제작된 전력증폭기에서 측정된 S-파라미터, 전력이득과 효율 및 선형성을 나타낸다. 58.8 GHz의 주파수에서  $S_{11}$ ,  $S_{21}$ 은 각각 -9.41 dB, 11.43 dB임을 알 수 있다. 측정 결과, 동작 주파수 58.8 GHz에서 10.4 dB의 전력 이득, 9.7 dBm 출력 전력, 20.8 %의 피크 효율을 나타내었고, 출력 전력 4 dBm에서 IMD3 -30 dBc를 만족하는 것을 알 수 있다.

표 3은 기존에 V-대역에서 연구되었던 전력증폭기와

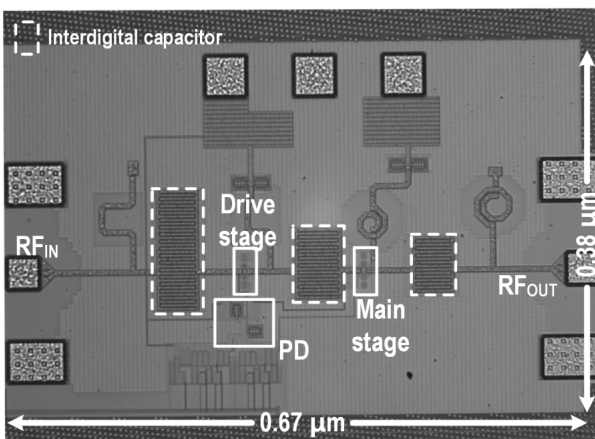
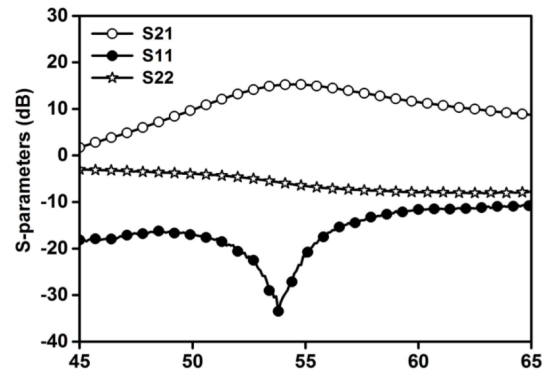
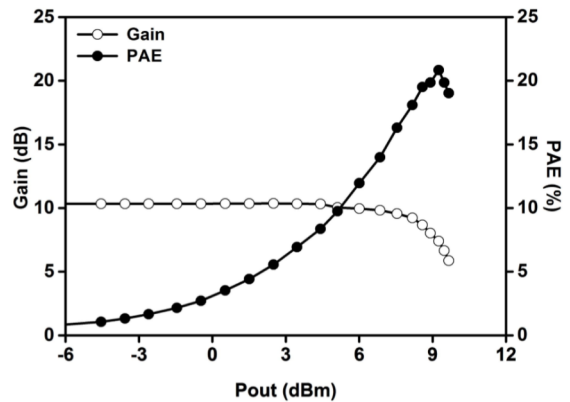


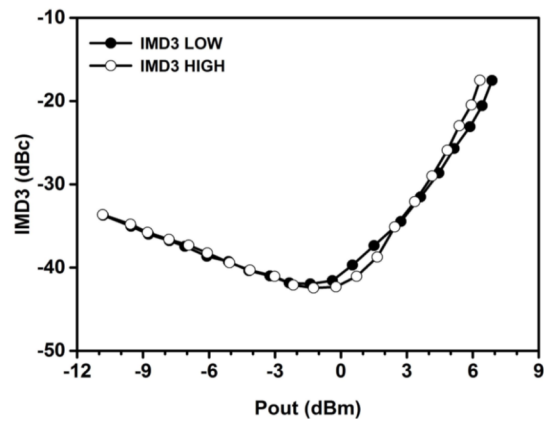
그림 5. 제작된 V-대역 이단 전력증폭기 사진  
Fig. 5. Microphotograph of the implemented V-band two-stage power amplifier.



(a) S-파라미터  
(a) S-Parameter



(b) 전력 이득과 효율  
(b) Gain and PAE



(c) 선형성  
(c) Linearity

그림 6. 제작된 이단 전력증폭기의 측정 결과  
Fig. 6. Measured performances of the two-stage PA.

표 3. 기존 전력증폭기들과의 성능비교

Table 3. Performance comparison to the previously published works.

Ref.	Freq. (GHz)	Technology	$V_{DD}$ (V)	Gain (dB)	$P_{OUT}$ (dBm)	Peak PAE (%)	$P_{lin}$ (dBm)	Size (mm <sup>2</sup> )	Remark
[2]	60	CMOS 65 nm	1.2	14.0	10.5	22.3	-	0.57	Cascode
[5]	59	CMOS 65 nm	1.0	9.4	14.9	16.2	-	0.36	CS + Adaptive bias
[9]	60	CMOS 90 nm LP	2.4	15.5	15.4	16.0	4.2 <sup>†</sup>	0.25	Cascode + Passive PD
[12]	60	CMOS 65 nm	1.0	14.9	11.3	9.4	-	0.37	CS + Adaptive bias
This work	58.8	CMOS 65 nm	1.0	10.4	9.7	20.8	4.0	0.26	CS + PD

CS: Common-source,  $P_{lin}$ : linear output power @ IMD3 -30 dBc, PAE: power-added efficiency.

<sup>†</sup> Graphically estimated

본 논문에서 제안된 전력증폭기의 성능을 비교한 표이다. 제안된 전력증폭기는 상대적으로 낮은 1 V의 동작 전압에서도 우수한 선형성과 높은 효율을 보인다.

#### IV. 결 론

본 논문에서는 TSMC 65 nm CMOS Process를 이용하여 V-대역에서 동작하는 이단 전력증폭기를 설계 및 제작하였다. 인덕터와 커패시터를 통한 간단한 구조를 사용하여 정합회로를 구성하였고, 입력과 출력 정합회로를 모두 집적하였다. 또한, PD 기법을 적용하여 전력 이득을 보상해 줌으로써 전력증폭기의 선형성을 향상시킬 수 있었다. 제작된 V-대역 이단 전력증폭기는 최대 10.4 dB의 전력이득, 9.7 dBm의 출력 전력 및 4 dBm의 선형 출력 전력, 20.8 %의 우수한 피크 효율 특성을 나타내었다.

#### References

- [1] N. Kurita, H. Kondoh, "60 GHz and 80 GHz wide band power amplifier MMICs in 90 nm CMOS technology", *IEEE Radio Frequency Integrated Circuits Symp.*, pp. 39-42, Jun. 2009.
- [2] A. Siligaris et al., "A 60 GHz power amplifier with 14.5 dBm saturation power and 25 % peak PAE in CMOS 65nm SOI", *Proc. of IEEE ESSCIRC*, pp. 168-171, Sep. 2009.
- [3] J. C. Wu, J. C. Kao, J. J. Kuo, K. Y. Kao, and K. Y. Lin, "A 60-GHz single-ended-to-differential vector sum phase shifter in CMOS for phased-array receiver", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 1-4, Jun. 2011.
- [4] H. Asada, K. Matsushita, K. Bunsen, K. Okada and A. Matsuzawa, "A 60 GHz CMOS power amplifier using capacitive cross-coupling neutralization with 16 % PAE", in *European Microw. Conf. 2011*, pp. 554-557, Oct. 2011.
- [5] J. Y. C. Liu, R. Berenguer, and M. C. F. Chang, "Millimeter-wave self-healing power amplifier with adaptive amplitude and phase linearization in 65-nm CMOS", in *IEEE Trans. on Micro. Theory Techn.*, vol. 60, no. 5, pp. 1342-1352, May 2012.
- [6] W. Fei, H. Yu, Yuan Liang, and W. M. Lim, "A 54 to 62.8 GHz PA with 95.2 mW/mm<sup>2</sup> output power density by 4×4 distributed in-phase power combining in 65nm CMOS", in *IEEE MTT-S Int. Micro. Symp. 2014.*, pp. 1-4, Jun. 2014.
- [7] He, Ying, et al. "Design considerations for 60 GHz CMOS power amplifiers", *Proc. Asia-Pacific Micro. Conf. 2010.*, pp. 1613-1616, Dec. 2010.
- [8] D. Chowdhury, P. Reynaert, and A. M. Niknejad, "Design considerations for 60 GHz transformer-coupled CMOS power amplifiers", in *IEEE J. Solid-State Circuits*, vol. 44, no. 10, pp. 2733-2744, Oct. 2009.
- [9] K. Y. Kao, Y. C. Hsu, K. W. Chen, and K. Y. Lin, "Phase-delay cold-fet pre-distortion linearizer for millimeter-wave CMOS power amplifiers", in *IEEE Trans. on Mi-*

cro. Theory Techn., vol. 61, no. 12, pp. 4505-4519, Dec. 2013.

- [10] J. H. Tsai, C. H. Wu, H. Y. Yang, and T. W. Huang, "A 60 GHz CMOS power amplifier with built-in pre-distortion linearizer", in *IEEE Microw. Wireless Compon. Lett.*, vol. 21, no. 12, pp. 676-678, Dec. 2011.
- [11] Y. C. Hsu, K. Y. Kao, J. C. Kao, T. C. Tsai, and K.

Y. Lin, "A 60 GHz CMOS power amplifier with modified pre-distortion linearizer", in *Proc. IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 1-4, Jun. 2013.

- [12] J. Y. C. Liu, Q. J. Gu, A. Tang, N. Y. Wang, and M. C. F. Chang, "A 60 GHz tunable output profile power amplifier in 65 nm CMOS", in *IEEE Microw. Wireless Compon. Lett.*, vol. 21, no. 7, pp. 377-379, Jul. 2011.

김 현 준



2015년 2월: 성균관대학교 전자전기공학과 (공학사)  
 2015년 3월~현재: 성균관대학교 이동통신전력전자공학과 석사과정  
 [주 관심분야] mm-Wave CMOS Power Amplifier

임 원 섭



2012년 2월: 한양대학교 전자및통신공학과 (공학사)  
 2013년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
 [주 관심분야] High-Efficiency RF Power Amplifier IC, Analog/Mixed-Signal IC, High-Speed DC-DC Converter

조 수 호



2014년 2월: 건국대학교 전자공학과 (공학사)  
 2016년 2월: 성균관대학교 전자전기컴퓨터공학과 (공학석사)  
 2016년 3월~현재: 한화 시스템 전자전연구센터 연구원  
 [주 관심분야] RF Power Amplifier, IC Design

김 지 훈



2001년 2월: 영남대학교 전기공학과 (공학사)  
 2008년 8월: 한국과학기술원 (공학박사)  
 2008년 8월~현재: 삼성전자 차세대사업팀 책임연구원  
 [주 관심분야] mm-Wave CMOS Power Amplifier IC, Phased-Array Transceiver IC

sign

오 성 재



2015년 2월: 성균관대학교 전자전기공학과 (공학사)  
 2015년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정  
 [주 관심분야] RF Power Amplifier, Analog IC Design

양 영 구



1997년 2월: 한양대학교 전자공학과 (공학사)  
 2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)  
 2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후 연구원  
 2002년 8월~2005년 2월: Skyworks Solutions Inc. Senior Electronic Engineer

2005년 3월~현재: 성균관대학교 정보통신공학부 교수  
 [주 관심분야] 초고주파 회로설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구